



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G02F 1/136 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월16일 10-0670043 2007년01월10일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-1999-0046067 1999년10월22일 2004년10월22일	(65) 공개번호 (43) 공개일자	10-2001-0038188 2001년05월15일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자	삼성전자주식회사 경기도 수원시 영통구 매탄동 416
(72) 발명자	김치우 서울특별시서초구서초4동1685삼풍아파트18동105호
(74) 대리인	유미특허법인 김원근

심사관 : 박남현

전체 청구항 수 : 총 16 항

(54) 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법

(57) 요약

절연 기관 위에 게이트선, 게이트 전극, 게이트 패드를 포함하는 게이트 배선을 형성하고, 게이트 절연막, 반도체층, 저항성 접촉층 및 도전체층을 연속하여 증착한 다음, 그 위에 양성 감광막을 도포한다. 이어, 마스크를 통하여 감광막에 빛을 조사한 후 현상하여 감광막 패턴을 형성한다. 감광막 패턴 중에서 소스 전극과 드레인 전극 사이에 위치한 제1 부분은 데이터 배선이 형성될 부분에 위치한 제2 부분보다 두께를 얇게 하며, 기타 부분의 감광막은 모두 제거한다. 두께가 얇은 제1 부분을 형성하기 위해 마스크의 슬릿 패턴 내에 바나 도트 패턴을 형성하여 빛의 투과량을 조절한다. 또는, 노광기의 분해능보다 작게 슬릿 패턴을 형성하거나 슬릿 패턴에 부분 투과막을 형성한다. 이어, 기타 부분의 도전체층을 제거하여 그 하부의 저항성 접촉층을 노출시키고, 기타 부분의 노출된 저항성 접촉층과 그 하부의 반도체층을 감광막의 제1 부분과 함께 제거한다. 이어, 채널부의 도전체층 및 그 하부의 저항성 접촉층 패턴을 제거하여 소스 전극과 드레인 전극을 분리하며 그 사이의 반도체 패턴을 드러낸다. 이어, 남아 있는 감광막의 제2 부분을 제거하고 보호막과 화소 전극을 형성한다.

대표도

도 5b

특허청구의 범위

청구항 1.

절연 기판 위에 게이트선과 상기 게이트선에 연결되어 있는 게이트 전극, 상기 게이트선에 연결되어 외부로부터 주사 신호를 전달받는 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 게이트 절연막 패터를 형성하는 단계,

상기 게이트 절연막 패터 위에 반도체 패터를 형성하는 단계,

상기 반도체 패터 위에 저항성 접촉층 패터를 형성하는 단계,

상기 저항성 접촉층 패터 위에 서로 분리되어 있는 소스 및 드레인 전극과, 상기 소스 전극과 연결된 데이터선, 상기 데이터선에 연결되어 외부로부터 화상 신호를 전달받는 데이터 패드를 포함하는 데이터 배선을 형성하는 단계,

상기 데이터 배선을 덮는 보호막 패터를 형성하는 단계,

상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계

를 포함하며,

상기 형성 단계 중 적어도 어느 한 단계는 빛이 일부만 투과되도록 하나도트 패터가 형성되어 노광기의 분해능보다 작은 크기의 슬릿 패터를 포함하는 첫째 부분과 빛이 완전히 투과될 수 없는 둘째 부분 및 빛이 완전히 투과될 수 있는 셋째 부분을 포함하는 마스크로 형성하며, 상기 마스크로 형성되는 감광막 패터는 양성 감광막으로 제1 두께를 갖는 제1 부분과 상기 제1 두께보다 두꺼운 두께를 갖는 제2 부분 및 두께가 없는 제3 부분으로 이루어지며, 상기 마스크의 첫째, 둘째, 셋째 부분은 노광 과정에서 상기 감광막 패터의 제1, 제2, 제3 부분에 각각 대응 되도록 정렬하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 2.

삭제

청구항 3.

제1항에서,

상기 하나도트 패터 선폭의 오차는 $\pm 0.02\mu\text{m}$ 이하인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 4.

제3항에서,

동일한 패터의 상기 마스크마다 형성된 하나도트 패터의 편차는 $\pm 0.01\mu\text{m}$ 이하인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 5.

제1항에서,

상기 노광기의 분해능이 $2\sim 5\mu\text{m}$ 인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 6.

제5항에서,

상기 노광기의 분해능이 3 μ m인 경우 상기 슬릿 패턴의 폭은 1-2 μ m이고, 상기 노광기의 분해능이 4 μ m인 경우 상기 슬릿 패턴의 폭은 1.5-3 μ m인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 7.

제1항에서,

상기 마스크의 첫째 부분은 투과율이 10-100%인 부분 투과막을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 8.

제7항에서,

상기 부분 투과막은 MoSi, Al₂O₃, CrOx 및 Ag 물질 중 어느 하나로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 9.

절연 기판 위에 게이트선과 상기 게이트선에 연결되어 있는 게이트 전극, 상기 게이트선에 연결되어 외부로부터 주사 신호를 전달받는 게이트 패드를 포함하는 게이트 배선을 형성하는 단계,

상기 게이트 배선을 덮는 게이트 절연막을 형성하는 단계,

상기 게이트 절연막 위에 반도체층을 형성하는 단계,

상기 반도체층 위에 저항성 접촉층을 형성하는 단계,

상기 저항성 접촉층 위에 서로 분리되어 있는 소스 및 드레인 전극과, 상기 소스 전극과 연결된 데이터선, 상기 데이터선에 연결되어 외부로부터 화상 신호를 전달받는 데이터 패드를 포함하는 데이터 배선을 형성하는 단계,

상기 데이터 배선을 덮는 보호막 패턴을 형성하는 단계,

상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계

를 포함하며,

상기 형성 단계 중 적어도 어느 한 단계는 빛이 일부만 투과되도록 노광기의 분해능 보다 작은 크기의 슬릿 패턴을 포함하는 첫째 부분과 빛이 완전히 투과될 수 없는 둘째 부분 및 빛이 완전히 투과될 수 있는 셋째 부분을 포함하는 마스크로 형성하며,

상기 마스크로 형성되는 감광막 패턴은 양성 감광막으로 제1 두께를 갖는 제1 부분과 상기 제1 두께보다 두꺼운 두께를 갖는 제2 부분 및 두께가 없는 제3 부분으로 이루어지며, 상기 마스크의 첫째, 둘째, 셋째 부분은 노광 과정에서 상기 감광막 패턴의 제1, 제2, 제3 부분에 각각 대응되도록 정렬하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 10.

제9항에서,

상기 노광기의 분해능이 2-5 μ m인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 11.

제9항에서,

상기 슬릿 패턴의 폭은 3 μ m 이하인 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 12.

제9항에서,

상기 마스크의 첫째 부분은 투과율이 10-100%인 부분 투과막을 포함하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 13.

제12항에서,

상기 부분 투과막은 MoSi, Al₂O₃, CrOx, Ag 중 어느 한 물질로 형성하는 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법.

청구항 14.

빛이 일부만 투과되도록 노광기의 분해능 보다 작은 크기의 슬릿 패턴을 포함하는 첫째 부분과 빛이 완전히 투과될 수 없는 둘째 부분 및 빛이 완전히 투과될 수 있는 셋째 부분

을 포함하며,

상기 첫째 부분은 소스 전극과 드레인 전극 사이의 채널부에 대응되고, 상기 둘째 부분은 상기 소스 전극, 상기 드레인 전극에 대응되는 박막 트랜지스터 제조용 마스크.

청구항 15.

제14항에서,

상기 노광기의 분해능이 2-5 μ m인 박막 트랜지스터 제조용 마스크.

청구항 16.

제14항에서,

상기 슬릿 패턴의 폭은 3 μ m 이하인 박막 트랜지스터 제조용 마스크.

청구항 17.

제14항에서,

상기 마스크의 첫째 부분은 투과율이 10-100%인 부분 투과막을 포함하는 박막 트랜지스터 제조용 마스크.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법에 관한 것이다.

액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중의 하나로서, 전극이 형성되어 있는 두 장의 기관과 그 사이에 삽입되어 있는 액정층으로 이루어져 있으며, 두 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시켜 투과되는 빛의 양을 조절하는 표시 장치이다.

이러한 액정 표시 장치의 한 기관에는 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지는 것이 일반적이며, 이러한 박막 트랜지스터 기관을 제조할 때 마스크를 이용한 사진 식각 공정을 이용한다. 현재는 통상 다섯 장 또는 여섯 장의 마스크를 이용한 사진 식각 공정을 실시하고 있으며, 생산 비용을 줄이기 위해서는 사용하는 마스크의 수를 적게 하는 것이 바람직하다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 액정 표시 장치용 박막 트랜지스터 기관을 제조할 때 사용되는 마스크 수를 줄이는 것이다.

발명의 구성

이러한 과제를 달성하기 위하여 본 발명에서는 액정 표시 장치용 박막 트랜지스터 기관을 제조할 때 적어도 한 단계는 바(bar)나 도트(dot) 패턴을 포함하는 슬릿 패턴을 가진 마스크를 사용하여 중간 두께를 가지는 감광막 패턴을 형성하고, 이를 식각 마스크로 사용하여 적어도 둘 이상의 패턴을 하나의 마스크를 이용한 사진 식각 공정으로 형성한다.

본 발명에 따르면, 우선 절연 기관 위에 게이트선과 게이트선에 연결되어 있는 게이트 전극, 게이트선에 연결되어 외부로부터 주사 신호를 전달받는 게이트 패드를 포함하는 게이트 배선을 형성한다. 이어, 게이트 배선을 덮는 게이트 절연막 패턴을 형성하고, 게이트 절연막 패턴 위에 반도체 패턴 및 저항성 접촉층 패턴을 형성한다. 이어, 저항성 접촉층 패턴 위에 서로 분리되어 있는 소스 및 드레인 전극과, 소스 전극과 연결된 데이터선, 데이터선에 연결되어 외부로부터 화상 신호를 전달받는 데이터 패드를 포함하는 데이터 배선을 형성한다. 이어, 데이터 배선을 덮는 보호막 패턴을 형성하고, 드레인 전극과 연결되는 화소 전극을 형성한다.

이때, 박막 트랜지스터 기관의 제조 단계 중 적어도 어느 한 단계는 마스크를 이용한 사진 식각 공정으로 형성하며, 이러한 마스크는 빛이 일부만 투과되도록 바나 도트 패턴이 형성되어 노광기의 분해능보다 크기가 작은 슬릿 패턴을 포함하는 첫째 부분과 빛이 완전히 투과될 수 없는 둘째 부분 및 빛이 완전히 투과될 수 있는 셋째 부분을 포함한다.

이와 같은 마스크를 사용하여 제1 두께를 갖는 제1 부분과 제1 두께보다 두꺼운 두께를 갖는 제2 부분 및 두께가 없는 제3 부분으로 이루어진 감광막 패턴을 형성하며, 마스크의 첫째, 둘째, 셋째 부분은 노광 과정에서 감광막 패턴의 제1, 제2, 제3 부분에 각각 대응되도록 정렬하는 것이 바람직하다.

이때, 바나 도트 패턴 선폭의 오차는 $\pm 0.02\mu\text{m}$ 이하이고, 동일한 마스크마다 형성된 바나 도트 패턴의 편차는 $\pm 0.01\mu\text{m}$ 이하인 것이 바람직하다.

한편, 노광기의 분해능은 통상 2-5 μm 인데, 분해능이 3 μm 이면 슬릿 패턴의 폭은 1-2 μm 인 것이 바람직하며 분해능이 4 μm 이면 슬릿 패턴의 폭은 1.5-3 μm 인 것이 바람직하다.

또한, 슬릿 패턴에 투과율이 10-100%의 범위를 갖는 부분 투과막을 포함할 수도 있으며, 이때 부분 투과막은 MoSi, Al₂O₃, CrOx, Ag와 같은 물질로 형성하는 것이 바람직하다.

이러한 본 발명의 제조 방법에서는 위치에 따라 투과율이 다른 마스크를 이용하여 두께를 달리하는 감광막 패턴을 형성함으로써 사용되는 마스크 수를 줄일 수 있다.

그러면, 첨부한 도면을 참조하여 본 발명의 한 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있을 정도로 상세히 설명한다.

본 발명에서는 바나 도트 패턴이 형성되어 있는 슬릿 패턴을 포함하는 마스크를 사용하여 중간 두께를 가지는 감광막 패턴을 형성하고 이를 식각 마스크로 사용하여 적어도 둘 이상의 패턴을 형성하여 액정 표시 장치용 박막 트랜지스터 기판을 제조할 때 마스크 수를 줄인다. 특히, 본 발명의 한 실시예에서는 중간 두께를 가지는 감광막 패턴을 식각 마스크로 이용하여 반도체 패턴과 데이터 배선을 형성한다.

우선, 도 1 내지 도 2를 참조하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 구조에 대하여 상세히 설명한다.

도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 2는 도 1에 도시한 박막 트랜지스터 기판을 II-II 선을 따라 잘라 도시한 단면도이다.

먼저, 절연 기판(10) 위에 알루미늄(Al) 또는 알루미늄 합금(Al alloy), 몰리브덴(Mo) 또는 몰리브덴-텅스텐 합금(MoW), 크롬(Cr), 탄탈륨(Ta) 등의 금속 또는 도전체로 이루어진 게이트 배선이 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(21), 게이트선(21)의 일부인 게이트 전극(22), 게이트선(21)에 연결되어 외부로부터 주사 신호를 인가받아 게이트선(21)으로 전달하는 게이트 패드(24), 게이트선(21)과 평행하게 형성되어 있는 유지 전극(28)을 포함한다. 유지 전극(28)은 후술할 화소 전극(83)과 연결된 유지 축전기용 도전 패턴(68)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(83)과 게이트선(21)의 중첩으로 형성된 유지 용량이 충분할 경우 형성하지 않을 수도 있다.

게이트 배선(21, 22, 24, 28) 위에는 질화 규소(SiN_x) 따위로 이루어진 게이트 절연막(30)이 형성되어 게이트 배선(21, 22, 24, 28)을 덮고 있다.

게이트 절연막(30) 위에는 비정질 규소 따위의 반도체로 이루어진 반도체 패턴(41, 48)이 형성되어 있으며, 반도체 패턴(41, 48) 위에는 n형 불순물로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층 패턴(51, 52, 58)이 형성되어 있다.

저항성 접촉층 패턴(51, 52, 58) 위에는 알루미늄 또는 알루미늄 합금, 몰리브덴 또는 몰리브덴-텅스텐 합금, 크롬, 탄탈륨 등의 금속 또는 도전체로 이루어진 데이터 배선이 형성되어 있다. 데이터 배선은 세로 방향으로 뻗어 있는 데이터선(61), 데이터선(61)의 일부인 소스 전극(62), 게이트 전극(22)을 중심으로 소스 전극(62)과 마주하는 드레인 전극(63), 데이터선(61)에 연결되어 외부로부터 화상 신호를 전달받는 데이터 패드(64), 유지 전극(28) 위에 위치하고 있는 유지 축전기용 도전 패턴(68)을 포함한다.

데이터 배선(61, 62, 63, 64, 68) 및 게이트 절연막(30) 위에는 보호막(70)이 형성되어 있으며, 보호막(70)은 드레인 전극(63), 데이터 패드(64), 유지 축전기용 도전 패턴(68)을 드러내는 접촉 구멍(72, 73, 74, 75)을 가지고 있다. 또한, 게이트 절연막(30)과 함께 게이트 패드(24)를 드러내는 접촉 구멍(71)을 가지고 있다.

보호막(70) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 형성하는 화소 전극(83)이 형성되어 있다. 화소 전극(83)은 ITO(indium tin oxide) 따위의 투명 도전 물질로 이루어져 있으며, 접촉 구멍(72)을 통해 드레인 전극(63)과 연결되어 화상 신호를 인가받는다. 화소 전극(83)은 접촉 구멍(74, 75)을 통해 유지 축전기용 도전 패턴(68)과 연결되어 있다. 한편, 게이트 패드(24) 및 데이터 패드(64) 위에는 접촉 구멍(71, 73)을 통해 각각 이들과 연결되는 보조 게이트 패드(81) 및 보조 데이터 패드(82)가 형성되어 있으며, 이들은 패드(24, 64)와 외부 회로 장치와의 접촉성을 보완하고 패드(24, 64)를 보호하는 역할을 하는 것으로 필수적인 것은 아니다.

그러면, 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기관의 제조 방법에 대하여 도 3a 내지 도 9b, 앞서의 도 1 및 도 2를 참조하여 상세히 설명한다.

먼저, 도 3a 및 도 3b에서와 같이 기관(10) 위에 게이트 배선용 도전체층을 증착하고 첫째 마스크를 이용한 사진 식각 공정을 실시하여 게이트 배선(21, 22, 24, 28)을 형성한다.

이어, 도 4에서와 같이 게이트 절연막(30), 반도체층(40), 저항성 접촉층(50), 데이터 배선용 도전체층(60)을 연속하여 증착하고 그 위에 둘째 마스크를 이용한 사진 공정을 실시하여 감광막 패턴(112, 114)을 형성한다. 이때, 감광막 패턴(112, 114) 중에서 박막 트랜지스터의 채널부(C), 즉 소스 전극(62)과 드레인 전극(63) 사이에 위치한 제1 부분(114)은 데이터 배선부(A), 즉 데이터 배선(61, 62, 63, 64, 68)이 형성될 부분에 위치한 제2 부분(112)보다 두께가 얇게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거해야 한다.

이러한 위치에 따라 두께를 달리하는 감광막 패턴(112, 114)을 형성하기 위해서는 우선, 감광막을 도포한 후 노광 시에 감광막의 위치에 따라 빛의 조사량이 달라야 한다. 이를 위해 노광 시 사용되는 마스크에는 데이터 배선부(A)에 위치하는 부분에 빛이 투과되지 않도록 크롬 따위의 불투명막이 형성되어야 하고, 채널부(C)에 위치하는 부분에 빛이 일부만 투과되도록 하는 패턴이 형성되어야 하며, 기타 부분(B)에는 빛이 완전히 투과되도록 불투명막이 형성되지 않아야 한다.

이러한 두께를 달리하는 감광막 패턴(112, 114)을 형성하는 과정에 대해서 양성 감광막을 이용하는 경우에 대하여 도 5a 내지 도 5c를 참조하여 상세히 설명한다.

먼저, 도 5a에서와 같이 기관(100) 위에 증착되어 있는 박막(200) 위에 감광막(300)을 도포한다.

이어, 도 5b에서와 같이 불투명 패턴(400, 420) 사이에 형성되어 있는 슬릿 패턴(410)을 가진 마스크(500)를 통해 빛을 조사한다. 빛이 조사되면 도 5b의 가장자리(P)는 빛에 직접 노출되며 슬릿 패턴(410)을 통해 조사된 부분(Q)은 조사량에 비해 투과량이 적고 R부분은 빛에 노출되지 않는다.

이 감광막(300)을 현상하게 되면, 도 5c에 도시한 바와 같이 빛이 조사되지 않은 부분(R)에는 대부분의 감광막이 남게 되고 빛의 일부만 조사된 중앙 부분(Q)에는 빛이 조사되지 않은 부분(R)보다 얇은 두께로 형성되는 감광막 패턴(310)이 만들어진다. 여기서, 온전한 두께로 형성된 부분은 도 4에서 데이터 배선부(A)에 위치하는 감광막 패턴(112)에 해당하며, 감광막이 남아 있지 않은 부분은 기타 부분(B)에 해당하고, 얇은 두께로 형성된 부분은 채널부(C)에 위치하는 감광막 패턴(114)에 해당한다.

이러한 빛의 투과량이 부분적으로 다른 마스크를 이용하여 감광막 패턴(112, 114)을 형성할 때 중간 두께를 가지는 감광막 패턴(114)을 균일하게 형성하고 재현성을 높임으로써 공정 마진을 크게 하여 생산 수율의 향상을 가져올 수 있어야 한다. 이를 위해서는 슬릿 패턴 내에 바나 도트 패턴을 추가로 형성하여 빛의 투과율을 조절하며 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

첫 번째 방법은 도 6a 및 도 6b에서와 같이 채널부(C)가 형성되는 부분에 위치한 감광막에 빛이 일부만 투과될 수 있도록 마스크의 슬릿 패턴(410) 내에 바(bar) 패턴(420)을 삽입하는 것이다. 이때, 바 패턴(420)은 채널부(C) 길이에 대해 가로 또는 세로 방향으로 형성될 수 있으며, 바 패턴 대신 도트(dot) 패턴을 삽입할 수도 있다.

이렇게 하면, 채널부(C)에 형성되는 감광막 패턴(114)이 균일하게 형성되며 패턴의 재현성을 정밀하게 할 수 있다.

이때, 바나 도트 패턴(420)의 크기 및 밀도를 변화시켜 슬릿 패턴(410)을 통한 빛의 투과율을 조절하여 감광막 패턴(114)의 두께를 조절할 수 있다.

여기서, 현상 후에 남는 감광막 패턴을 균일하게 하고 패턴의 재현성을 정밀하게 관리하기 위해서는 정밀한 마스크 패턴 관리가 요구된다. 이를 위해 바나 도트 선폭의 오차는 $\pm 0.02\mu\text{m}$ 이하로 하는 것이 바람직하다.

또한, 액정 표시 장치 패널을 제조할 때 동일한 패턴이 형성된 여러 장의 마스크를 사용하는데, 마스크마다 형성되어 있는 동일한 슬릿 패턴은 정확하게 일치해야 하며 그렇지 않을 경우 이들의 편차를 $\pm 0.01\mu\text{m}$ 이하로 하는 것이 바람직하다.

두 번째 방법은 도 6c에서와 같이 채널부(C)를 노광기의 분해능보다 작은 크기의 슬릿 패턴(411)으로 형성하는 것이다.

여기서, 불투명막(401)으로 덮여 있는 부분으로는 빛이 전혀 투과되지 않고, 슬릿 패턴(411)이 형성되어 있는 채널부(C)로는 빛이 일부만 투과되며, 불투명막(401)으로 덮이지 않은 부분(도시하지 않음)으로는 빛이 완전히 투과된다.

통상 사용되는 노광기의 분해능은 2-5 μm 의 범위를 갖는다.

노광기의 분해능이 3 μm 인 경우 슬릿 패턴(411)의 폭이 1-2 μm 인 마스크를 적용하고, 분해능이 4 μm 인 경우 슬릿 패턴(411)의 폭이 1.5-3 μm 인 마스크를 적용한다. 이 방법을 이용하면 채널부(C)에 불완전 노광 영역을 수 μm 정도로 형성할 수 있다.

세 번째 방법은 도 6d에서와 같이 채널부(C)를 슬릿 패턴에 형성된 부분 투과막(412)으로 형성하는 것이다.

불투명막(402)으로 덮여 있는 부분으로는 빛이 전혀 투과되지 않고, 부분 투과막(412)이 형성되어 있는 부분으로는 빛이 일부만 투과되며, 불투명막(402)으로 덮이지 않은 부분(도시하지 않음)으로는 빛이 완전히 투과된다. 이때, 노광기의 분해능보다 작은 슬릿 패턴과 함께 사용할 수도 있으며 그렇지 않을 수도 있다.

부분 투과막(412)을 노광기의 분해능보다 작은 슬릿 패턴에 형성하면 중간 두께를 가지는 감광막 패턴을 통해 형성되는 채널부(C)의 길이를 조절할 수 있다. 또한, 형성하고자 하는 최적의 채널부(C) 길이와 감광막 패턴의 폭이나 간격(CD; critical dimension)을 동시에 만족시킬 수 있다. 그리고, 감광막 패턴의 프로파일(profile)을 세울 수 있어 공정 마진의 확대가 가능하다.

여기서, 부분 투과막(412)의 두께나 투과막의 물질을 이용하여 투과율을 정밀하게 관리하여 마스크 내 및 마스크 간의 투과율 편차를 최소화할 수 있다.

부분 투과막(412)의 투과율은 10-100%의 범위를 갖는데, 투과율을 조절하면 감광막 패턴의 두께를 조절할 수 있다.

부분 투과막(412)으로는 MoSi막, Al₂O₃막, CrOx막 및 Ag막 따위의 막 중 어느 하나를 사용한다.

이러한 세 가지 방법 중의 한 가지 방법을 이용하여 위치에 따라 두께를 달리 하는 감광막 패턴(112, 114)이 만들어지면, 이어서 감광막 패턴(112, 114) 및 그 하부의 막들, 즉 데이터 배선용 도전체층(60), 저항성 접촉층(50) 및 반도체층(40)에 대한 식각을 진행한다. 이때, 데이터 배선부(A)에는 데이터 배선 및 그 하부의 막들이 남아야 하고, 채널부(C)에는 반도체층(40)만이 남아야 하며, 기타 부분(B)에는 게이트 절연막(30)만이 남아야 한다.

먼저, 도 7a에서와 같이 기타 부분(B)의 노출되어 있는 데이터 배선용 도전체층(60)을 제거하여 그 하부의 저항성 접촉층(50)을 노출시킨다. 만일 기타 부분(B)에 얇은 감광막이 남아 있다면 이를 먼저 제거한다. 이렇게 하면, 채널부(C) 및 데이터 배선부(A)의 도전체층(60), 즉 소스/드레인용 도전체 패턴(67)과 유지 축전기용 도전체 패턴(68)만이 남고, 기타 부분(B)의 도전체층(60)은 모두 제거되어 그 하부의 저항성 접촉층(50)이 드러난다. 이때, 도전체 패턴(67, 68)은 소스 전극(62) 및 드레인 전극(63)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(61, 62, 63, 64, 68)의 형태와 동일하다.

이어, 도 7b에서와 같이 기타 부분(B)의 노출된 저항성 접촉층(50) 및 그 하부의 반도체층(40)을 식각하여 저항성 접촉층 패턴(57, 58)과 그 하부의 반도체 패턴(47, 48)을 형성한다. 이때, 기타 부분(B)의 저항성 접촉층(50) 및 반도체층(40)이 완전히 제거되어 그 하부의 게이트 절연막(30)이 드러날 수도 있지만, 반도체층(40)이 약간 남아 있을 수도 있다. 한편, 채널부(C)의 감광막 패턴(114)은 남아 있을 수도 있고 그렇지 않을 수도 있지만, 데이터 배선부(A)의 감광막 패턴(112)은 남

아 있어야 한다. 채널부(C)의 감광막 패턴(114)이 남아 있는 경우에는 애싱(ashing) 따위를 통하여 제거한다. 이때, 데이터 배선부(A)의 감광막 패턴(112)은 어느 정도 두께가 줄지만 제거되지는 않는다. 이렇게 하면, 소스/드레인용 도전체 패턴(67)이 드러난다.

이어, 도 7c에서와 같이 채널부(C)의 소스/드레인용 도전체 패턴(67) 및 그 하부의 저항성 접촉층 패턴(57)을 식각하여 제거한다. 이때, 반도체 패턴(47)의 일부가 제거되어 두께가 얇아질 수도 있으며 감광막 제2 부분(112)의 두께도 어느 정도 식각될 수 있다. 또한, 기타 부분(B)에 반도체층(40)이 남아 있다면 이때 제거되어야 한다. 이렇게 하여, 소스/드레인용 도전체 패턴(67) 및 저항성 접촉층 패턴(57)이 분리된다.

이어, 데이터 배선부(A)에 남아 있는 감광막(112)을 제거하여, 도 8a 및 도 8b에서와 같이 데이터 배선(61, 62, 63, 64, 68)을 완성한다.

이어, 도 9a 및 도 9b에서와 같이 보호막(70)을 증착하고 셋째 마스크를 이용한 사진 식각 공정을 실시하여 접촉 구멍(71, 72, 73, 74, 75)을 형성한다.

이어, 도 1 및 도 2에서와 같이 ITO와 같은 투명 도전 물질을 증착하고 넷째 마스크를 이용한 사진 식각 공정을 실시하여 화소 전극(83), 보조 게이트 패드(81), 보조 데이터 패드(82)를 형성한다.

이와 같이 본 발명에서는 투과율을 조절하기 위해 바나 도트 패턴을 이용하거나 채널부(C)를 슬릿 패턴으로 형성하거나 부분 투과막을 이용함으로써 중간 두께를 가지는 감광막 패턴(114)을 균일하고 재현성있게 형성할 수 있다.

본 발명에서는 투과율을 조절할 수 있는 부분을 이용하여 소스 및 드레인 전극 사이에 중간 두께를 가지는 감광막 패턴을 두어 데이터 배선(61, 62, 63, 64, 68)과 그 하부의 저항성 접촉층 패턴(51, 52, 58) 및 반도체 패턴(41, 48)을 동시에 형성하는데 사용될 수 있지만, 다른 형태의 제조 방법에서도 사용될 수 있다.

특히, 중간 두께를 가지는 감광막 패턴을 화소 영역 상부에 형성하여 접촉 구멍을 가지는 보호막 패턴과 반도체 패턴을 함께 형성하여 제조 공정을 단순화하는 제조 방법에도 사용될 수 있다. 이러한 제조 방법에 대하여 개략적으로 설명하면 다음과 같다.

우선, 기판 위에 첫 번째 마스크를 이용하여 게이트선을 포함하는 게이트 배선을 형성하고 그 위에 게이트 절연막, 반도체층, 저항성 접촉층, 데이터 배선용 도전체층을 연속하여 증착한다. 이어, 두 번째 마스크를 이용하여 도전체층과 저항성 접촉층만을 패터닝하여 데이터선을 포함하는 데이터 배선 및 그 하부의 저항성 접촉층 패턴을 형성한다. 이어, 보호막을 증착하고 감광막을 도포한 후 마스크의 슬릿 패턴 또는 부분 투과막이 형성되어 있는 부분을 화소 영역과 드레인 전극 상부에 위치하도록 하고 빛이 완전히 투과되는 부분은 게이트 패드 및 데이터 패드 상부에 위치하도록 하며, 그 외의 부분은 빛이 투과되지 않도록 한다. 이를 노광한 후 현상하면 게이트 패드 및 데이터 패드 상부의 보호막 위에는 감광막 패턴이 형성되지 않으며, 화소 영역과 드레인 전극 상부의 보호막 위에 형성되는 감광막 패턴은 다른 부분의 감광막 패턴의 두께보다 얇다. 이는 감광막 패턴을 사용하여 식각 공정을 실시했을 때 드레인 전극, 게이트 패드 및 데이터 패드를 드러내는 접촉 구멍과 보호막 패턴을 동시에 형성하기 위해서이다. 이어, 데이터 배선용 도전체층이 식각되지 않는 건식 식각을 이용하여 보호막 및 반도체층, 게이트 절연막을 얇은 감광막 패턴 및 보호막, 반도체층과 함께 식각하여 드레인 전극, 게이트 패드 및 데이터 패드를 각각 드러내는 접촉 구멍을 형성하고 화소 영역의 게이트 절연막을 드러낸 후 남은 감광막 패턴을 제거한다. 이어, 투명한 도전 물질을 증착하고 네 번째 마스크를 이용하여 화소 영역에 드레인 전극과 연결되는 화소 전극을 형성하고, 보조 게이트 패드, 보조 데이터 패드를 형성한다.

발명의 효과

이와 같이, 본 발명에서는 액정 표시 장치용 박막 트랜지스터 기판을 제조할때 적어도 어느 한 단계는 투과율을 조절하기 위해 슬릿 패턴에 바나 도트 패턴을 추가하거나 부분 투과막을 형성함으로써 중간 두께를 가지는 감광막 패턴을 균일하고 재현성있게 형성할 수 있다.

도면의 간단한 설명

도 1은 본 발명에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고,

도 2는 도 1의 II-II 선을 따라 절단한 단면도이고,

도 3a는 본 발명에 따라 제조하는 첫 단계에서의 박막 트랜지스터 기판의 배치도이고,

도 3b는 도 3a에서 IIIb-IIIb 선을 따라 잘라 도시한 단면도이고,

도 4는 박막 트랜지스터 기판에서 데이터 배선용 도전체층이 형성된 후 두께를 달리하는 감광막 패턴이 형성된 단계를 도시한 단면도이고,

도 5a 내지 도 5c는 위치에 따라 두께를 달리하는 감광막 패턴을 형성하는 과정을 순서대로 도시한 단면도이고,

도 6a 내지 도 6d는 슬릿이 형성된 마스크를 도시한 도면이고,

도 7a 내지 도 7c는 도 4 다음 단계에서의 식각 과정을 순서대로 도시한 단면도이고,

도 8a는 도 7c 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

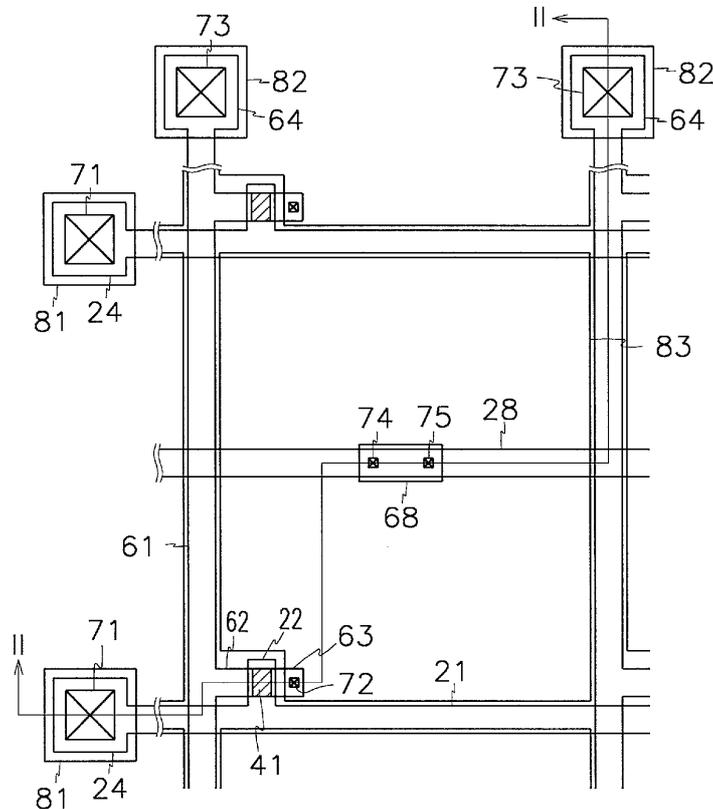
도 8b는 도 8a에서 VIIIb-VIIIb 선을 따라 잘라 도시한 단면도이고,

도 9a는 도 8a 다음 단계에서의 박막 트랜지스터 기판의 배치도이고,

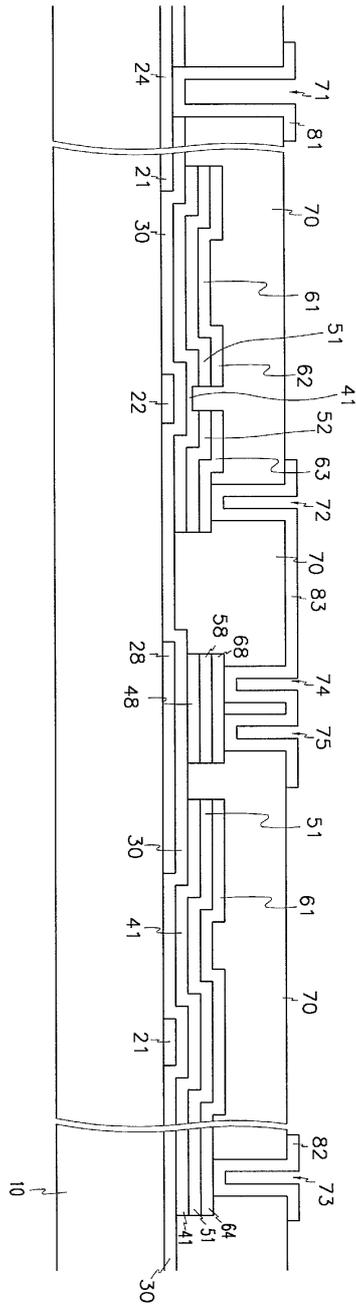
도 9b는 도 9a에서 IXb-IXb 선을 따라 잘라 도시한 단면도이다.

도면

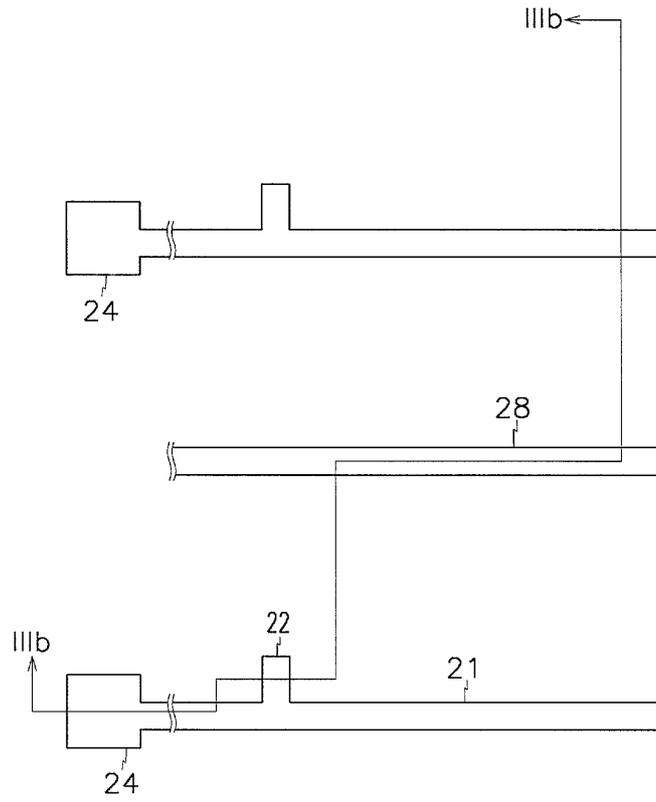
도면1



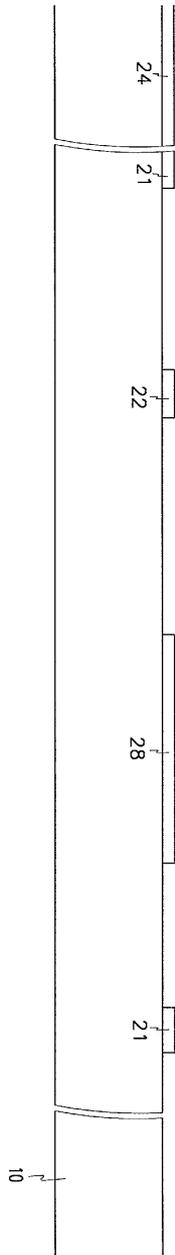
도면2



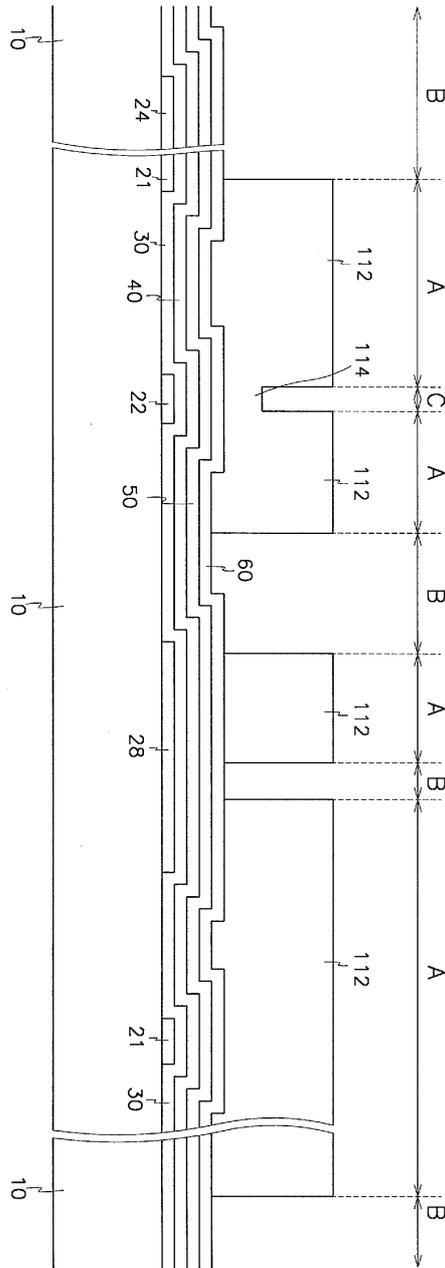
도면3a



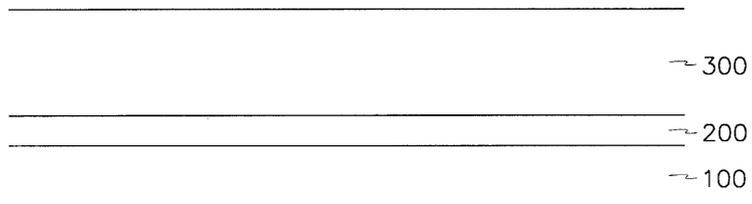
도면3b



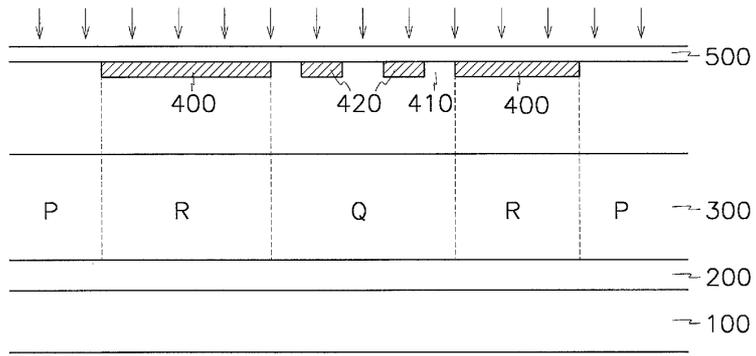
도면4



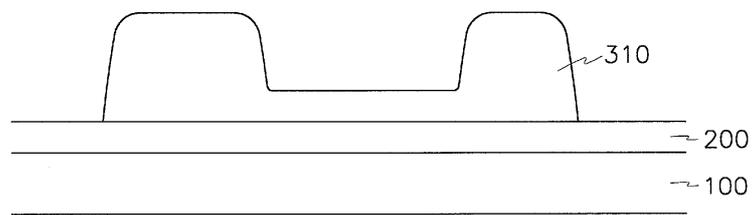
도면5a



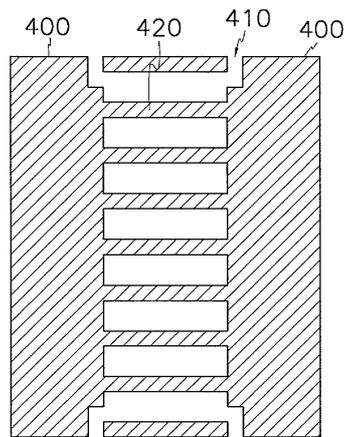
도면5b



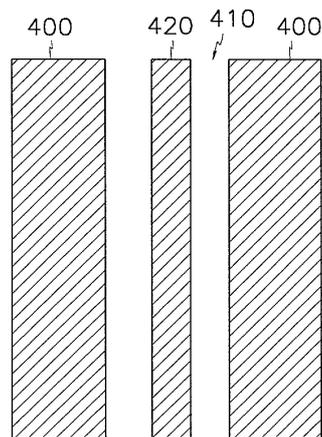
도면5c



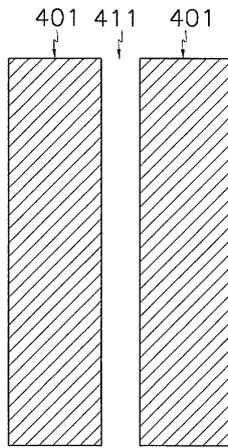
도면6a



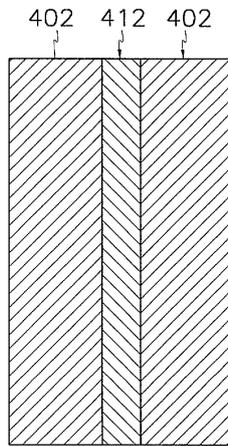
도면6b



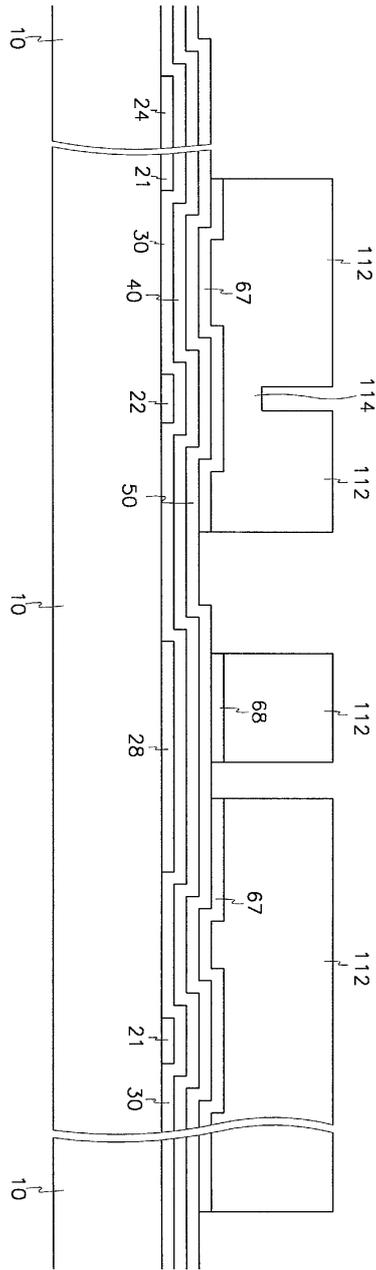
도면6c



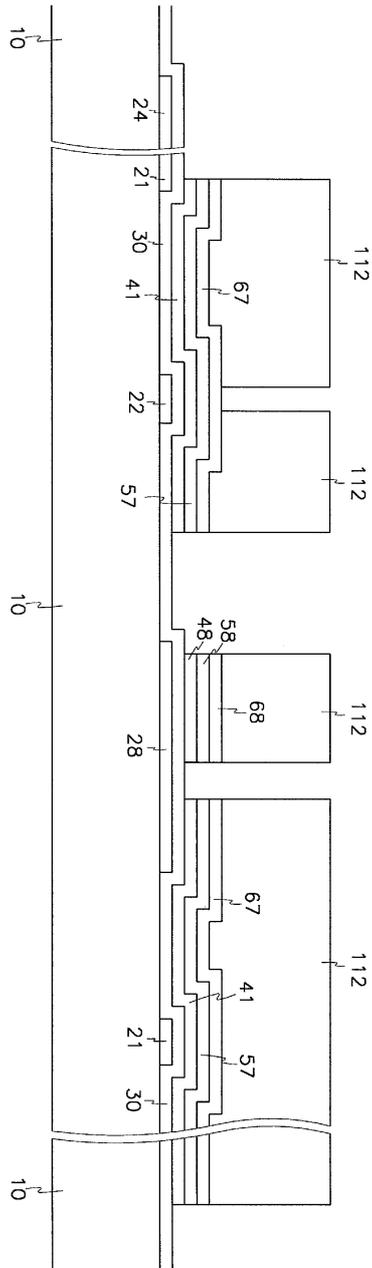
도면6d



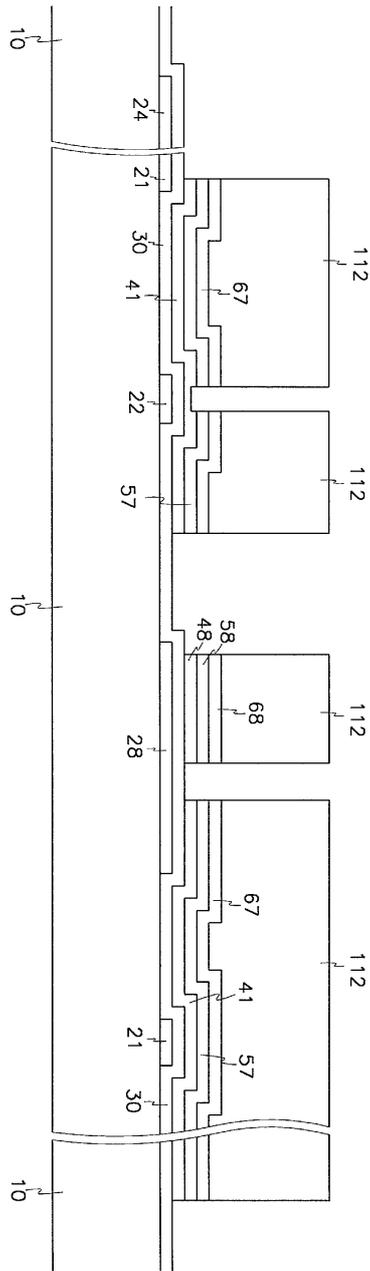
도면7a



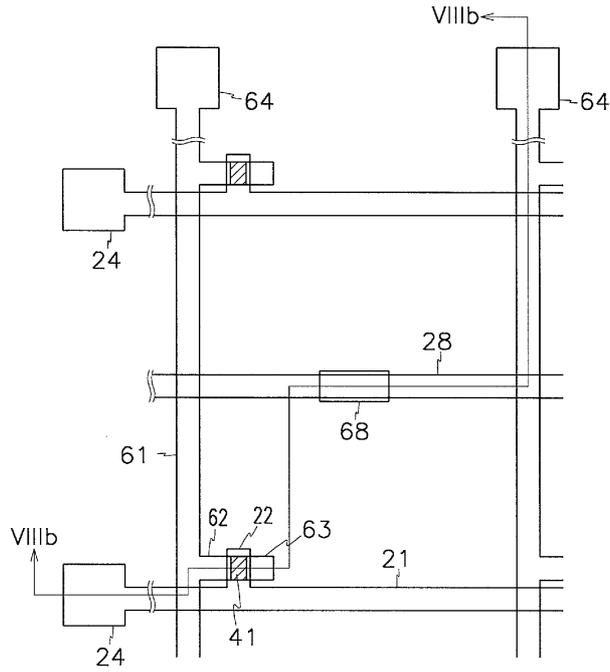
도면7b



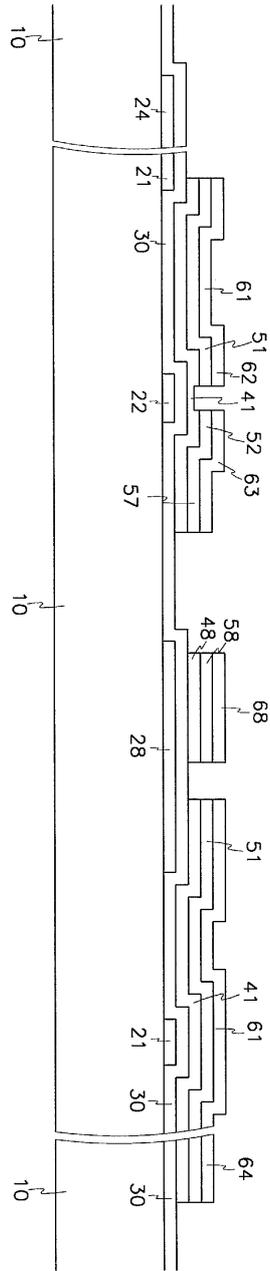
도면7c



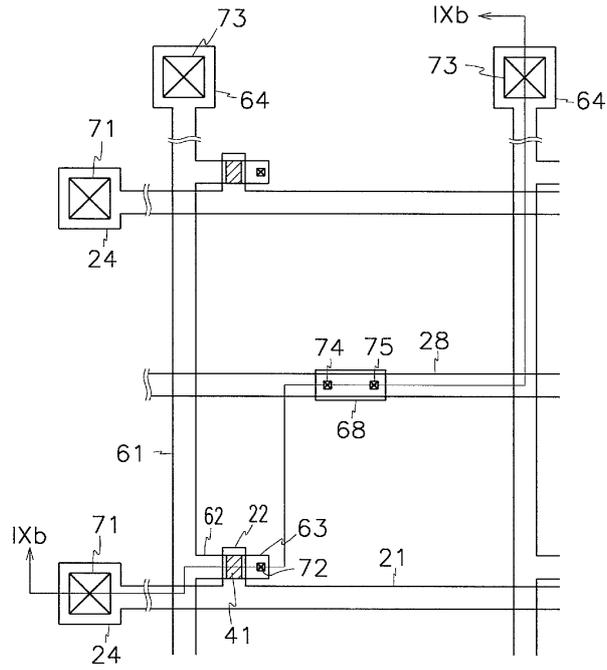
도면8a



도면8b



도면9a



도면9b

