

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5301278号
(P5301278)

(45) 発行日 平成25年9月25日 (2013.9.25)

(24) 登録日 平成25年6月28日 (2013.6.28)

(51) Int. Cl.	F I		
HO3K 5/14 (2006.01)	HO3K 5/14		
HO1L 21/822 (2006.01)	HO1L 27/04	F	
HO1L 27/04 (2006.01)	HO1L 27/04	B	
	HO1L 27/04	T	

請求項の数 18 (全 23 頁)

(21) 出願番号	特願2008-539145 (P2008-539145)	(73) 特許権者	595020643
(86) (22) 出願日	平成18年10月31日 (2006.10.31)		クォアルコム・インコーポレイテッド
(65) 公表番号	特表2009-519620 (P2009-519620A)		QUALCOMM INCORPORATED
(43) 公表日	平成21年5月14日 (2009.5.14)		ED
(86) 国際出願番号	PCT/US2006/060410		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02007/053839		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成19年5月10日 (2007.5.10)		ハウス・ドライブ 5775
審査請求日	平成20年6月12日 (2008.6.12)	(74) 代理人	100108855
(31) 優先権主張番号	60/732, 228		弁理士 蔵田 昌俊
(32) 優先日	平成17年10月31日 (2005.10.31)	(74) 代理人	100109830
(33) 優先権主張国	米国 (US)		弁理士 福原 淑弘
(31) 優先権主張番号	11/286, 087	(74) 代理人	100088683
(32) 優先日	平成17年11月22日 (2005.11.22)		弁理士 中村 誠
(33) 優先権主張国	米国 (US)	(74) 代理人	100103034
			弁理士 野河 信久
前置審査			最終頁に続く

(54) 【発明の名称】 電子デバイスのための適応電圧スケールリング

(57) 【特許請求の範囲】

【請求項 1】

第1の閾値電圧をもつトランジスタデバイスによって形成される第1の論理セルのセットと、第2の閾値電圧をもつトランジスタデバイスによって形成される第2の論理セルのセットとを含み、目標クロック周波数に対する処理コア内のクリティカルパスをエミュレートする遅延合成器と、

前記遅延合成器に連結され、前記遅延合成器の出力に基づいて前記クリティカルパスの遅延を測定し、前記測定された遅延に基づき遅延制御を与える制御ユニットと、

を含み、

前記制御ユニットは、前記測定された遅延に基づき前記処理コアが前記目標クロック周波数で動作することができるように前記処理コアに対する供給電圧を調節する、

前記制御ユニットは、前記クリティカルパスの前記遅延が、前記目標クロック周波数のときの前記クリティカルパスの目標遅延よりも小さくなるように前記供給電圧を決定する、集積回路。

【請求項 2】

前記遅延合成器は、前記第1及び第2の閾値電圧の各々に対して選択可能な数の論理セルを含む請求項1記載の集積回路。

【請求項 3】

前記第1及び第2の閾値電圧は、高い閾値電圧(high threshold voltage, HVT)と低い閾値電圧(low threshold voltage, LVT)とにそれぞれ対応する請求項1記載の集積回路。

10

20

【請求項 4】

前記遅延合成器は、HVTトランジスタデバイスによって形成される選択可能な数の論理セルと、LVTトランジスタデバイスによって形成される選択可能な数の論理セルを含む請求項 3 記載の集積回路。

【請求項 5】

前記第 1 及び第 2 の論理セルのセットは、前記第 1 及び第 2 の閾値電圧をもつトランジスタデバイスによって形成されるインバータを含む請求項 1 記載の集積回路。

【請求項 6】

前記第 1 及び第 2 の論理セルのセットは、前記第 1 及び第 2 の閾値電圧をもつトランジスタデバイスによって形成されるドライバを含む請求項 1 記載の集積回路。

10

【請求項 7】

第 1 の閾値電圧をもつトランジスタデバイスによって形成される第 1 の論理セルのセットと、第 2 の閾値電圧をもつトランジスタデバイスによって形成される第 2 の論理セルのセットとを含み、目標クロック周波数に対する処理コア内のクリティカルパスをエミュレートする遅延合成器と、

前記遅延合成器に連結され、前記遅延合成器の出力に基づいて前記クリティカルパスの遅延を測定し、前記測定された遅延に基づき制御を与える制御ユニットと、

を含み、

前記制御ユニットは、前記測定された遅延に基づき前記処理コアが前記目標クロック周波数で動作することができるように前記処理コアに対する供給電圧を調節する、

20

前記制御ユニットは、前記クリティカルパスの遅延が、前記目標クロック周波数のときの前記クリティカルパスの目標遅延よりも小さくなるように前記供給電圧を決定する、装置。

【請求項 8】

前記遅延合成器は、前記第 1 及び第 2 の閾値電圧の各々に対して選択可能な数の論理セルを含む請求項 7 記載の装置。

【請求項 9】

前記第 1 及び第 2 の閾値電圧は、高い閾値電圧(high threshold voltage, HVT)と低い閾値電圧(low threshold voltage, LVT)とにそれぞれ対応する請求項 7 記載の装置。

【請求項 10】

前記遅延合成器は、HVTトランジスタデバイスによって形成される選択可能な数の論理セルと、LVTトランジスタデバイスによって形成される選択可能な数の論理セルを含む請求項 9 記載の装置。

30

【請求項 11】

前記第 1 及び第 2 の論理セルのセットは、前記第 1 及び第 2 の閾値電圧をもつトランジスタデバイスによって形成されるインバータを含む請求項 7 記載の装置。

【請求項 12】

前記第 1 及び第 2 の論理セルのセットは、前記第 1 及び第 2 の閾値電圧をもつトランジスタデバイスによって形成されるドライバを含む請求項 7 記載の装置。

【請求項 13】

40

第 1 の閾値電圧をもつトランジスタデバイスによって形成される第 1 の論理セルのセットと、第 2 の閾値電圧をもつトランジスタデバイスによって形成される第 2 の論理セルのセットとを含む遅延合成器で、目標クロック周波数に対する処理コア内のクリティカルパスの遅延を推定することと、

前記処理コア内の前記クリティカルパスの前記推定された遅延に基づいて制御を生成することと、

を含み、

前記制御を生成することは、前記遅延に基づき前記処理コアが前記目標クロック周波数で動作することができるように前記処理コアに対する供給電圧を調節すること、を含み、前記処理コアに対する供給電圧を調節することは、前記クリティカルパスの遅延が、前記

50

目標クロック周波数のときの前記クリティカルパスの目標遅延よりも小さくなるように前記供給電圧を決定する、方法。

【請求項 1 4】

前記処理コア内の前記目標クロック周波数に対する前記クリティカルパスをエミュレートするために、前記第 1 の論理セルのセットのなかから第 1 の数の論理セルを選択し、前記第 2 の論理セルのセットのなかから第 2 の数の論理セルを選択すること、をさらに含む請求項 1 3 記載の方法。

【請求項 1 5】

前記処理コアに対する前記目標クロック周波数を決定することと、
前記目標クロック周波数に基づいて、前記第 1 の論理セルのセットのなかから第 1 の数の論理セルを選択し、前記第 2 の論理セルのセットのなかから第 2 の数の論理セルを選択することと、
をさらに含む請求項 1 3 記載の方法。

【請求項 1 6】

第 1 の閾値電圧をもつトランジスタデバイスによって形成される第 1 の論理セルのセットと、第 2 の閾値電圧をもつトランジスタデバイスによって形成される第 2 の論理セルのセットとを含む遅延合成器で、目標クロック周波数に対する処理コア内のクリティカルパスの遅延を推定する手段と、

前記処理コア内の前記クリティカルパスの前記推定された遅延に基づいて制御を生成する手段と、

を含み、

前記制御を生成する手段は、前記遅延に基づき前記処理コアが前記目標クロック周波数で動作することができるように前記処理コアに対する供給電圧を調節する手段を含み、前記処理コアに対する供給電圧を調節する手段は、前記クリティカルパスの遅延が、前記目標クロック周波数のときの前記クリティカルパスの目標遅延よりも小さくなるように前記供給電圧を決定する、装置。

【請求項 1 7】

前記処理コア内の前記目標クロック周波数に対する前記クリティカルパスをエミュレートするために、前記第 1 の論理セルのセットのなかから第 1 の数の論理セルを選択し、前記第 2 の論理セルのセットのなかから第 2 の数の論理セルを選択する手段をさらに含む請求項 1 6 記載の装置。

【請求項 1 8】

前記処理コアに対する前記目標クロック周波数を決定する手段と、
前記目標クロック周波数に基づいて、前記第 1 の論理セルのセットのなかから第 1 の数の論理セルを選択し、前記第 2 の論理セルのセットのなかから第 2 の数の論理セルを選択する手段と、
をさらに含む請求項 1 6 記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願

本出願は、2005年10月31日に出願され、本発明の譲受人に譲渡され、全ての目的のために全体的に参照により本明細書に取り入れられる米国仮出願第60/732,228号(“ADAPTIVE VOLTAGE SCALING FOR AN ELECTRONICS DEVICE”)の恩恵に権利を主張している。

【0002】

本開示は、概ね、回路、より具体的には、電子デバイスのバッテリー電力を節約する技術に関する。

【背景技術】

【0003】

10

20

30

40

50

無線デバイス(例えば、セルラ電話)は、無線通信、メッセージング、ビデオ、ゲーム(gaming)、等のような種々のアプリケーションに幅広く使用されている。無線デバイスのアプリケーションおよび機能は、増大する消費者の需要を満たすために拡大し続けている。したがって、より精巧な無線デバイスが、小型のデバイスサイズでより多くのアプリケーションおよび機能をサポートするために、より高レベルの統合およびより速い動作速度を備えて設計され続けている。

【0004】

高度に統合された無線デバイスは、より多くの電力を消費し得る。これは、高クロックで動作するときにとくに当てはまり得る。より高い電力消費はバッテリー寿命を短くし得るが、長いバッテリー寿命はポータブル無線デバイスに対する重要な設計およびマーケティングのパラメータであるので、これは非常に望ましくない。したがって、多くの設計努力は、良い性能を達成する一方で、バッテリー寿命を延ばすことに充てられることが多い。例えば、無線デバイスは、アイドルモードで動作しているときにできるだけ多くの回路の電力を落として、電力を節約するように設計されることが多い。電力消費は供給電圧のほぼ二次関数であるので、アクティブモードで動作しているときに電力消費を低減する効果的な方法は、供給電圧をスケール(scale)または調節することである。例えば、供給電圧を10パーセント低減すると、電力消費をほぼ20パーセント節約することができる。

【0005】

供給電圧のスケールリングの目的は、要求される性能を維持する一方で、供給電圧をできるだけ低減することである。これは、集積回路(integrated circuit, IC)内のクリティカル信号パス、例えば、最も長い遅延をもつ信号パスを識別し、供給電圧を調節し、そのクリティカル信号パスがタイミングの要件を満たすようにすることによって達成され得る。この基準は、いくつかの理由で現代のVLSI回路において設定するのが難しい。第1に、供給電圧が変化すると、クリティカル信号パスは変わり得る。1つの信号パスは1つの供給電圧においてクリティカルであり、一方で、第2の信号パスは別の供給電圧においてクリティカルであり得る。第2に、所与の供給電圧において、クリティカル信号パスは、ICの処理および温度の変化に基づいてダイごとに異なり得る。従来より、これらの変化は、全ての条件における適切な動作を保証する大きな安全域(safety margin)を加えることによって説明されている。この大きな安全域は、一般に、時間のほとんどにおいてより高い電力消費をもたらす。

【0006】

したがって、当技術において、無線デバイスに対するバッテリー電力をより効果的に節約する技術が必要とされている。

【発明の開示】

【発明の概要】

【0007】

電子デバイス(例えば、セルラ電話)の供給電圧を適応してスケールリングする技術が、本明細書に説明されている。特定の実施形態において、処理コア(processing core)の論理速度およびワイヤ速度は、例えば、リング発振器を使用して特徴付けられる(characterize)。処理コアに対する目標クロック周波数は、例えば、コアに対する計算要件(computational requirement)に基づいて決定される。複製のクリティカルパス(replicated critical path)は、特徴付けられた論理速度およびワイヤ速度と目標クロック周波数とに基づいて、プログラム可能な遅延線のセットを使用して形成される。この複製のクリティカルパスは、処理コア内の実際のクリティカルパスをエミュレートし、異なるタイプの回路構成要素、例えば、異なる閾値電圧をもつ論理セル、ダイナミックセル、ビット線セル、ワイヤ、異なる閾値電圧および/またはファンアウトをもつドライバ、等を含むことができ、後で説明される。処理コアに対する供給電圧および複製のクリティカルパスは、両者が望ましい性能を達成するように調節される。

【0008】

本発明の種々の態様および実施形態は、さらに詳しく別途記載される。

10

20

30

40

50

【詳細な説明】

【0009】

本発明の特徴および性質は、全体を通じて同じ参照符号が同じものとして識別される図面と併せて、以下に示す詳細な説明からより明らかになるであろう。

【0010】

“例示的”という用語は、本明細書において“例、事例、または実例としての役割を果たす”ことを意味するために使用されている。本明細書に説明されている任意の実施形態または設計は、他の実施形態または設計よりも好ましいまたは好都合であると必ずしも解釈されるとは限らない。

【0011】

本明細書に説明されている適応電圧スケール技術は、種々のタイプの集積回路に使用され得る。例えば、これらの技術は、特定用途向け集積回路(application specific integrated circuit, ASIC)、デジタル信号プロセッサ(digital signal processor, DSP)、デジタル信号処理デバイス(digital signal processing device, DSPD)、プログラマブル論理デバイス(programmable logic devices, PLD)、フィールドプログラマブルゲートアレイ(field programmable gate array, FPGA)、プロセッサ、コントローラ、マイクロコントローラ、マイクロプロセッサ、等に使用され得る。これらの技術は、無線通信デバイス、セルラ電話、パーソナルデジタルアシスタント(personal digital assistants, PDA)、ポータブルコンピュータ、等のような種々の電子デバイスにも使用され得る。分かり易くするために、この技術は無線デバイス、例えば、セルラ電話内のASICに関して以下で説明される。

【0012】

図1は、無線デバイス100のブロック図を示しており、これは1つ以上の無線通信システムを監視すること、および/またはそれと通信することができ得る。受信パスにおいて、アンテナ112は、基地局および/または衛星によって送信された信号を受信し、受信信号を受信機(RCVR)114に与える。受信機114は、受信信号を処理し(例えば、フィルタリング、増幅、周波数ダウンコンバート、およびデジタル化)、サンプルをさらに処理するためにASIC120に与える。送信パスにおいて、ASIC120は、送信されるデータを処理し、データチップを送信機(TMTT)116に与える。送信機116は、データチップを処理し(例えば、アナログに変換、フィルタリング、増幅、および周波数アップコンバート)、変調された信号を生成し、これはアンテナ112を介して送信される。

【0013】

ASIC120は、1つ以上の通信システムを監視すること、および/またはそれと通信することをサポートする種々の処理ユニットを含んでいる。図1に示されている実施形態において、ASIC120は、DSPコア130aおよび130b、プロセッサコア130cおよび130d、クロック発生器140、内部メモリ150、外部インタフェースユニット160、並びに他の回路170を含んでいる。DSPコア130aおよび130bは、受信パスに対する処理(例えば、復調および復号)、送信パスに対する処理(例えば、符号化および変調)、および/または他のアプリケーションおよび機能に対する処理を行う。各DSPコアは、1つ以上の乗算および累算(multiply-and-accumulate, MAC)ユニット、1つ以上の演算論理ユニット(arithmetic logic unit, ALU)、等を含み得る。プロセッサコア130cおよび130dは、ビデオ、オーディオ、グラフィックス、ゲーム、等のような種々の機能をサポートする。

【0014】

クロック発生器140は、ASIC120内の処理ユニットによって使用されるクロックを発生し、外部回路142に連結し得る。外部回路142は、水晶、インダクタ、コンデンサ、等を含み得る。クロック発生器140は、1つ以上の位相ロックループ(phase locked loop, PLL)を含むことができ、PLLは、クロックを発生するのに使用される発振器を制御する。内部メモリ150は、ASIC120内の処理ユニットによって使用されるデータおよびプログラムコードを記憶する。外部インタフェースユニット160は、ASIC120の外部の他のユニットとインタフェースしている。他の回路170は、ASIC120内の種々の処理ユニット

10

20

30

40

50

に対する電力を制御する電力制御ユニットを含み得る。

【 0 0 1 5 】

図 1 に示されている実施形態において、A S I C 120は、電力管理ユニット180、揮発性メモリ190、および不揮発性メモリ192にさらに連結している。電力管理ユニット180は、バッテリー182に連結し、電力コネクタを介して外部電力をさらに受信する。電力管理ユニット180は、受信した電源を調整し、調整された供給電圧を、A S I C 120内の処理ユニットに与える。揮発性メモリ190は、A S I C 120によって使用されるデータおよびプログラムコードのための大容量記憶装置 (bulk storage) を与える。不揮発性メモリ192は、大容量不揮発性記憶装置 (bulk non-volatile storage) を与える。

【 0 0 1 6 】

一般に、無線デバイス100は、図 1 に示されている集積回路よりも少ない、多い、および/または異なる集積回路を含み得る。さらに、A S I C 120は、図 1 に示されている処理ユニットよりも少ない、多い、および/または異なる処理ユニットを含み得る。一般に、A S I C 120は、任意の数の D S P コアおよび任意の数のプロセッサコアを含み得る。A S I C 120に含まれる処理ユニットの数および処理ユニットのタイプは、通常、無線デバイス100によってサポートされる通信システム、アプリケーション、および機能のような種々の要因によって決まる。

【 0 0 1 7 】

図 2 は、適応電圧スケーリング (adaptive voltage scaling, AVS) を用いた A S I C 120 の実施形態を示している。この実施形態では、1つの A V S ユニット230が各処理コア130ごとに与えられ、そのコアに対する供給電圧を適応してスケールするのに使用される。とくに、A V S ユニット230aおよび230bは、それぞれ D S P コア130aおよび130bに対する適応電圧スケーリングを行い、A V S ユニット230cおよび230dは、それぞれプロセッサコア130cおよび130dに対する適応電圧スケーリングを行う。

【 0 0 1 8 】

各処理コア130は、コア内の同期回路をトリガするのに使用されるクロックをクロック発生器140から受信する。各コア130は、クロック発生器140とその A V S ユニット230とに、そのクロックに対する目標周波数を与える。この目標周波数は、コアに対する処理負荷と計算要件とに基づいて選択され得る。各処理コア130に対して、クロック発生器140は目標周波数でクロックを発生し、このクロックをコアとその関連する A V S ユニット230とに与える。各処理コア130およびその関連する A V S ユニット230は、調整された供給電圧 (V d d) を電力管理ユニット180からさらに受信する。各処理コア130に対する供給電圧は、コアが目標クロック周波数で動作することができるように、その関連する A V S ユニット230によって設定される。

【 0 0 1 9 】

図 2 に示されている実施形態において、各処理コア130に対するクロックは、クロック発生器140によって個々に設定され、各処理コア130に対する供給電圧は、電力管理ユニット180によって個々に設定され得る。他の実施形態では、多数の処理コアは、これらのコアに対して一緒に設定され得る共通の供給電圧および/または共通のクロックを共有し得る。

【 0 0 2 0 】

適応電圧スケーリングは、性能要件を満たすレベル、すなわち目標周波数における適切な動作によって量子化され得るレベルに、供給電圧を調節する閉ループシステムである。一般に、より大きい供給電圧はより少ない遅延に対応し、これは、より速いクロックを用いてより高い周波数で動作することを可能にする。ピーク供給電圧は、最も短い遅延と最も高い性能レベルとを与えることができる。しかしながら、この最も高い性能レベルは、時間の一部またはほとんどにおいて不要である。このような場合に、供給電圧は低減され得る。したがって、適応電圧スケーリングは、計算要件における変化を利用して、供給電圧をスケールし、平均電力消費を低減する一方で、要求される性能を維持する。その結果、バッテリー寿命を延ばすことができ、これは非常に望ましい。

10

20

30

40

50

【 0 0 2 1 】

各処理コア130に対するA V Sユニット230は供給電圧を調節して、そのコアがその性能要件を満たすことができるようにする。実施形態において、各A V Sユニットは、I Cの処理、温度、および電圧の変化の全体にわたって、関連するコアの実際の性能をシミュレートする。各A V Sユニットは、関連するコアに対するクリティカルパスをエミュレートし、そのクリティカルパスの性能を追跡し、そのクリティカルパスが目標性能を達成することができる可能な限り低いレベルに、供給電圧を調節する。異なる条件に対して実際のクリティカルパスを密接に追跡する能力により、非常に効果的な適応電圧スケールリングが得られる。

【 0 0 2 2 】

各A V Sユニット230は、関連する処理コア130内のクリティカルパスの性能を追跡する。実施形態において、これは、関連するコア内のクリティカルパスに対する回路の混合 (blend) に密接に整合している回路構成要素の混合をもつ遅延合成器を使用して達成される。これらの回路構成要素は、論理セル、異なる閾値電圧をもつトランジスタデバイス、ダイナミックセル、ビット線セル、ワイヤ、異なる閾値電圧および/またはファンアウトをもつドライバ、等を含むことができ、これは後で説明される。これらの異なる回路構成要素は、I Cの処理、温度、および電圧の変化の全体にわたって異なって変化し得る電気的特性 (electrical characteristics) (例えば、遅延) をもつ。

【 0 0 2 3 】

論理セルは、インバータおよび/または他の論理ゲートを用いて形成され得る。インバータおよび論理ゲートはトランジスタで実施され、トランジスタはPチャネル電界効果トランジスタ (P-channel field effect transistor, P-FET)、NチャネルF E T (N - F E T)、等であり得る。各F E Tデバイスは、特定の閾値電圧、すなわちデバイスがオンになる電圧で設計される。低い閾値電圧 (low threshold voltage, LVT) は、F E Tデバイスによる遅延を低減するが、漏れ電流、すなわちF E TデバイスがオフにされたときにF E Tデバイスを通る電流を増加する。逆に、高い閾値電圧 (high threshold voltage, HVT) は、漏れ電流を低減するが、遅延を増加する。L V TおよびH V Tのデバイスの組合せを使用して、必要に応じて良い性能を達成し、要求に応じて漏れを少なくすることができる。L V TおよびH V Tデバイスの電気的特性は、I Cの処理、温度、および電圧に関連して異なって変化し得る。コンピュータシミュレーションは、4のファンアウトまたは駆動能力を備えたH V Tインバータが、他のH V T論理ゲートの遅延と共に適切に追跡する遅延をもつことを示している。しかしながら、このH V Tインバータの遅延は、L V Tインバータの遅延からの大きなずれをもつ。

【 0 0 2 4 】

ワイヤは、I Cダイ上にエッチングされた比較的長いトレースであり、I Cダイ上で回路構成要素を相互接続する。ワイヤの遅延は、ワイヤの長さ、幅、および高さ、そのワイヤに対するドライバのファンアウトとによって影響を受ける。ワイヤの長さおよび幅は、一般に設計によって選択され、ワイヤの厚さは、一般にI C製造のプロセスによって定められる。2ミリメートル (millimeter, mm) のワイヤの遅延は、特定の電圧範囲に対して4のファンアウトをもつH V Tインバータの遅延に対して2オーダまでで変化し得る。ドライバのファンアウトが増加すると、ドライバの遅延は、H V Tインバータの遅延に対してより大きく変化する。技術的機能 (technology feature) / トランジスタのサイズが小さくなり、I Cダイの面積対機能サイズ (feature size) の比が大きくなり、より多くの論理セルがI Cダイにパッケージ化されるとき、ワイヤはクリティカルパスの性能により大きな影響を及ぼす。これは、集積レベルが高まるのにしたがって、より多くのワイヤを使用して、論理セルを接続するからである。さらに、幾何学的形状 (geometrics) が小さくなるのにしたがって、ワイヤの抵抗および静電容量も大きくなる。したがって、ほとんど論理セルから構成されている従来のリング発振器または従来の遅延合成器は、ワイヤを含んでいるクリティカルパスの性能を正確に追跡しない。

【 0 0 2 5 】

10

20

30

40

50

図3は、関連する処理コア130xに対するAVSユニット230xの実施形態を示している。AVSユニット230xは、図2のAVSユニット230a乃至230dの各々に使用することができ、処理コア130xはコア130a乃至130dの任意の1つであり得る。

【0026】

AVSユニット230x内で、パルス発生器310は、クロック発生器140からクロックを受信する。図3に示されていない実施形態では、パルス発生器310は、遅延合成器320に対する第1の入力信号(DSin)と、遅延整合回路330に対する第2の入力信号(DMin)とを発生する。DSinおよびDMin信号の各々は、クロックの各立ち上がり(leading edge)のパルスを含み得る。DMin信号におけるパルスは、DSin信号におけるパルスに対して一定量遅らされ得る。別途記載される別の実施形態では、パルス発生器310は、遅延合成器320および遅延整合回路330の両者に与えられる1つの入力信号(Din)を発生する。Din信号におけるパルスは、遅延合成器320を通過して伝搬され、制御ユニット340の第1の入力を介して受信される。Din信号におけるパルスは、また、遅延整合回路330を通過して伝搬され、制御ユニット340の第2の入力を介して受信される。遅延合成器320は、処理コア130xに対するクリティカルパスをモデル化する。遅延合成器320は、遅延合成器の柔軟なプログラミングを可能にするマルチプレクサを含む。しかしながら、これらのマルチプレクサは、複製のクリティカルパスの総遅延に実質的に関係し得る追加の遅延を取り込む。遅延整合回路330は、遅延合成器320内のマルチプレクサの遅延を説明する。

【0027】

制御ユニット340は、遅延合成器320および遅延整合回路330からパルスを受信し、受信したパルスに基づいて遅延合成器320内の複製のクリティカルパスの“純粋な(pure)”遅延を測定する。制御ユニット340は、測定されたクリティカルパス遅延と、場合によっては温度センサ370からの温度測定とに基づいて、電圧制御(Vctrl)を生成する。電力管理ユニット180内の電圧調整器380は、制御ユニット340から電圧制御を受信し、調整された供給電圧(Vdd)を電圧制御に基づいて調節し、調整された供給電圧を処理コア130x、遅延合成器320、および遅延整合回路330に与える。

【0028】

IC処理モニタユニット350は、ASIC120に対する論理およびワイヤ遅延を決定し、この情報をAVS特徴付けユニット(AVS characterization unit)360に与える。ユニット360は、処理コア130xに対する目標クロック周波数をさらに受信し、遅延合成器320内の複製のクリティカルパスに対する回路構成要素の適切な混合を選択するMuxSel信号(図4および5に示されている)を与える。AVSユニット230x内の種々のブロックは、別途詳しく記載される。

【0029】

図3に示されているように、AVSユニット230xは、処理コア130x内のクリティカルパスに対する所望の性能を達成するように供給電圧をスケールする閉ループシステムの一部である。遅延合成器320は、処理コア130x内の実際のクリティカルパスに整合する回路構成要素の混合をもつ複製のクリティカルパスを得るようにプログラムされ得る。さらに、遅延合成器320は、回路構成要素の種々の混合を用いてプログラムされ、ICの処理および/または他の変化による実際のクリティカルパスの変化を追跡し得る。これは、実際のクリティカルパスの密接な追跡を可能にし、効率を高める。

【0030】

図4Aおよび4Bは、図3におけるAVSユニット230x内の遅延合成器320の実施形態を示している。この実施形態において、遅延合成器320は複数の遅延線を含み、各遅延線は、異なるタイプの回路構成要素から構成されている。

【0031】

遅延合成器320内では、パルス発生器310からのDin信号は遅延線410の入力に与えられ、遅延線410は、K個の直列接続された論理セル412a乃至412k(例えば、K=32)から構成されている。各論理セル412は、HVTデバイスで形成されている論理ゲートおよび/またはインバータで実施され得る。K個の論理セル412a乃至412kの出力は、マルチプレ

10

20

30

40

50

クサ(multiplexer, Mux)418のK個の入力に与えられる。マルチプレクサ418は、 $M \times 1$ $S e l$ の制御に基づいて、K個の入力の1つをマルチプレクサの出力として与える。

【0032】

マルチプレクサ418の出力は、遅延線420の入力に与えられ、遅延線420は、L個の直列接続された論理セル422a乃至422l(例えば、 $L = 32$)から構成されている。各論理セル422は、LVTデバイスで形成されている論理ゲートおよび/またはインバータで実施され得る。L個の論理セル422a乃至422kの出力は、マルチプレクサ428のL個の入力に与えられる。マルチプレクサ428は、 $M \times 2$ $S e l$ の制御に基づいて、L個の入力の1つをマルチプレクサの出力として与える。

【0033】

マルチプレクサ428の出力は、遅延線430の入力に与えられ、遅延線430は、M個の直列接続されたダイナミックセル432a乃至432m(例えば、 $M = 32$)から構成されている。ダイナミックセル432は、拡散容量をモデル化するのに使用される。拡散容量は、ドレインからウェルへの逆バイアス接合の容量効果の結果であり、これは、遅延線410および420によってモデル化されたゲート容量とは異なる。各ダイナミックセルは、別途記載されるように実施され得る。M個のダイナミックセル432a乃至432mの出力は、マルチプレクサ438のM個の入力に与えられる。マルチプレクサ438は、 $M \times 3$ $S e l$ の制御に基づいて、M個の入力の1つをマルチプレクサの出力として与える。

【0034】

マルチプレクサ438の出力は、遅延線440の入力に与えられ、遅延線440は、N個の直列接続されたビット線セル442a乃至442n(例えば、 $N = 4$)から構成されている。ビット線セル442は、メモリアクセス遅延を追跡するのに使用され、別途記載されるように実施され得る。N個のビット線セル442a乃至442kの出力は、マルチプレクサ448のN個の入力に与えられる。マルチプレクサ448は、 $M \times 4$ $S e l$ の制御に基づいて、N個の入力の1つをマルチプレクサの出力(D S i n t)として与える。

【0035】

図4Bを参照すると、マルチプレクサ448の出力(D S i n t)は、4つの遅延線450、460、470、および480の入力に与えられている。遅延線450、460、470、および480の各々は、P個の直列接続されたワイヤセルから構成されている(例えば、 $P = 8$)。各ワイヤセルは、ドライバおよびワイヤを含んでいる。遅延線450において、ドライバ452a乃至452pは、HVTデバイスで実施され、FOa(例えば、 $F O a = 8$)のファンアウトをもつ。遅延線460において、ドライバ462a乃至462pは、HVTデバイスで実施され、FOb(例えば、 $F O b = 16$)のファンアウトをもつ。遅延線470において、ドライバ472a乃至472pは、LVTデバイスで実施され、FOaのファンアウトをもつ。遅延線480において、ドライバ482a乃至482pは、LVTデバイスで実施され、FObのファンアウトをもつ。各ワイヤは、ワイヤの長さ、幅、および厚さによって決定される直列抵抗および寄生容量をもつ。遅延線450、460、470、および480のワイヤは、同じ長さ(例えば、1mmの同じ長さ)または異なる長さをもつように設計され得る。

【0036】

遅延線450において、ドライバ452a乃至452pは、それぞれワイヤ454a乃至454pを駆動し、ワイヤ454a乃至454pは、マルチプレクサ458のP個の入力にさらに連結する。マルチプレクサ458は、 $M \times 5$ $S e l$ の制御に基づいて、P個の入力の1つをマルチプレクサの出力として与える。遅延線460において、ドライバ462a乃至462pは、それぞれワイヤ464a乃至464pを駆動し、ワイヤ464a乃至464pは、マルチプレクサ468のP個の入力にさらに連結する。マルチプレクサ468は、 $M \times 5$ $S e l$ の制御に基づいて、P個の入力の1つをマルチプレクサ出力として与える。遅延線470において、ドライバ472a乃至472pは、それぞれワイヤ474a乃至474pを駆動し、ワイヤ474a乃至474pは、マルチプレクサ478のP個の入力にさらに連結する。マルチプレクサ478は、 $M \times 5$ $S e l$ の制御に基づいて、P個の入力の1つをマルチプレクサの出力として与える。遅延線480において、ドライバ482a乃至482pは、それぞれワイヤ484a乃至484pを駆動し、ワイヤ484a乃至484pは、マルチプレ

10

20

30

40

50

クサ488のP個の入力にさらに連結する。マルチプレクサ488は、M u x 5 S e lの制御に基づいて、P個の入力の1つをマルチプレクサの出力として与える。マルチプレクサ488は、マルチプレクサ458、468、478、および488の出力を受信し、M u x 6 S e lの制御に基づいて、これらの4つのマルチプレクサの1つの出力を遅延合成器の出力(D S o u t)として与える。

【0037】

図4Aおよび4Bに示されている実施形態において、D i n信号は、各遅延線内の少なくとも1個のセルを通る。別の実施形態において、各遅延線に対する入力信号は、その遅延線に対するマルチプレクサの1つの入力に与えられ得る。この実施形態において、D i n信号は、マルチプレクサを直接に通り、遅延線内のセルの全てをバイパスすることができる。

10

【0038】

図4Aおよび4Bに示されている遅延合成器構造において、遅延線410は、H V Tデバイスに対する論理遅延をエミュレートし、遅延線420は、L V Tデバイスに対する論理遅延をエミュレートし、遅延線430は、拡散遅延をエミュレートし、遅延線440は、メモリアクセス遅延をエミュレートし、遅延線450は、F O aのファンアウトをもつH V Tドライバを伴うワイヤの遅延をエミュレートし、遅延線460は、F O bのファンアウトをもつH V Tドライバを伴うワイヤの遅延をエミュレートし、遅延線470は、F O aのファンアウトをもつL V Tドライバを伴うワイヤの遅延をエミュレートし、遅延線480は、F O bのファンアウトをもつL V Tドライバを伴うワイヤの遅延をエミュレートする。

20

【0039】

図4Aおよび4Bに示されている遅延合成器構造は、回路構成要素の所望の混合を用いてクリティカルパスを柔軟に複製することができる。各遅延線は、異なるタイプの回路構成要素に対して多数の直列接続されたセルから構成されている。各遅延線に対するマルチプレクサは、複製のクリティカルパス内にその遅延線に対する選択可能な数のセルを含むことができる。同じ遅延合成器構造が、コア130a乃至130dに対するA V Sユニット230a乃至230dにおいてそれぞれ使用され得る。各コアに対する複製のクリティカルパスは、そのコアに対する遅延合成器内のマルチプレクサを適切に制御することによって、個々に柔軟に形成され得る。さらに、複製のクリティカルパスは、関連するコア内の実際のクリティカルパスの性能に整合するように、容易に変えることができる。

30

【0040】

一般に、遅延合成器構造は、任意の数の遅延線を含み、各遅延線は、任意のタイプの回路をエミュレートし、任意の数のセルを含むことができる。このような構造は、クリティカルパスを複製する際に大きな柔軟性を与える。別の実施形態において、遅延合成器構造は、複数の仮定の(hypothesized)クリティカルパスを含むことができ、各仮定のクリティカルパスは、回路構成要素の異なる混合を含んでいる。仮定のクリティカルパスの1つは、複製のクリティカルパスとして選択され得る。

【0041】

図5Aは、論理セル412xの実施形態を示しており、これは、図4Aにおける論理セル412a乃至412kおよび422a乃至422lの各々に使用され得る。この実施形態において、論理セル412xは、Q個の直接接続されたインバータ512a乃至512qから構成されている(なお、Qは1以上)。論理セル412xがI Cの処理、温度、および電圧の変化の全体にわたって所望の量の遅延を与えることができるように、Qは選択され得る。各インバータ512は、H V TまたはL V Tのデバイスで実施され得る。図4Aの遅延線410に対する論理セル412a乃至412kは、同数または異なる数のインバータを含み得る。遅延線420に対する論理セル422a乃至422lも、同数または異なる数のインバータを含み得る。各論理セルは、他の論理ゲート(例えば、A N D、N A N D、O R、N O R、排他的O R、または何か他の論理ゲート)あるいは論理ゲートの任意の組合せで実施することもできる。

40

【0042】

図5Bは、ダイナミックセル432xの実施形態を示しており、これは、図4Aにおけるダ

50

イナミックセル432a乃至432mの各々に使用され得る。この実施形態において、ダイナミックセル432xは、P - F E T 530および538、R個の並列接続されたN - F E T 532a乃至532r、N - F E T 534、並びにインバータ536から構成され、なお、R = 1である。P - F E T 530は、供給電圧に連結されたソース、ダイナミックセルの入力を形成するゲート、およびN - F E T 532a乃至532rのドレインに連結されたドレインをもつ。N - F E T 532aのゲートは、供給電圧に連結され、N - F E T 532b乃至532rのゲートは、回路の接地に連結される。N - F E T 534は、回路の接地に連結されたソース、ダイナミックセルの入りに連結されたゲート、およびN - F E T 532a乃至532rのソースに連結されたドレインをもつ。P - F E T 538は、供給電圧に連結されたソース、インバータ536の出力に連結されたゲート、およびN - F E T 532a乃至532rのドレインに連結されたドレインをもつ。N - F E T 532a乃至532rが全てオフにされたとき、P - F E T 538は、それらの電荷漏れを回復するためにフィードバックを行う。

【 0 0 4 3 】

D i n 信号は、遅延線430内のダイナミックセル432a乃至432mを通して伝搬する。ダイナミックセル432xの入力におけるD i n 信号が論理ロー (logic low) であるとき、P - F E T 530はオンにされ、ノードAを論理ハイ (logic high) にプリチャージし、N - F E T 534はオフにされ、インバータ536の出力は論理ローである。パルスがD i n 信号上に現われるとき、P - F E T 530はオフにされ、N - F E T 534はオンにされ、ノードAをN - F E T 532aを介して論理ローにプルし (pull)、インバータ536の出力は論理ハイに遷移する。N - F E T 532aは評価され、N - F E T 532b乃至532rは評価されない。ダイナミックセル432xによる遅延は、N - F E T 532a乃至532rの拡散容量によって決定される。

【 0 0 4 4 】

図5Cは、ビット線セル442xの実施形態を示しており、これは、図4Aにおけるビット線セル442a乃至442nの各々に使用され得る。この実施形態において、ビット線セル442xは、プリチャージ回路540、ダミーの列 (column) 542、S個のメモリセル544a乃至544s (なお、S = 1)、およびセンス増幅器546を含む。ビット線セルの入力においてD i n 信号上のパルスを受信すると、プリチャージ回路540は、ビット線 (B L) および補足的なビット線 (B L b) の両者をプリチャージし、ダミーの列542は、センス増幅器546に対するイネーブル信号を発生する。さらに、D i n のパルスは、短い遅延の後でメモリセル544aを選択し、これは簡潔にするために図5Cに示されていない。メモリセル544aは、論理ハイ ('1') を記憶し、イネーブルにされると、B L b 線を論理ローにプルする。センス増幅器546は、B L 線とB L b 線との間の電圧差を感知し、B L b 線の放電率によって決定される短い遅延の後で、マルチプレクサ448の1つの入力と、(もしあれば) 次のビット線セルの入力とに論理ハイを与える。ビット線セル442xは、例えば、S R A M、キャッシュ、および他のメモリに対するメモリアクセス遅延を追跡することができる。

【 0 0 4 5 】

図6は、図4Aおよび4Bに示されている遅延合成器320の各遅延線において最少数のセルから構成されている複製のクリティカルパスを示している。この複製のクリティカルパスにおいて、D i n 信号は、6つのマルチプレクサ418、428、438、448、458、および498を通る。各マルチプレクサは、通常、追加の遅延を取り込む複数レベルの論理ゲートを含む。したがって、複製のクリティカルパスに対するD i n 信号によって観察 (observe) される総遅延は、(1) 実際のクリティカルパスをエミュレートするのに使用されるセルによって取り込まれる遅延と、(2) 複製のクリティカルパスを形成するのに使用されるマルチプレクサによって取り込まれる遅延とから成る。マルチプレクサ遅延は、マルチプレクサ数と各マルチプレクサの入力数との両者に伴って増加する。マルチプレクサ遅延は、とくに、例えば、1 G H z 以上のような高速度では、複製のクリティカルパスに対する総遅延の相当に大きい部分を示し得る。

【 0 0 4 6 】

マルチプレクサ遅延は、種々のやり方で処理され得る。実施形態において、マルチプレクサ遅延は、論理遅延の一部として扱われる。他の回路タイプ (例えば、ワイヤ、拡散、

10

20

30

40

50

等)からの遅延は、遅延の所望の混合(例えば、20%の論理遅延と80%のワイヤ遅延)を得るのに十分に長いものであるべきである。この実施形態において、マルチプレクサは、関連するコア内の論理のほとんどと同じデバイスのタイプで実施され得る。例えば、関連するコアがほとんどLVTデバイスで実施されているとき、マルチプレクサもLVTデバイスで実施され得る。他の回路タイプの遅延は、必要であれば延ばされ、遅延の所望の混合を得る。

【0047】

別の実施形態では、遅延整合回路330を使用して、マルチプレクサ遅延を推定する。その後で、推定されたマルチプレクサ遅延を遅延合成器320の総遅延から減算し、遅延合成器内の複製のクリティカルパスの“純粋な”遅延を得ることができる。

10

【0048】

図7は、図3のAVSユニット230x内の遅延整合回路330の実施形態を示している。この実施形態において、遅延整合回路330は、遅延合成器320と同数の遅延線と同数のマルチプレクサとを含む。

【0049】

遅延整合回路330内で、パルス発生器310からのDin信号は、2つの直列接続された論理セル712aおよび712bから構成されている遅延線の入力に与えられる。論理セル712bは、論理セル712aの負荷をシミュレートし、図7に示されているように遅延整合回路330内に含まれるか、または省かれることもある。論理セル712aの出力は、部分的なマルチプレクサ(partial multiplexer)718の入力に与えられ、これは、マルチプレクサ418の1つの入力と出力との間の信号パスをモデル化している。マルチプレクサ718は、K'個の直列接続されたNANDゲート716a乃至716k'を含み、なお、

20

【数1】

$$K' \approx 2 \cdot \log_2(K)$$

【0050】

であり、Kは、マルチプレクサ418に対する入力数である。

【0051】

マルチプレクサ718の出力は、2つの直列接続された論理セル722aおよび722bから構成されている遅延線の入力に与えられる。部分的なマルチプレクサ728は、論理セル722aの出力を受信し、その出力を、2つの直列接続されたダイナミックセル732aおよび732bから構成されている遅延線の入力に与える。部分的なマルチプレクサ738は、ダイナミックセル732aの出力を受信し、その出力を、2つの直列接続されたビット線セル742aおよび742bから構成されている遅延線の入力に与える。部分的なマルチプレクサ748は、ビット線セル742aの出力を受信し、その出力を、4本のワイヤ遅延線の入力に与える。第1のワイヤ遅延線は、ドライバ752aおよびワイヤ754aから構成されている完全なワイヤセルと、ドライバ752bから構成されている部分的なワイヤセルとを含む。第2のワイヤ遅延線は、ドライバ762aおよびワイヤ764aから構成されている完全なワイヤセルと、ドライバ762bから構成されている部分的なワイヤセルとを含む。第3のワイヤ遅延線は、ドライバ772aおよびワイヤ774aから構成されている完全なワイヤセルと、ドライバ772bから構成されている部分的なワイヤセルとを含む。第4のワイヤ遅延線は、ドライバ782aおよびワイヤ784aから構成されている完全なワイヤセルと、ドライバ782bから構成されている部分的なワイヤセルとを含む。ワイヤ754a、764a、774a、および784aの他方の端部は、部分的なマルチプレクサ758、768、778、および788の入力にそれぞれ連結し、これらは、その出力をマルチプレクサ798の4つの入力に与える。マルチプレクサ798は、Mux6Selの制御をさらに受信し、遅延整合回路の出力(delay matching circuit output, DMout)としてマルチプレクサ758、768、778、および788の1つの出力を与える。

30

40

【0052】

論理セル712a、712b、722a、および722bは、図4Aの遅延合成器320内の論理セル412a、412b、422a、および422bと同じやり方でそれぞれ実施され得る。ダイナミックセル732a

50

および732bは、ダイナミックセル432aおよび432bと同じやり方でそれぞれ実施され得る。ビット線セル742aおよび742bは、ビット線セル442aおよび442bと同じやり方でそれぞれ実施され得る。ドライバ752a、762a、772a、および782aは、ドライバ452a、462a、472a、および482aと同じやり方でそれぞれ実施され、ワイヤ754a、764a、774a、および784aは、ワイヤ454a、464a、474a、および484aと同じやり方でそれぞれ実施され得る。部分的なマルチプレクサ718、728、738、748、758、768、778、および788は、マルチプレクサ418、428、438、448、458、468、478、および488の1つの入力と出力との間の信号パスをそれぞれモデル化している。マルチプレクサ798は、マルチプレクサ498と同じやり方で実施され得る。

【 0 0 5 3 】

遅延整合330は、遅延合成器320内のマルチプレクサの遅延を吸収するのに使用され得る。これは、A V S ユニット230xが高周波においてクリティカルパスを正確にモデル化することを可能にする。

【 0 0 5 4 】

図8は、図3におけるA V S ユニット230x内の制御ユニット340の実施形態を示している。この実施形態において、遅延合成器320からのD S o u t 信号は、D フリップフロップ814aのデータ(data, D)入力と遅延セル812aの入力とに与えられる。遅延セル812aの出力は、D フリップフロップ814bのデータ入力と遅延セル812bの入力とに連結する。遅延セル812bの出力は、D フリップフロップ814cのデータ入力に連結する。遅延整合回路330からのD M o u t 信号は、D フリップフロップ814a、814b、および814cのクロック入力に与えられる。各D フリップフロップ814は、D M o u t 信号に基づいてそのデータ入力をラッチし、それを符号器816への出力(Q)に与える。符号器816は、フリップフロップ814a、814b、および814cの出力と、場合によっては温度センサ370からの温度測定とに基づいて、電力管理ユニット180に対する電圧制御V c t r l を発生する。

【 0 0 5 5 】

遅延セル812aおよび812bの各々は、所定量の遅延、例えば、最高クロック周波数におけるクロック期間の5%を与えるように設計され得る。各フリップフロップ814は、そのデータ入力におけるパルスがそのクロック入力におけるパルスよりも先に到達すると、論理ハイを与え、そうでないときは、論理ローを与える。フリップフロップ814aは、D S o u t 信号におけるパルスがD M o u t 信号におけるパルスの前に到達すると、論理ハイを与える。遅延セル812aからの遅延パルスがD M o u t 信号におけるパルスの前に到達すると、フリップフロップ814bは論理ハイを与える。遅延セル812bからの遅延パルスがD M o u t 信号におけるパルスの前に到達すると、フリップフロップ814cは論理ハイを与える。供給電圧が低過ぎるときは、複製のクリティカルパスの総遅延は長く、3つのフリップフロップの全ては論理ローを与え得る。次に、符号器816は電圧制御を発生し、供給電圧を増加する。逆に、供給電圧が高過ぎるときは、複製のクリティカルパスの総遅延は目標周波数よりも小さく、3つのフリップフロップの全ては論理ハイを与え得る。次に、符号器816は電圧制御を発生し、供給電圧を低減する。

【 0 0 5 6 】

制御ユニット340は、電圧制御を発生し、測定されたクリティカルパス遅延に基づいて供給電圧を調節する。クリティカルパス遅延は、図8に示されている3つのフリップフロップまたは3つ以上のフリップフロップを用いて測定され、より大きな遅延分解能を達成し得る。電圧制御は、現在の供給電圧を維持するか、供給電圧を所定量分、増加または低減するかを示す2ビットの制御であり得る。電圧制御は、増加または低減する電圧量を示すマルチビット制御でもあり得る。温度測定が公称の温度の範囲外であるとき、制御ユニット340は、フリップフロップ814a、814b、および814cの出力を無視して、所定の電圧制御を与えることもできる。制御ユニット340は、温度測定を別のやり方で使用して、電圧制御を発生することもできる。

【 0 0 5 7 】

温度は、I C ダイの全体にわたるアクティブデバイスおよびパッシブデバイスの異なる

10

20

30

40

50

構成のために、ICダイの全体にわたって異なり得る。ICダイの全体にわたる温度勾配は、ICダイ全体に複数の遅延合成器を置くことによって説明され得る。例えば、複数(例えば、4つ)の遅延合成器が、処理コアの異なるコーナ(corner)に置かれ得る。その処理コアに対するAVSユニットは、全ての遅延合成器から出力を受信し、最も遅い遅延合成器に基づいて供給電圧を調節し得る。

【0058】

異なる回路構成要素(例えば、論理およびワイヤ)に対する遅延は、一般に、ICの処理の変化に依存する。例えば、速いIC処理のコーナは、より速い論理、したがってより少ない論理遅延になるが、遅いIC処理のコーナは、より遅い論理、したがってより大きい論理遅延になる。ワイヤの寄生抵抗および容量も、ICの処理の変化により変わり、したがって、異なるワイヤ遅延なる。ASIC120に対する論理セルおよびワイヤの遅延は特徴付けられ、電圧スケールリングに使用され得る。

10

【0059】

図9は、図3におけるAVSユニット230x内のIC処理モニタユニット350の実施形態を示している。この実施形態において、リング発振器910は、T個の遅延ユニット912a乃至912tとNANDゲート940とを用いて形成され、なお、T=1である。各遅延ユニット912内において、デマルチプレクサ(demultiplexer, Demux)920は、NANDゲート940または前の遅延ユニットの出力に連結された入力と、緩衝器922および932の入力に連結された2つの出力とをもつ。緩衝器922はワイヤ924を駆動し、ワイヤ924は緩衝器926の入力にさらに連結する。緩衝器932は緩衝器936を駆動する。マルチプレクサ938は、その2つの入力において緩衝器926および936の出力を受信し、2つの入力の一方を遅延ユニットの出力として与える。各遅延ユニット912において、緩衝器922および926とワイヤ924とは、論理とワイヤとから構成されている第1の信号パスを形成し、緩衝器932および936は、論理のみから構成されている第2の信号パスを形成する。第2の信号パスにおける緩衝器932および936は、第1の信号パスにおける緩衝器922および926と同じやり方で実施されることができ、したがって、ワイヤ924が、2本の信号パス間の唯一の違いである。適切なMux/Demux制御をデマルチプレクサ920およびマルチプレクサ938に与えることによって、第1または第2の何れかの信号パスが選択され得る。

20

【0060】

NANDゲート940は、一方の入力において最後の遅延ユニット912tの出力を受信し、他方の入力において制御ユニット950からイネーブル(enable, Enb)信号を受信する。NANDゲート940の出力は、第1の遅延ユニット912aの入力に与えられる。リング発振器910は、(1)遅延ユニット912a乃至912t内の選択された信号パスと、(2)ICの処理に依存して、選択された信号パス内の回路構成要素の特徴(characteristic)とによって決定される周波数をもつ発振器信号を与える。カウンタ960は発振器信号を受信し、制御ユニット950からの第1の制御に基づいて発振器のサイクル数を数える。レジスタ970は、制御ユニット950からの第2の制御に基づいてカウンタ960の出力をラッチし、周波数カウンタを与える。制御ユニット950は、クロックを受信して、遅延ユニット912a乃至912t、NANDゲート940、カウンタ960、およびレジスタ970に対する制御を発生する。制御ユニット950は、さらに、レジスタ970から周波数カウンタを受信し、AVS特徴付けユニット360に論理速度出力およびワイヤ速度出力を与える。

30

40

【0061】

論理速度およびワイヤ速度は、次のように決定され得る。リング発振器910は、最初に、Mux/Demux制御を論理ハイに設定することによって、全ての遅延ユニット912a乃至912tにおいて第2の信号パスを用いて動作するように構成される。次に、カウンタ960は、第1の時間ウィンドウにおける発振器のサイクル数を数えることによって、リング発振器910の周波数をサンプリングする。レジスタ970は、第1の時間ウィンドウの最後にカウンタの出力をラッチし、論理速度を示す第1の周波数カウンタを与える。次に、リング発振器910は、Mux/Demux制御を論理ローに設定することによって、全ての遅延ユニット912a乃至912tにおいて第1の信号パスを用いて動作するように構成される。次

50

に、カウンタ960は、第1の時間ウィンドウと同じ持続期間の第2の時間ウィンドウにおいて、リング発振器910の周波数をサンプリングする。レジスタ970は、第2の時間ウィンドウの最後にカウンタの出力をラッチし、論理およびワイヤ速度を示す第2の周波数カウントを与える。第1の周波数カウントと第2の周波数カウントとの間の差は、ワイヤ速度を示す。

【0062】

制御ユニット950によって与えられる論理速度とワイヤ速度とは、ICの処理に依存する。実施形態において、IC処理モニタユニット350は、(例えば、無線デバイス100の較正中に)一度動作して、所定の供給電圧における論理速度とワイヤ速度とを得る。他の実施形態において、IC処理モニタユニット350は、必要に応じて、および場合によっては、異なる供給電圧および/または温度に対して動作して、異なる動作条件に対する論理速度およびワイヤ速度を得ることができる。別途記載されるように、論理速度およびワイヤ速度は、複製のクリティカルパスを形成するのに使用される。

10

【0063】

図10Aは、図3におけるAVSユニット230x内のAVS特徴付けユニット360の実施形態を示している。この実施形態において、ルックアップテーブル(look-up table, LUT)1010は、異なる論理の特徴付けに対して1組の公称の論理速度値を記憶し、ルックアップテーブル1020は、異なるワイヤの特徴付けに対して1組の公称のワイヤ速度値を記憶する。一般に、公称の論理速度および公称のワイヤ速度は、任意の数の論理およびワイヤの特徴付けに対してそれぞれ記憶され、特徴付けは一般にICの処理の変化(例えば、速い、公称、遅い、等)に依存する。ルックアップテーブル1010および1020に記憶される値は、コンピュータシミュレーション、経験的な測定(empirical measurement)、等によって決定され得る。論理速度およびワイヤ速度を別々に特徴付けることによって、2つのみのルックアップテーブル1010および1020を使用して、異なる特徴付けに対して公称の論理速度および公称のワイヤ速度を記憶することができる。

20

【0064】

比較ユニット1012は、IC処理モニタユニット350から、測定された論理速度を受信し、測定された論理速度を、ルックアップテーブル1010に記憶されている値と比較し、処理コア130xに対する論理の特徴付けを決定する。同様に、比較ユニット1022は、IC処理モニタユニット350から、測定されたワイヤ速度を受信し、測定されたワイヤ速度を、ルックアップテーブル1020に記憶されている値と比較し、処理コア130xに対するワイヤの特徴付けを決定する。例えば、ルックアップテーブル1010は、速い、公称、および遅いの3つの論理の特徴付けのためにxおよびyの値を記憶し得る(なお、 $x > y$)。比較ユニット1012は、測定された論理速度sを記憶されている値と比較し、 $s < x$ であるときは、速いプロセスを示し、 $x > s > y$ であるときは、公称のプロセスを示し、 $s < y$ であるときは、遅いプロセスを示し得る。

30

【0065】

メモリ1030は、Mux制御ルックアップテーブル1040aa乃至1040yxの行列を記憶する。行列の各行は、ルックアップテーブル1010に記憶されている異なる論理の特徴付けのためのものである。行列の各列は、ルックアップテーブル1020に記憶されている異なるワイヤの特徴付けのためのものである。各Mux制御ルックアップテーブル1040は、図4Aおよび4Bにおける遅延合成器320内のマルチプレクサ418、428、438、448、458、468、478、488、および498に対するMuxSelの制御の値を記憶する。これらのMuxSelの制御は、処理コア130xに適用可能な特徴付けに対する実際のクリティカルパスによく似た複製のクリティカルパスを定義する。各Mux制御ルックアップテーブル1040に記憶される値は、コンピュータシミュレーション、経験的な測定、等によって決定され得る。比較ユニット1012によって示される行と、比較ユニット1022によって示される列とのMux制御ルックアップテーブルが、使用するために選択される。

40

【0066】

図10Bは、メモリ1030内のMux制御ルックアップテーブル1040ijの1つの実施形態

50

を示している。ルックアップテーブル1040ijは、V個の異なるクロック周波数に対して、遅延合成器320内のマルチプレクサ418、428、438、448、458、468、478、488、および498のためのV組のMux Selの制御値を記憶している。処理コア130xの目標周波数に対応するMux Selの制御値の組は、ルックアップテーブル1040ijから検索され、遅延合成器320内のマルチプレクサに与えられる。

【0067】

図11は、処理コア内の2つの例示的な信号パスの性能のグラフ(plot)を示している。各信号パスの遅延が、供給電圧に対してグラフにされている。図11に示されている例において、信号パス1は、Vxボルトより下でより長い遅延をもち、クリティカルパスであり、信号パス2は、Vxボルトより上でより長い遅延をもち、クリティカルパスである。図11に示されているように、異なる信号パスは、異なる条件でクリティカルパスになることができる。これは、各信号パスが、電圧、温度、およびICの処理の変化の全体にわたって異なって変化し得る回路構成要素の異なる混合から構成され得るからである。クリティカルパスの遅延が、そのパスに対する最も高いクロック周波数を決定し、したがって周波数に逆比例する。所与の目標周波数において、その周波数に対するクリティカルパスが複製され、AVSユニット230は供給電圧を調節して、目標周波数に対する望ましい性能を達成できるようにする。例えば、目標周波数が周波数2であるとき、信号パス2が選択され、AVSユニットは供給電圧をVzボルトに調節する。

10

【0068】

図12は、処理コアに対する適応電圧スケールリングを行うプロセス1200の実施形態を示している。処理コアに対する論理速度およびワイヤ速度が特徴付けられる(ブロック1210)。この特徴付けは、例えば、無線デバイスの較正中に、1回行われ、図9において既に説明したとおりである。処理コアに対する目標クロック周波数が決定される(ブロック1212)。目標クロック周波数は、例えば、処理コアに対する計算要件に基づいて、動的に変化し得る。複製のクリティカルパスは、例えば、図10Aおよび10Bに関して既に説明したように、特徴付けられた論理速度およびワイヤ速度と目標クロック周波数とに基づいて形成される(ブロック1214)。複製のクリティカルパスは、HVT論理、LVT論理、ダイナミックセル、ビット線セル、ワイヤ、異なる閾値電圧および/またはファンアウトをもつドライバ、等のような異なるタイプの回路構成要素を含み得る。次に、処理コアに対する供給電圧および複製のクリティカルパスは、両者が所望の性能を達成するように調節される(ブロック1216)。次に、プロセス1200は、ブロック1212に戻り、目標クロック周波数を定期的に決定し得る。

20

30

【0069】

本明細書に説明されている複製のクリティカルパスは、回路構成要素の混合を使用して、実際のクリティカルパスをエミュレートする。この複製のクリティカルパスは、通常、全て論理か、またはほとんど論理ゲートから構成されている遅延線あるいはリング発振器で実施される従来の複製のクリティカルパスよりも正確である。さらに、本明細書に説明されている複製のクリティカルパスは、異なる条件に対して異なるクリティカルパスを柔軟にモデル化するようにマルチプレクサをプログラムすることによって、容易に変えられ得る。

40

【0070】

本明細書に説明されている適応電圧スケールリング技術は、次の望ましい特性をもつ。

【0071】

・ 変化するクリティカルパスを追跡する遅延線のシームレスなプログラミング(図4Aおよび4B)。

【0072】

・ IC処理モニタユニット350を使用して、オンチップの論理およびワイヤを結合して、高い効率の追跡を可能にすること(図9)。

【0073】

・ 異なる場所に複数のAVSユニットを置くことによって温度勾配を追跡すること。

50

【 0 0 7 4 】

・多閾値論理の遅延線（図 4 A）。

【 0 0 7 5 】

・ワイヤ遅延線に対する多閾値で複数のファンアウトのドライバ（図 4 B）。

【 0 0 7 6 】

・ダイナミックセルを使用して、拡散で占められているパス（diffusion dominated path）を追跡すること（図 4 A および 5 B）。

【 0 0 7 7 】

・ビット線セルを使用して、メモリアクセス遅延を追跡すること（図 4 A および 5 C）。

【 0 0 7 8 】

・マルチプレクサ遅延を総論理遅延の一部と見なして、（例えば、ワイヤおよび拡散に対する）他のタイプの遅延を延ばし、マルチプレクサ遅延に適合させること。

【 0 0 7 9 】

・マルチプレクサ遅延を吸収して、高速動作を可能にする遅延整合回路。

【 0 0 8 0 】

本明細書に説明されている適応電圧スケーリング技術は、種々の手段によって実施され得る。例えば、これらの技術は、ハードウェア、ファームウェア、ソフトウェア、またはその組合せにおいて実施され得る。ハードウェアの実施では、適応電圧スケーリングは、A S I C、D S P、プロセッサ、コントローラ、マイクロコントローラ、マイクロプロセッサ、電子デバイス、本明細書において説明された機能を実行するように設計された他の電子ユニット、またはその組合せの中で実施され得る。

【 0 0 8 1 】

適応電圧スケーリングの特定の部分は、本明細書に説明されている機能を行うソフトウェアモジュール（例えば、手続き、機能、等）で実施され得る。ソフトウェアコードは、メモリ（例えば、図 1 のメモリ 150、190、または 192）に記憶され、プロセッサ（例えば、プロセッサコア 130c または 130d）によって実行され得る。メモリは、プロセッサ内で実施されても、またはプロセッサの外部で実施されてもよい。

【 0 0 8 2 】

開示された実施形態の上述の説明は、当業者が本発明を作成または使用するのを可能にするために与えられている。これらの実施形態に対する種々の変更は、当業者には容易に明らかになり、本明細書に定められている一般的な原理は、本発明の意図および範囲から逸脱することなく、他の実施形態に適用され得る。したがって、本発明は、本明細書に示されている実施形態に制限されることを意図されず、本明細書に開示されている原理および斬新な特徴に矛盾しない最も幅広い範囲にしたがうことを意図されている。

【 図面の簡単な説明 】

【 0 0 8 3 】

【 図 1 】 無線デバイスのブロック図。

【 図 2 】 適応電圧スケーリング (adaptive voltage scaling, AVS) を用いた A S I C を示す図。

【 図 3 】 処理コアに対する A V S ユニットの示す図。

【 図 4 A 】 A V S ユニット内の遅延合成器を示す図。

【 図 4 B 】 A V S ユニット内の遅延合成器を示す図。

【 図 5 A 】 遅延合成器内の論理セルを示す図。

【 図 5 B 】 遅延合成器内のダイナミックセルを示す図。

【 図 5 C 】 遅延合成器内のビット線論理セルを示す図。

【 図 6 】 最少数のセルを備えた複製のクリティカルパスを示す図。

【 図 7 】 A V S ユニット内の遅延整合回路を示す図。

【 図 8 】 A V S ユニット内の制御ユニットを示す図。

【 図 9 】 A V S ユニット内の I C 処理モニタユニットを示す図。

【 図 1 0 A 】 A V S ユニット内の A V S 特徴付けユニットを示す図。

10

20

30

40

50

【図10B】AVSユニット内のAVS特徴付けユニットを示す図。

【図11】2本の信号パスの性能のグラフ。

【図12】適応電圧スケールリングを行うプロセスを示す図。

【符号の説明】

【0084】

100・・・無線デバイス、410,420,430,440,450,460,470,480・・・遅延線、452,462,472,482,752,762,772,782・・・ドライバ、454,464,474,484,754,764,774,784,924・・・ワイヤ、512,536・・・インパータ、530,538・・・P F E T、532,534・・・N F E T、716,940・・・N A N Dゲート、812・・・遅延セル、814・・・Dフリップフロップ、910・・・リング発振器、922,926,932,936・・・緩衝器、1200・・・プロセス。

【図1】

図1

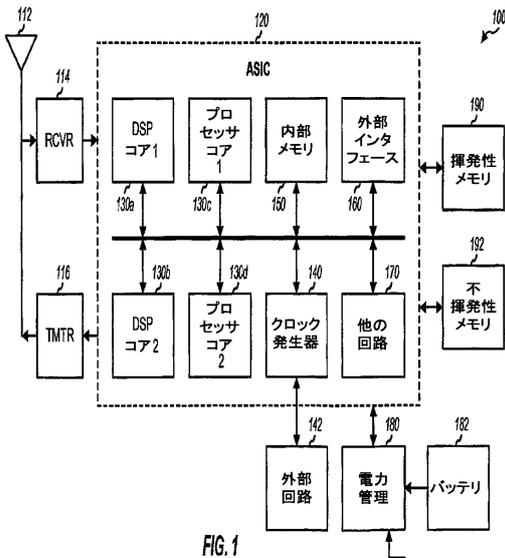


FIG. 1

【図2】

図2

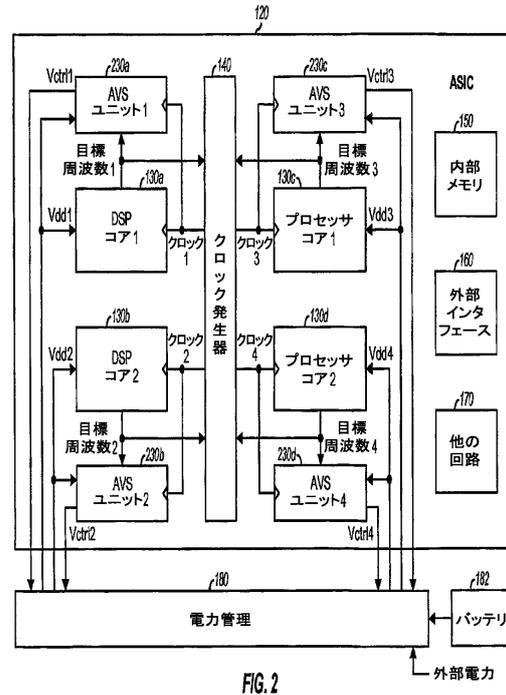


FIG. 2

【 図 3 】

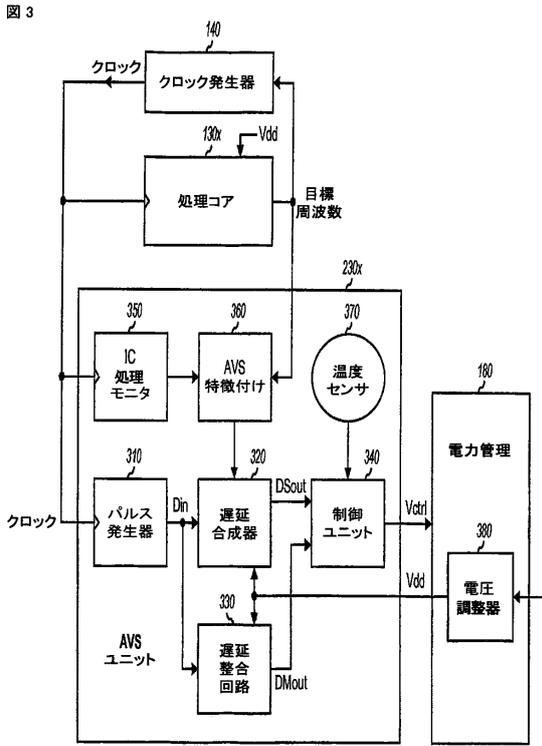


FIG. 3

【 図 4 A 】

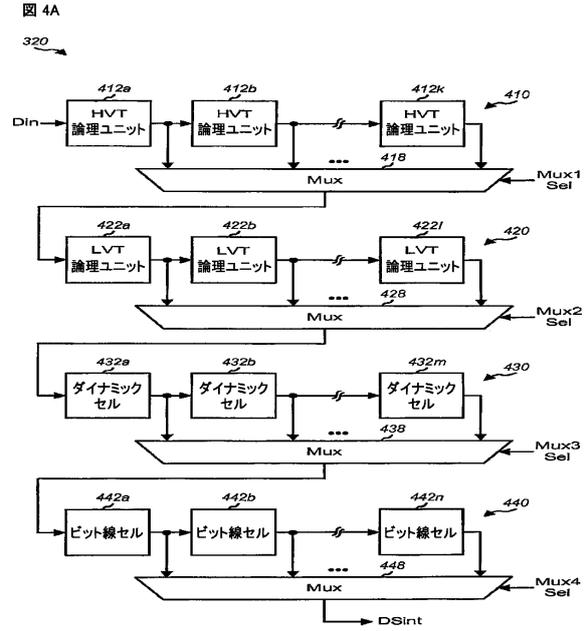


FIG. 4A

【 図 4 B 】

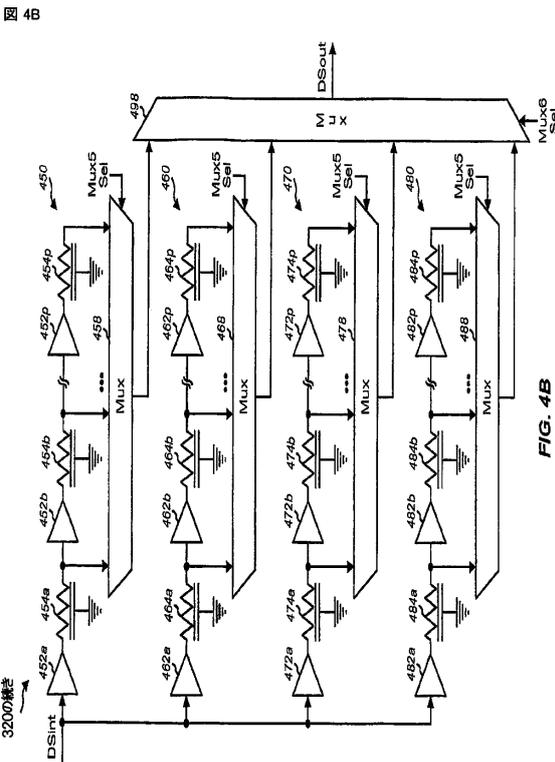


FIG. 4B

【 図 5 A 】

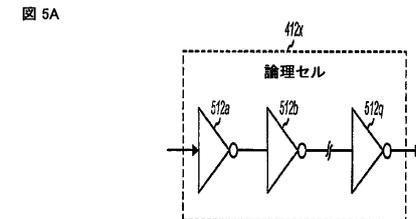


FIG. 5A

【 図 5 B 】

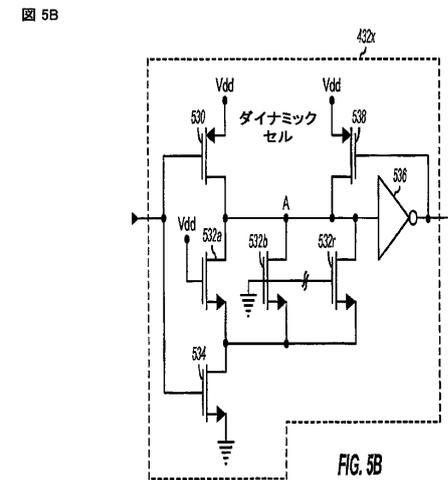


FIG. 5B

【 図 5 C 】

図 5C

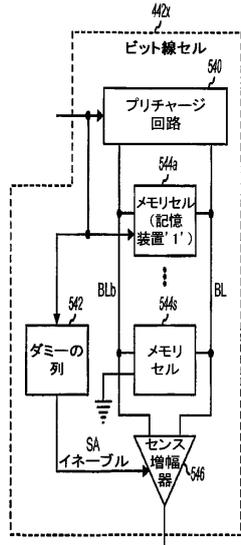


FIG. 5C

【 図 6 】

図 6

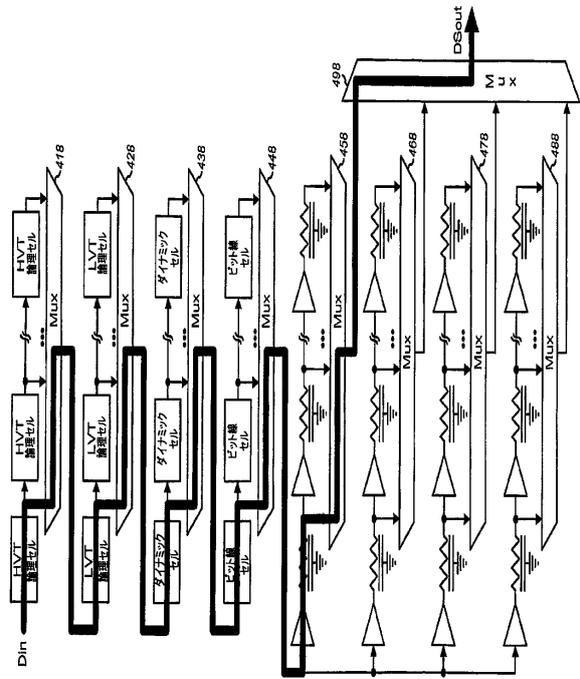


FIG. 6

【 図 7 】

図 7

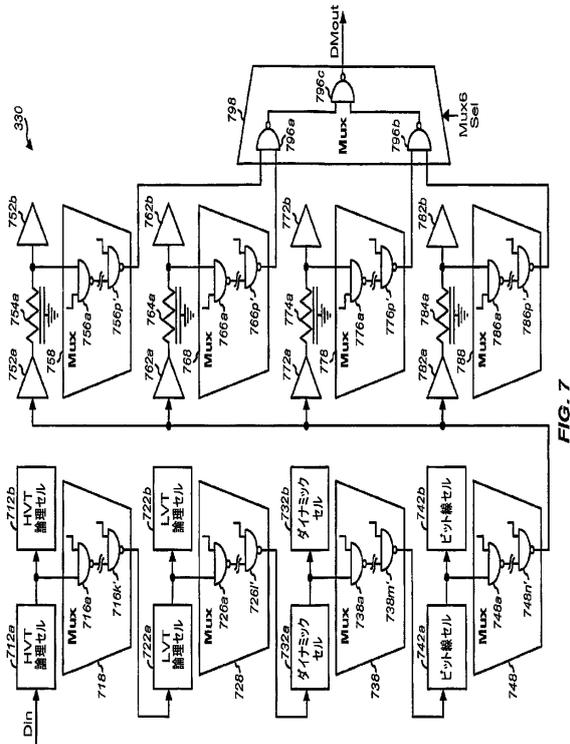


FIG. 7

【 図 8 】

図 8

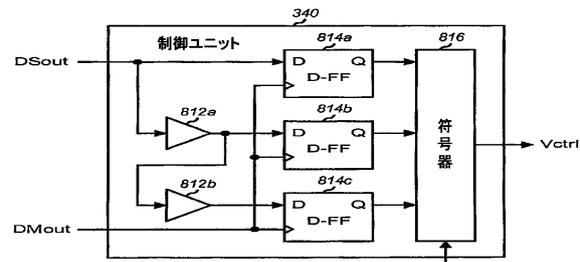


FIG. 8

【図9】

図9

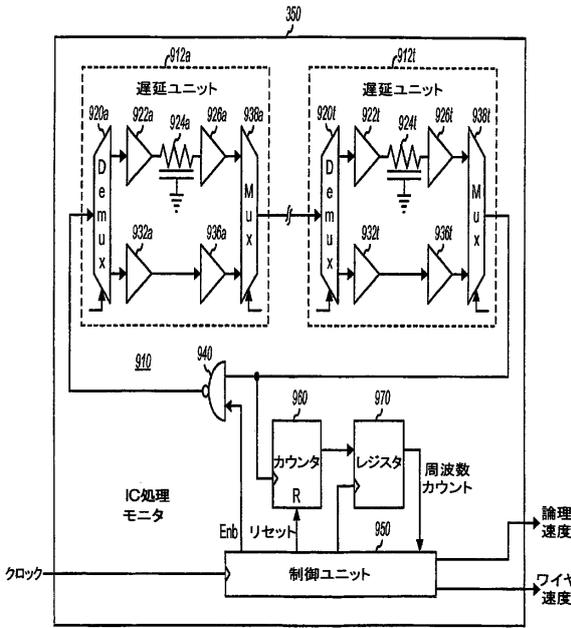


FIG. 9

【図10A】

図10A

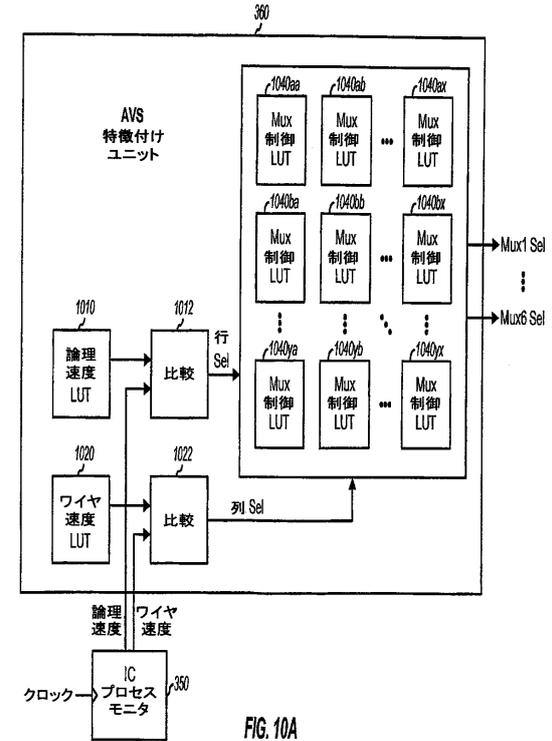


FIG. 10A

【図10B】

図10B

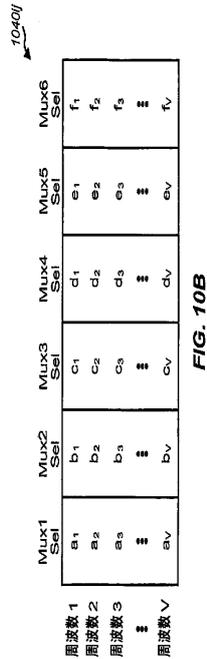


FIG. 10B

【図11】

図11

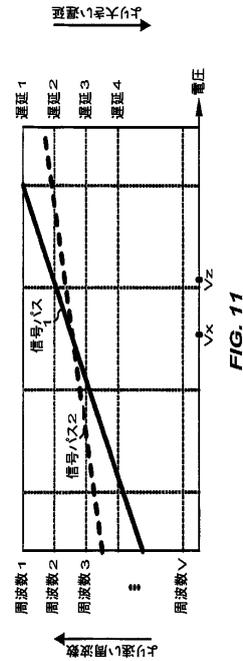


FIG. 11

【 図 1 2 】

図 12

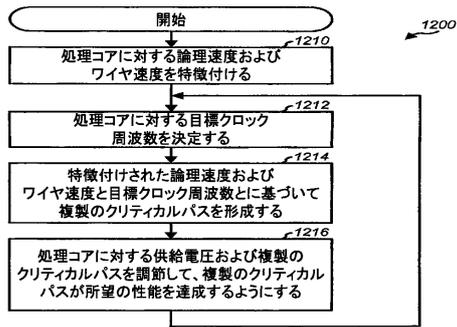


FIG. 12

フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100075672
弁理士 峰 隆司
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (72)発明者 エルゲバリー、モハメッド
アメリカ合衆国、カリフォルニア州 9 2 1 2 2、サン・ディエゴ、トスカナ・ウェイ 5 3 2 5
、ナンバー 6 1 3
- (72)発明者 マリク、クーラム・ザカ
アメリカ合衆国、カリフォルニア州 9 5 0 5 4、サンタ・クララ、リックミル・ブルバード
3 9 0 1、ナンバー 2 2 9
- (72)発明者 チュア - エオアン、ルー・ジー .
アメリカ合衆国、カリフォルニア州 9 2 0 0 9、カールスバッド、ランチョ・ミラグロ 3 2 4
6
- (72)発明者 ジュン、ソン - オク
アメリカ合衆国、カリフォルニア州 9 2 1 2 7、サン・ディエゴ、クロス・ストーン・ドライブ
1 5 0 1 5

審査官 石田 勝

(56)参考文献 特開平4 - 1 1 9 0 0 8 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

H 0 3 K 5 / 1 4
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 7 / 0 4