



(12) 发明专利

(10) 授权公告号 CN 102714161 B

(45) 授权公告日 2015. 05. 13

- (21) 申请号 201180005601. 6
- (22) 申请日 2011. 01. 05
- (30) 优先权数据
12/683, 606 2010. 01. 07 US
- (85) PCT国际申请进入国家阶段日
2012. 07. 06
- (86) PCT国际申请的申请数据
PCT/US2011/020164 2011. 01. 05
- (87) PCT国际申请的公布数据
W02011/084971 EN 2011. 07. 14
- (73) 专利权人 国际商业机器公司
地址 美国纽约阿芒克
- (72) 发明人 J·B·常 L·常 C·H·林
J·W·斯莱特
- (74) 专利代理机构 北京市金杜律师事务所
11256
代理人 吴立明 边海梅
- (51) Int. Cl.
H01L 21/336(2006. 01)
- (56) 对比文件
US 2009/0101976 A1, 2009. 04. 23,
US 2006/0043430 A1, 2006. 03. 02,
- US 2006/0043430 A1, 2006. 03. 02,
US 6198142 B1, 2001. 03. 06,
US 6466489 B1, 2002. 10. 15,
US 2009/0101976 A1, 2009. 04. 23,
US 2003/0006459 A1, 2003. 01. 09,
US 7132683 B1, 2006. 11. 07,
US 6268630 B1, 2001. 07. 31,
US 2010/0090281 A1, 2010. 04. 15,
US 6353245 B1, 2002. 03. 05,
US 2009/0065866 A1, 2009. 03. 12,
US 5973364 A, 1999. 10. 26,
US 2005/0127442 A1, 2005. 06. 16,
US 2008/0296676 A1, 2008. 12. 04,
US 7071044 B1, 2006. 07. 04,

审查员 霍淑利

权利要求书2页 说明书7页 附图3页

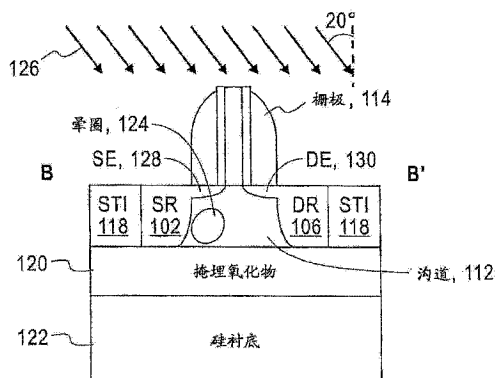
(54) 发明名称

体连结不对称 P 型场效应晶体管

(57) 摘要

在本发明的一个示例实施例中，一种不对称 P 型场效应晶体管包括：源极区域，经由沟道耦合到漏极区域；栅极结构，在沟道的至少部分上方；晕圈注入，至少部分设置于沟道中，其中晕圈注入被设置成比漏极区域更接近源极区域；以及体连结，耦合到沟道。在又一示例实施例中，不对称 P 型场效应晶体管可操作用于充当对称 P 型场效应晶体管。

100



CN 102714161 B

1. 一种不对称 P 型场效应晶体管,包括:

漏极区域;

沟道;

源极区域,经由所述沟道耦合到所述漏极区域;

栅极结构,在所述沟道的至少部分上方;

晕圈注入,至少部分设置于所述沟道中,其中在所述不对称 P 型场效应晶体管中的不对称至少部分地归因于所述晕圈注入被设置成比所述漏极区域更接近所述源极区域,其中所述晕圈注入部分地设置于所述源极区域中;以及

体连结,耦合到所述沟道,其中所述不对称 P 型场效应晶体管由于所述体连结和所述晕圈注入可操作于充当对称 P 型场效应晶体管。

2. 如权利要求 1 所述的不对称 P 型场效应晶体管,进一步包括:源极扩展注入和漏极扩展注入,其中所述源极扩展注入被耦合到所述源极区域并且所述漏极扩展注入被耦合到所述漏极区域,其中所述源极扩展注入和所述漏极扩展注入被不对称地设置成使得所述源极扩展注入比所述漏极扩展注入更大。

3. 如权利要求 1 所述的不对称 P 型场效应晶体管,其中通过成角度注入过程形成所述晕圈注入。

4. 如权利要求 3 所述的不对称 P 型场效应晶体管,其中所述成角度注入过程使用所述栅极结构掩蔽所述漏极区域的至少部分。

5. 如权利要求 1 所述的不对称 P 型场效应晶体管,其中所述体连结包括 H 栅极、T 栅极、肖特基结构和体-源极连结中的至少一个。

6. 如权利要求 1 所述的不对称 P 型场效应晶体管,其中所述不对称 P 型场效应晶体管包括不对称绝缘体上硅 P 型场效应晶体管。

7. 一种半导体器件,包括多个不对称 P 型场效应晶体管,其中所述多个不对称 P 型场效应晶体管中的每个晶体管包括:漏极区域;沟道;源极区域,经由所述沟道耦合到所述漏极区域;栅极结构,在所述沟道的至少部分上方;晕圈注入,至少部分设置于所述沟道中;以及体连结,耦合到所述沟道,其中在所述不对称 P 型场效应晶体管中的不对称至少部分地归因于所述晕圈注入被设置成比所述漏极区域更接近所述源极区域,其中所述晕圈注入部分地设置于所述源极区域中,其中所述不对称 P 型场效应晶体管由于所述体连结和所述晕圈注入可操作于充当对称 P 型场效应晶体管。

8. 如权利要求 7 所述的半导体器件,其中所述多个不对称 P 型场效应晶体管中的每一个进一步包括源极扩展注入和漏极扩展注入,其中所述源极扩展注入被耦合到所述源极区域并且所述漏极扩展注入被耦合到所述漏极区域,其中所述源极扩展注入和所述漏极扩展注入被不对称地设置成使得所述源极扩展注入比所述漏极扩展注入更大。

9. 如权利要求 7 所述的半导体器件,其中所述半导体器件不包括对称场效应晶体管。

10. 如权利要求 7 所述的半导体器件,其中通过成角度注入过程形成所述晕圈注入,所述成角度注入过程使用所述栅极结构掩蔽所述漏极区域的至少部分。

11. 如权利要求 7 所述的半导体器件,其中所述体连结包括 H 栅极、T 栅极、肖特基结构和体-源极连结中的至少一个。

12. 如权利要求 7 所述的半导体器件,其中所述多个不对称 P 型场效应晶体管包括多个

不对称绝缘体上硅 P 型场效应晶体管。

13. 一种不对称 P 型场效应晶体管,包括:源极区域;漏极区域;N 型沟道;晕圈注入,至少部分设置于所述 N 型沟道中;源极扩展注入;漏极扩展注入;栅极结构;以及体连结,其中在所述不对称 P 型场效应晶体管中的不对称至少部分地归因于所述晕圈注入被设置成比所述漏极区域更接近所述源极区域,其中所述晕圈注入部分地设置于所述源极区域中,其中所述不对称 P 型场效应晶体管由于所述体连结和所述晕圈注入而可操作用于充当对称 P 型场效应晶体管,其中所述源极扩展注入被耦合到所述源极区域并且所述漏极扩展注入被耦合到所述漏极区域,其中所述源极扩展注入和所述漏极扩展注入被不对称地设置成使得所述源极扩展注入比所述漏极扩展注入更大。

14. 如权利要求 13 所述的不对称 P 型场效应晶体管,其中所述体连结包括 H 栅极、T 栅极、肖特基结构和体-源极连结中的至少一个。

15. 如权利要求 13 所述的不对称 P 型场效应晶体管,其中所述不对称 P 型场效应晶体管包括不对称绝缘体上硅 P 型场效应晶体管。

16. 如权利要求 13 所述的不对称 P 型场效应晶体管,其中通过成角度注入过程形成成角度晕圈注入,并且所述成角度晕圈注入包括砷和磷中的至少一种。

17. 一种用于形成不对称 P 型场效应晶体管的方法,包括:

形成源极区域和经由沟道耦合到所述源极区域的漏极区域;

形成在所述沟道的至少部分上方的栅极结构;

执行成角度注入以形成至少部分在所述沟道中的晕圈注入,其中在所述不对称 P 型场效应晶体管中的不对称至少部分地归因于所述晕圈注入被设置成比所述漏极区域更接近所述源极区域,其中所述晕圈注入部分地设置于所述源极区域中;以及

形成耦合到所述沟道的体连结,其中所述不对称 P 型场效应晶体管由于所述体连结和所述晕圈注入可操作用于充当对称 P 型场效应晶体管。

18. 如权利要求 17 所述的方法,进一步包括:执行另一成角度注入以形成源极扩展注入和漏极扩展注入,其中所述源极扩展注入被耦合到所述源极区域并且所述漏极扩展注入被耦合到所述漏极区域,其中所述源极扩展注入和所述漏极扩展注入被不对称地设置成使得所述源极扩展注入比所述漏极扩展注入更大。

19. 如权利要求 17 所述的方法,其中所述体连结包括 H 栅极、T 栅极、肖特基结构和体-源极连结中的至少一个。

20. 如权利要求 17 所述的方法,其中所述源极区域、漏极区域和沟道在掩埋氧化物层上方,其中所述掩埋氧化物层在硅衬底上方。

21. 如权利要求 17 所述的方法,其中所述不对称 P 型场效应晶体管包括不对称绝缘体上硅 P 型场效应晶体管。

体连结不对称 P 型场效应晶体管

技术领域

[0001] 本发明的示例实施例大体上涉及场效应晶体管 (FET) 并且更具体地涉及体连结 (body-tied) FET。

背景技术

[0002] 半导体芯片和集成电路芯片已经由于它们持续减少的成本和尺寸而变得在许多产品中无处不在。在微电子产业中以及在涉及到微观结构 (例如微机械、磁阻头等) 构造的其它产业中一直希望减少结构特征和微电子器件的尺寸和 / 或针对给定的芯片尺寸提供更大数量的电路。小型化一般允许以更低功率电平更低和更低成本增加性能 (每时钟周期更多处理和生成更少的热)。当前技术处于或者接近某些微器件 (例如, 诸如逻辑门、FET 和电容器) 的原子级缩放比例。具有数以亿计这样的器件的电路芯片并非罕见。进一步尺寸减少似乎接近在其半导体衬底上和内嵌入的迹线和微器件的物理限制。本发明涉及这样的微型尺寸的器件。

[0003] 基本上, FET 是具有源极、栅极和漏极的晶体管。FET 的动作依赖于多数载流子沿着在源极与漏极之间穿过栅极伸展的沟道的流动。经过在源极与漏极之间的沟道的电流由在栅极之下的横向电场控制。

[0004] 如本领域技术人员所知, P 型 FET (PFET) 在栅极端子相对于源极处于低或者负电势时接通以允许电流从源极流向漏极。当栅极电势为正或者与源极相同时, P 型 FET 关断并且不导通电流。另一方面, N 型 FET (NFET) 在栅极端子相对于源极为高或者正时允许电流从源极流向漏极。当栅极端子为负或者与源极相同时, N 型 FET 关断并且不导通电流。注意, 在这些情况中的每种情况下, 存在用于触发 FET 的致动的阈值电压 (例如在栅极端子处)。

[0005] 多于一个的栅极 (多栅极) 可以用来更有效地控制沟道。栅极的长度确定 FET 多么快地切换, 并且可以大约与沟道的长度 (即在源极与漏极之间的距离) 相同。多栅极 FET 被视为用于使互补金属氧化物半导体 (CMOS) FET 技术按比例缩减至亚 22nm 域 (regime) 的有希望的候选。然而这样的小尺度需要对性能问题 (比如短沟道效应、穿通、金属氧化物半导体 (MOS) 泄漏电流并且这里具体相关的是存在于多栅极 FET 中的寄生电阻) 的更大控制。

[0006] 已经通过使用一个或者多个鳍形沟道来成功减少 FET 的尺寸。运用这样的沟道结构的 FET 可以称为 FinFET。CMOS 器件以前沿着半导体衬底的表面基本上平坦而在沟道的顶部之上设置的 FET 栅极例外。鳍通过使用横向沟道结构以便最大化向栅极暴露的沟道的表面积来脱离这一范式。栅极更强地控制沟道, 因为它在沟道的多于一侧 (表面) 之上延伸。例如, 栅极可以包围三维沟道的三个表面而不是仅越过传统平面沟道的顶表面来设置。

[0007] 一种用于影响阈值电压 (例如增加阈值电压从而有利于在不同栅极长度内的更恒定阈值电压) 的技术是在栅极边缘之下使用局部注入的掺杂物。这称为“晕圈 (halo)”注入。作为非限制例子, 晕圈注入可以包括砷、磷、硼和 / 或铟。

[0008] 绝缘体上硅 (SOI) 晶片已经用来开发由此在体硅“操纵 (handling)”衬底之上的

绝缘体上形成的有源层中提供的单晶硅的提高质量。可以在其它半导体材料及其合金的相似结构中开发相似属性。有源层的半导体材料的提高质量允许晶体管和其它器件缩放至极小尺寸而电特性的均匀性良好。

[0009] 遗憾的是,绝缘体层(该绝缘体层支持开发质量提高的半导体材料)的存在也带来晶体管结构中的在现有技术中称为浮体效应的问题。浮体效应是在具有绝缘体层的衬底上形成的晶体管特有的。中性浮体由在晶体管导通沟道和浮体的端部形成相反极二极管结的源极/漏极和晕圈扩展区域电隔离,而栅极电极通过电介质与导通沟道绝缘。衬底中的绝缘体层完成导通沟道的绝缘并且因此防止可能在浮体中形成的任何电荷的放电。在晶体管未导通时向中性体中的电荷注入根据源极和漏极二极管特性而在导通沟道中形成电压。

[0010] 由于沟道中的电荷收集而形成的电压具有变更晶体管的切换阈值的效果。这一效果又变更信号时序和信号传播速度,因为任何晶体管将具有有限回旋速率并且信号的上升时间和下降时间即使在栅极电容很小时仍然并非瞬时。因此可以定制源极和漏极的二极管特性以限制浮体中的电荷堆积。

[0011] 为了这样做,可以使二极管结有些泄漏以允许晶体管的浮体在可接受的程度上放电。遗憾的是,由于FET经常对称地形成有相似或者相同源极和漏极杂质结构,所以开发这样的特性减少晶体管的“通”和“断”状态的电阻比(常称为通/断比)。一般希望大的通/断比以支持最大电路扇出(晶体管用可接受的切换速度可以驱动的晶体管栅极数目)并且提供与电源电压接近的最大信号电压摆幅。因此在限制浮体效应与维持适当通/断比之间存在折衷。

[0012] 一种减少浮体效应的方式是使用体接触以形成从浮体/导通沟道经过杂质阱到源极电极的连接。在一些情况下,体接触有效地将FET的体连结到接地。这一方式仅为部分解决方案,因为阱可能高阻并且连接可能无效。另外,连接需要附加芯片空间并且因此可能影响或者排除实现原本可能的潜在集成密度。这一类器件可以称为“体连结”FET并且可以是P型或者N型。

[0013] 尽管用于FET的许多设计是对称的,但是使用不对称器件(例如不对称FET或者MOSFET)已经例如在SOI CMOS技术中变得盛行。在这样的不对称器件中,存在用于多数电荷载流子流动的优选方向。作为例子,这一优选性可以归因于源极或者漏极区域的或者与源极或者漏极区域有关(即相对于源极或者漏极区域)的不同掺杂(比如相对于栅极沟道导体的不同注入剂量或者不对称注入(例如不对称源极和/或漏极扩展注入、不对称晕圈注入))。不对称器件可以提供增加的驱动电流和减少的奇偶性的优点。作为非限制例子,可以通过使用成角度注入并且通过使用(可能虚的)栅极以掩蔽源极或者漏极区域(例如由于栅极结构的遮蔽)来制作不对称扩展和晕圈器件。

[0014] 然而在使这些不对称器件缩放至与45nm技术及其以上关联的基本规则时出现问题。由于这些器件通常赋予来自浮体控制和米勒电容减少二者的显著性能增加(例如约7%–15%),所以针对未来CMOS技术潜在失去这一性能给将来的开发带来明显阻碍。

发明内容

[0015] 在本发明的一个示例实施例中,一种不对称P型场效应晶体管包括:源极区域,经由沟道耦合到漏极区域;栅极结构,在沟道的至少部分上方;晕圈注入,至少部分设置于沟

道中,其中晕圈注入被设置成比漏极区域更接近源极区域;以及体连结,耦合到沟道。

[0016] 在本发明的另一示例实施例中,一种半导体器件包括多个不对称 P 型场效应晶体管,其中多个不对称 P 型场效应晶体管中的每个晶体管包括:源极区域,经由沟道耦合到漏极区域;栅极结构,在沟道的至少部分上方;晕圈注入,至少部分设置于沟道中;以及体连结,耦合到沟道,其中晕圈注入被设置成比漏极区域更接近源极区域。

[0017] 在本发明的又一示例实施例中,一种不对称 P 型场效应晶体管,包括:源极区域;漏极区域;N 型沟道;晕圈注入,至少部分设置于沟道中;栅极结构;以及体连结,其中晕圈注入被设置成比漏极区域更接近源极区域,并且不对称 P 型场效应晶体管由于体连结和不对称晕圈注入而可操作于充当对称 P 型场效应晶体管。

[0018] 在本发明的另一示例实施例中,一种用于形成不对称 P 型场效应晶体管的方法包括:形成源极区域和经由沟道耦合到源极区域的漏极区域;形成在沟道的至少部分上方的栅极结构;执行成角度注入以形成至少部分设置在沟道中的晕圈注入,其中晕圈注入被设置成比漏极区域更接近源极区域;以及形成耦合到沟道的体连结。

附图说明

[0019] 本发明实施例的前述和其它方面在结合以下附图阅读时的下文具体描述中变得更清楚,其中:

[0020] 图 1 示出了根据本发明的示例实施例的示例体连结不对称 P 型 FET 的俯视平面图;

[0021] 图 2 示出了越过图 1 中所示的示例体连结不对称 P 型 FET 的线 A-A' 的横截面图;

[0022] 图 3 示出了越过图 1 中所示的示例体连结不对称 P 型 FET 的线 B-B' 的横截面图;

[0023] 图 4 描绘了示例体连结不对称 P 型 FET 的另一示例实施例,该 FET 具有晕圈注入的不同设置和不对称扩展注入;以及

[0024] 图 5 描绘了用于实现本发明的示例实施例的方法的一个非限制例子的流程图。

具体实施方式

[0025] 本发明的示例实施例通过利用体连结不对称 (SOI) PFET 来解决密度问题。已经确定体连结不对称器件不再不对称地工作而代之以充当正常对称器件。虽然体连结将消耗一些面积,但是可以例如通过交替堆叠定向来紧缩布局。例如在密集电路中,在基本规则间距原本不允许正常对称器件(例如在相同硅岛状物中)的情况下,可以使用体连结不对称 PFET 器件来创建对称器件。

[0026] 在一些示例实施例中,源极重叠多而漏极重叠少(即漏极欠重叠(underlap))。作为非限制例子,这可以通过使用成角度扩展注入(例如使用栅极结构至少部分掩蔽漏极)来实现。漏极欠重叠将使有效器件米勒电容下降而无明显电阻代价(如果源极侧欠重叠则将出现明显电阻代价)。根据注入优化,重叠的源极可以使总器件电阻下降。在一些示例实施例中,在 1° - 89° 的角度(相对于竖轴、相对于与半导体器件的总体主要表面垂直的轴)、优选为约(例如近似、基本上) 10° - 30° 的角度并且甚至更优选为约(例如近似、基本上) 20° 的角度执行成角度注入。在更多示例实施例中,注入包括零度注入和成角度添加(adder)(注入)。

[0027] 对于本发明的示例实施例,可以利用任何适当的体连结结构。作为非限制例子,体连结可以具有以下结构中的至少一个结构:栅极、T栅极、肖特基和/或体-源极连结。类似地,可以使用任何适当的不对称注入或者掺杂(作为非限制例子,比如包括砷、磷、硼和/或钨的晕圈注入)

[0028] 图1示出了根据本发明的示例实施例的示例体连结不对称P型FET 100的俯视平面图。FET 100具有位于FET 100的有源区域110内的源极区域(SR)102(该区域具有源极接触104)和漏极区域(DR)106(该区域具有漏极接触108)。SR 102和DR 106经由沟道112相互耦合。由于这是P型FET,所以沟道112为N型沟道。栅极结构(栅极)114在沟道112的至少部分上方。与常规FET一样,经过沟道112的电流由在栅极114之下的横向电场控制。FET 100也包括用于体连结的体接触116。体接触116耦合到沟道112。晕圈注入(见图3中的晕圈124)设置于沟道112中比DR 106更接近SR 102。可以经由如下成角度注入(例如成角度晕圈注入)实现这一不对称掺杂,该注入使用栅极114至少部分掩蔽DR 106。体连结(例如经由体接触116)可以用来施加任何所需偏置以便控制体电势(例如在沟道/浮体中堆积的电荷积累和/或放电)。作为非限制例子,体连结可以连接到接地。FET 100可选地可以包括源极和/或漏极扩展注入。下文将参照图3更具体描述这些。

[0029] 图2示出了越过图1中所示的示例体连结不对称P型FET 100的线A-A'的横截面图。FET 100也包括浅沟槽隔离(STI)118。另外,FET 100在掩埋氧化物层120上方(例如设置于掩埋氧化物层120上)。掩埋氧化物层120在衬底122(例如硅衬底)上方。

[0030] 图3示出了越过图1中所示的示例体连结不对称P型FET 100的线B-B'的横截面图。在这一视图中,晕圈注入(晕圈)124清晰可见。晕圈124可以至少部分位于(设置于)沟道112内。作为非限制例子,可以使用成角度晕圈注入126来形成晕圈124。作为又一非限制例子,成角度晕圈注入126可以成 1° - 89° 的角度(相对于竖轴、相对于与FET 100的总体主要表面垂直的轴)、优选为约(例如近似、基本上) 10° - 30° 的角度并且甚至更优选为约(例如近似、基本上) 20° 的角度。如图3中可见,成角度晕圈注入126可以利用栅极114以便向成角度晕圈注入126至少部分掩蔽DR 106。这造成FET 100为不对称,因为晕圈124被设置成比DR 106更接近SR 102。

[0031] 如图3中所示,FET 100可选地可以包括源极和/或漏极扩展注入(分别为SE 128和DE 130)。可以使用成角度注入(例如成 1° - 89° 的角度(相对于竖轴、相对于与FET 100的总体主要表面垂直的轴))来形成这些扩展注入。作为非限制例子,这样的成角度注入可以利用栅极114以便向成角度注入(例如126)至少部分掩蔽DR 106。注意,图3中所示SE 128和DE 130对称(例如在尺寸和/或掺杂上)。另外注意到,晕圈124完全设置于沟道112内。在源极/漏极扩展注入对称(例如SE 128和DE 130)时,如与成角度注入相反,可以使用竖直注入来形成它们。

[0032] 图4描绘了根据本发明的示例实施例的另一示例体连结不对称P型FET 200。FET 200具有晕圈注入的不同设置和不对称扩展注入。在FET 200中,源极扩展注入(SE)228大于漏极扩展注入(DE)130。SE 228可以视为与栅极114重叠而DE 130与栅极114欠重叠。另外,晕圈注入(晕圈)224部分设置于SR 102中。一般而言并且作为非限制例子,可能和/或优选的是多数示例实施例将与图3的FET 100相反而类似于图4中所示FET 200。

[0033] 本发明的其它示例实施例可以包括不对称源极 / 漏极扩展注入而晕圈注入完全设置于沟道内。类似地,本发明的更多示例实施例可以包括对称源极 / 漏极扩展注入而晕圈注入部分设置于源极区域内。可以与本发明的示例实施例结合利用特征和位置及其布置的任何适当组合。

[0034] 作为非限制例子,晕圈注入可以包括(例如掺杂有)As 和 P 中的一种或者多种。作为非限制例子,源极 / 漏极区域可以包括(例如掺杂有)B 和 BF_2 中的一种或者多种。作为非限制例子,源极 / 漏极扩展注入可以包括(例如掺杂有)B 和 BF_2 中的一种或者多种。

[0035] 上文关于图 1 至图 4 描述的示例体连结不对称 P 型 FET 100 的一个特征在于:虽然 FET 100 是不对称的(由于掺杂所致),但是 FET 100 充当对称 FET。这归因于体连结和不对称掺杂(即晕圈注入 124)。不对称 FET 100 的对称操作提供多个优点。例如在基本规则间距原本不允许正常对称器件(例如在相同硅岛状物中)的情况下可以使用不对称 FET 100 来创建对称器件。另外并且作为另一例子,半导体器件可以包括多个不对称 FET 100 而无需也包括对称 FET。因此,可以简化半导体器件的图案化和形成(例如,更少掩模、更少操作),例如因为不再需要在对不对称 FET 执行操作时掩蔽对称 FET(并且反之亦然)。这可以带来成本节省和增加效率(例如至少关于生产和生产成本)。

[0036] 下文是本发明的各种非限制示例实施例的进一步描述。下文描述的示例实施例为了清楚起见而单独编号。这一编号不应理解为完全分离各种示例实施例,因为一个或者多个示例实施例的方面可以与一个或者多个其它方面或者示例实施例结合实现。

[0037] (1) 在一个示例实施例中,一种不对称 P 型场效应晶体管(FET),包括:源极区域,经由沟道耦合到漏极区域;栅极结构,在所述沟道的至少部分上方;晕圈注入,至少部分设置于所述沟道中,其中所述晕圈注入被设置成比所述漏极区域更接近所述源极区域;以及体连结,耦合到所述沟道。

[0038] 如上述 FET,其中所述不对称 N 型场效应晶体管可操作用于充当对称 P 型场效应晶体管。如任一上述 FET,其中所述晕圈注入部分设置于所述源极区域中。如任一上述 FET,还包括在至少所述源极区域、所述漏极区域和所述沟道下方的绝缘体层。如任一上述 FET,还包括在至少所述绝缘体层下方的衬底。如任一上述 FET,其中所述绝缘体层包括掩埋氧化物层。如任一上述 FET,其中所述衬底包括硅。

[0039] 如任一上述 FET,其中通过成角度注入过程形成所述晕圈注入(在所述不对称 P 型场效应晶体管中)。如任一上述 FET,其中所述成角度注入过程使用所述栅极结构掩蔽所述漏极区域的至少部分。如任一上述 FET,其中所述成角度注入包括以相对于竖轴(与所述不对称 N 型场效应晶体管的水平表面垂直的轴)的基本上(近似)20 度的角度执行成角度注入。

[0040] 如任一上述 FET,其中所述沟道包括 N 型沟道。如任一上述 FET,其中所述体连结包括 H 栅极、T 栅极、肖特基结构和体-源极连结中的至少一个。如任一上述 FET,其中所述晕圈注入包括砷和磷中的至少一种。如任一上述 FET,其中所述不对称 P 型场效应晶体管包括不对称绝缘体上硅 P 型场效应晶体管。

[0041] 如任一上述 FET,还包括源极扩展注入(例如从所述源极区域向所述沟道中扩展)。如任一上述 FET,还包括漏极扩展注入(例如从所述漏极区域向所述沟道中扩展)。如任一上述 FET,其中所述源极扩展注入和漏极扩展注入是对称的(例如具有相似尺寸和/

或相似掺杂)。如任一上述 FET,其中所述源极扩展注入和漏极扩展注入是不对称的(例如具有不同尺寸和/或不同掺杂)。如任一上述 FET,其中所述源极扩展注入与所述栅极结构重叠并且所述漏极扩展注入与所述栅极结构欠重叠。如任一上述 FET,其中所述源极扩展注入和所述漏极扩展注入中的至少一个扩展注入掺杂有 In、B 和 BF_2 中的至少一种。如任一上述 FET,其中所述源极区域和所述漏极区域中的至少一个区域掺杂有 B 和 BF_2 中的至少一种。如任一上述 FET,其中所述晕圈注入掺杂有 As 和 P 中的至少一种。

[0042] 如任一上述 FET,还包括如这里进一步具体描述的本发明示例的实施例的一个或者多个方面。

[0043] (2) 在另一示例实施例中,一种半导体器件,包括多个不对称 P 型场效应晶体管,其中所述多个不对称 P 型场效应晶体管中的每个晶体管包括:源极区域,经由沟道耦合到漏极区域;栅极结构,在所述沟道的至少部分上方;晕圈注入,至少部分设置于所述沟道中;以及体连结,耦合到所述沟道,其中所述晕圈注入被设置成比所述漏极区域更接近所述源极区域。

[0044] 如上述半导体器件,其中所述半导体器件不包括对称场效应晶体管。如任一上述半导体器件,其中所述多个不对称 P 型场效应晶体管中的至少一个晶体管可操作于充当对称 P 型场效应晶体管。如任一上述半导体器件,还包括如这里进一步具体描述的本发明示例的实施例的一个或者多个方面。

[0045] (3) 在又一示例实施例中,一种不对称 P 型场效应晶体管(FET),包括:源极区域;漏极区域;N 型沟道;晕圈注入,至少部分设置于所述沟道中;栅极结构;以及体连结,其中所述晕圈注入被设置成比所述漏极区域更接近所述源极区域,其中所述不对称 P 型场效应晶体管由于所述体连结和不对称晕圈注入而可操作于充当对称 P 型场效应晶体管。

[0046] 如任一上述半导体器件,还包括如这里进一步具体描述的本发明示例的实施例的一个或者多个方面。

[0047] (4) 在另一示例实施例中并且如图 5 中所示,一种用于形成不对称 P 型场效应晶体管的方法,包括:形成源极区域和经由沟道耦合到所述源极区域的漏极区域(501);形成在所述沟道的至少部分上方的栅极结构(502);执行成角度注入以形成至少部分设置在所述沟道中的晕圈注入,其中所述晕圈注入被设置成比所述漏极区域更接近所述源极区域(503);以及形成耦合到所述沟道的体连结(503)。

[0048] 如上述方法,其中所述源极区域、漏极区域和沟道在掩埋氧化物层上方,其中所述掩埋氧化物层在硅衬底上方。如任一上述方法,还包括如这里进一步具体描述的本发明的示例实施例的一个或者多个方面。如任一上述方法,还包括:执行至少一个其它成角度注入以形成源极扩展注入和漏极扩展注入中的至少一个。如任一上述方法,还包括:执行竖直注入以掺杂所述源极区域和所述漏极区域中的至少一个。如任一上述方法,其中所述成角度注入使用所述栅极结构的至少部分以至少部分掩蔽所述漏极区域。

[0049] 图 5 中所示块还可以视为对应于由一个或者多个部件、电路、芯片、装置、处理器、计算机程序和/或功能块执行的一个或者多个功能和/或操作。可以在实现根据如这里描述的本发明的示例实施例的操作的任何可实现解决方案或者布置中实施上述方案中的任何和/或所有方案。

[0050] 此外,图 5 中所示块的布置应当仅视为示例和非限制的。应当理解,图 5 中所示块

可以对应于为了实施本发明的示例实施例中的一个或者多个示例实施例而可以按任何顺序（例如任何适当、可实现和可行顺序）和 / 或并行（例如如适当、可实现和 / 或可行的那样）执行的一个或者多个功能和 / 或操作。此外，一个或者多个附加功能、操作和 / 或步骤可以与图 5 中所示布置结合利用以便实施本发明的一个或者多个更多示例实施例。

[0051] 也就是说，图 5 中所示本发明的示例实施例可以在任何组合（例如，任何适当、可实现和 / 或可行的组合）中与一个或者多个更多方面结合利用、实施或者实现并且并不仅限于图 5 中所示步骤、块、操作和 / 或功能。

[0052] 本领域普通技术人员将理解用于形成这里标识的部件的各种方法和技术。作为非限制例子，这样的形成可以涉及到沉积和 / 或蚀刻各种材料和层。作为又一非限制例子，这样的形成可以利用光刻材料和 / 或技术（比如一个或者多个掩模（例如硬掩模、软掩模）、光敏材料（例如光致抗蚀剂）、防反射涂层和平坦化层）。沉积材料可以包括适合于待沉积材料的任何现在已知或者以后开发的技术（包括但不限于：化学气相沉积（CVD）、低压 CVD（LPCVD）、等离子体增强 CVD（PECVD）、半大气 CVD（SACVD）、高密度等离子体 CVD（HDPCVD）、快速热 CVD（RTCVD）、超高真空 CVD（UHVCVD）、有限反应处理 CVD（LRPCVD）、金属有机 CVD（MOCVD）、溅射沉积、离子束沉积、电子束沉积、激光辅助沉积、热氧化、热氮化、旋涂法、物理气相沉积（PVD）、原子层沉积（ALD）、化学氧化、分子束外延（MBE）、镀覆或者蒸发）。

[0053] 本领域普通技术人员还将理解，在上文描述的示例半导体的区、区域、区段、元件、部分和 / 或部件之间的鲜明界限经常不存在。图（例如图 1 至图 4）中描绘的分隔区域和元件是出于图示的目的而示出的，并且并不限制本发明的示例实施例。

[0054] 术语“连接”、“耦合”或者其变体的任何使用应当解释为指示在标识的元件之间的任何这样的直接或者间接的连接或者耦合。作为非限制例子，一个或者多个中间元件可以存在于“耦合的”元件之间。作为非限制例子，在标识的元件之间的连接或者耦合根据描述的示例实施例可以是物理的、电的、磁的、逻辑的或者其任何适当组合。作为非限制例子，连接或者耦合可以包括一个或者多个印刷电连接、接线、线缆、介质或者其任何适当组合。

[0055] 一般而言，可以在不同介质（比如软件、硬件、逻辑、专用电路或者其任何组合）中实施本发明的各种示例实施例。作为非限制例子，一些方面可以实施于可以在计算设备上运行的软件中，而其它方面可以实施于硬件中。

[0056] 前文描述已经通过示例和非限制例子提供对发明人为了实现本发明而当前设想的最佳方法和装置的完全而有启发的描述。然而各种修改和调整鉴于在与附图和所附权利要求结合阅读前文描述时可以变得为本领域技术人员所清楚。本领域普通技术人员还将理解其各种材料、层、部件和布置仅为举例，并且可以利用其它或者不同材料、层、部件和布置而不脱离本发明的示例实施例的教导。然而所有这样和相似的修改仍然将落入本发明的示例实施例的教导范围内。

[0057] 另外，本发明优选实施例的一些特征即使在没有对应使用其它特征的情况下也可以有利地加以使用。这样，前文描述应当仅视为用于说明本发明的原理而并非对其进行限制。

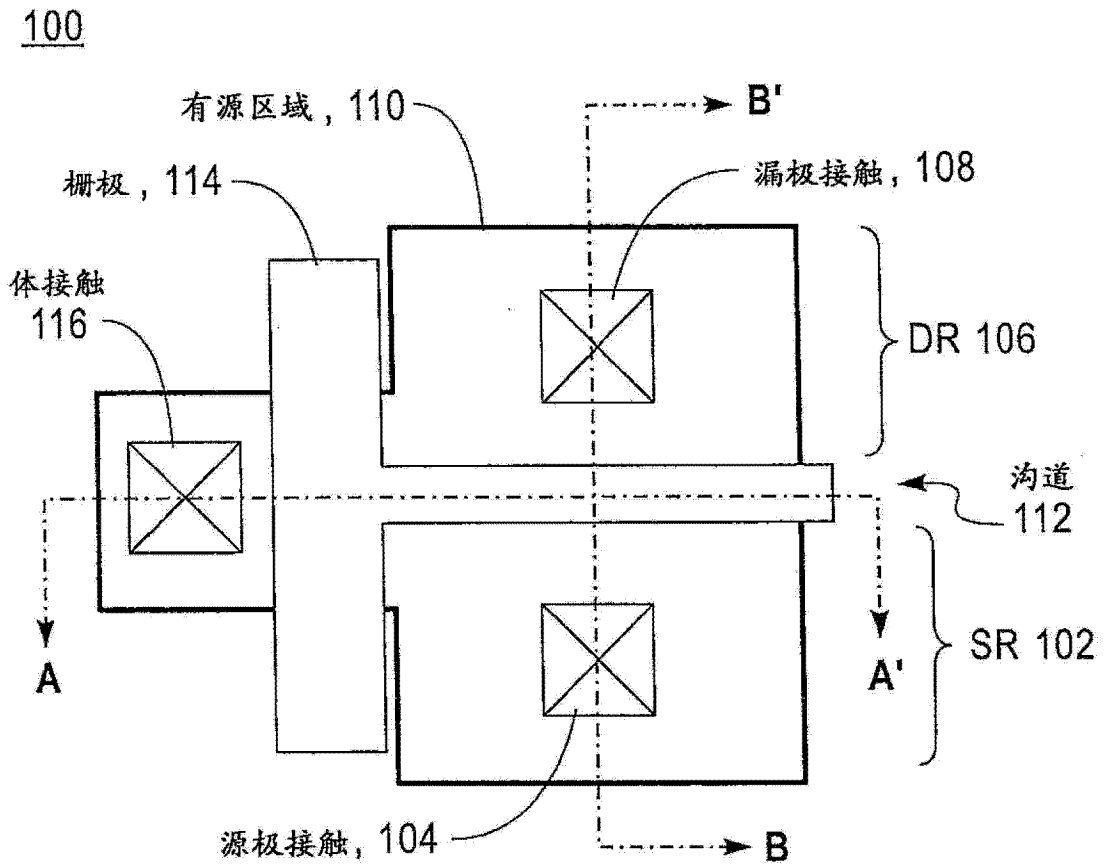


图 1

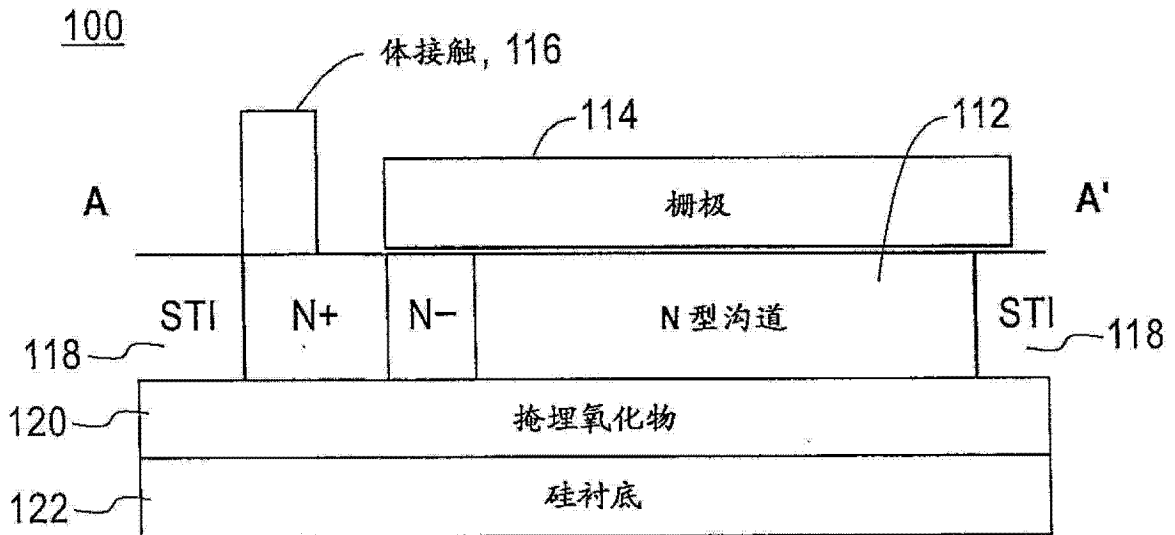


图 2

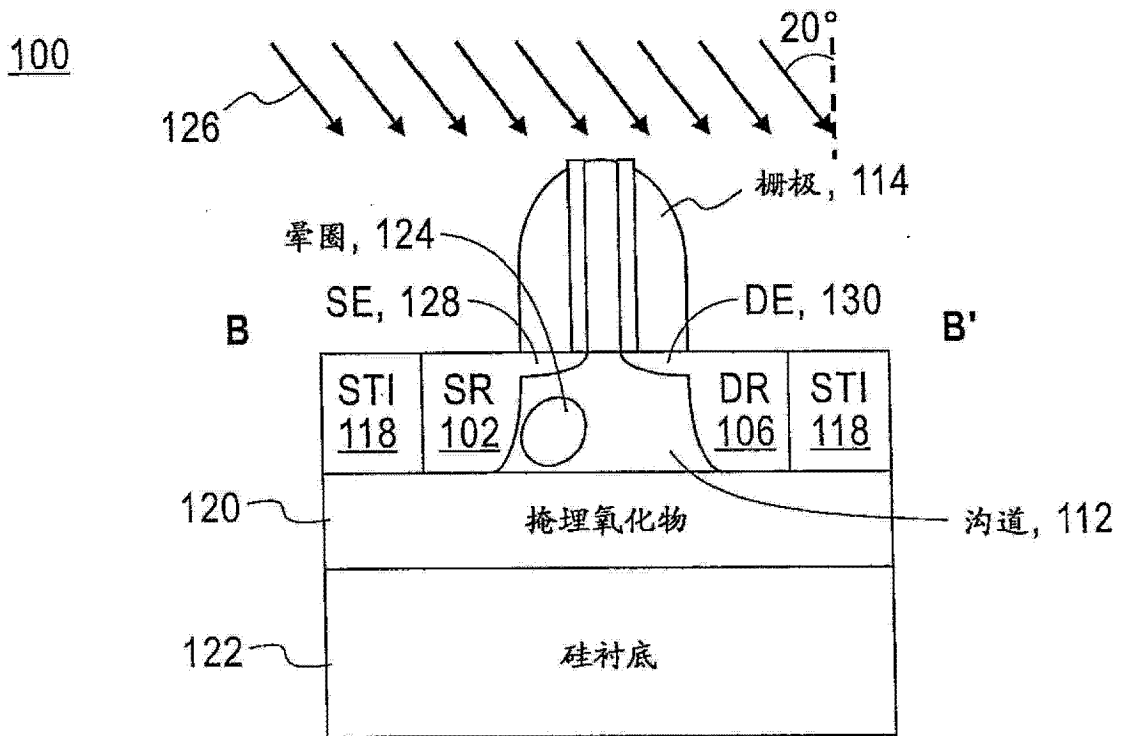


图 3

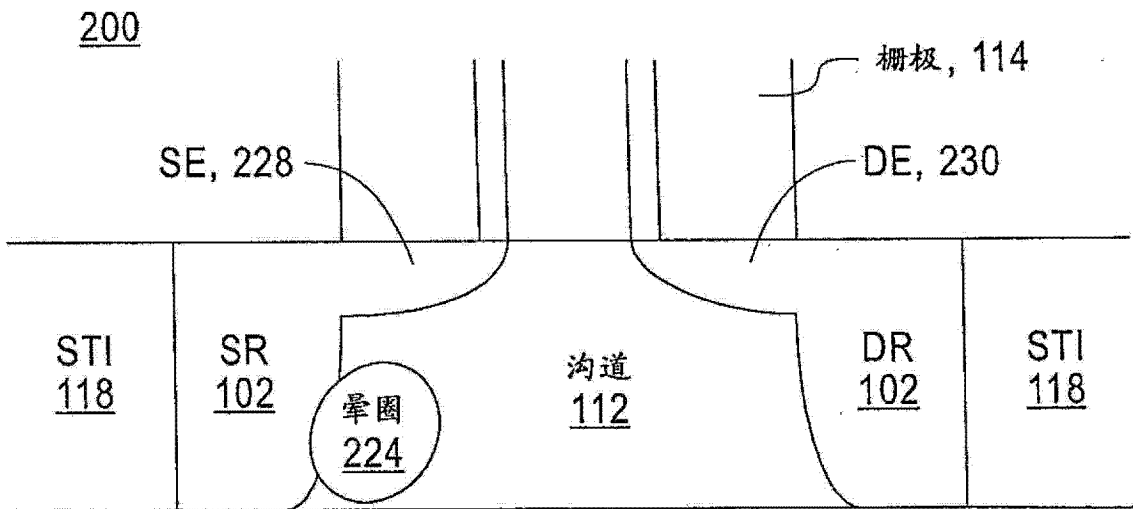


图 4

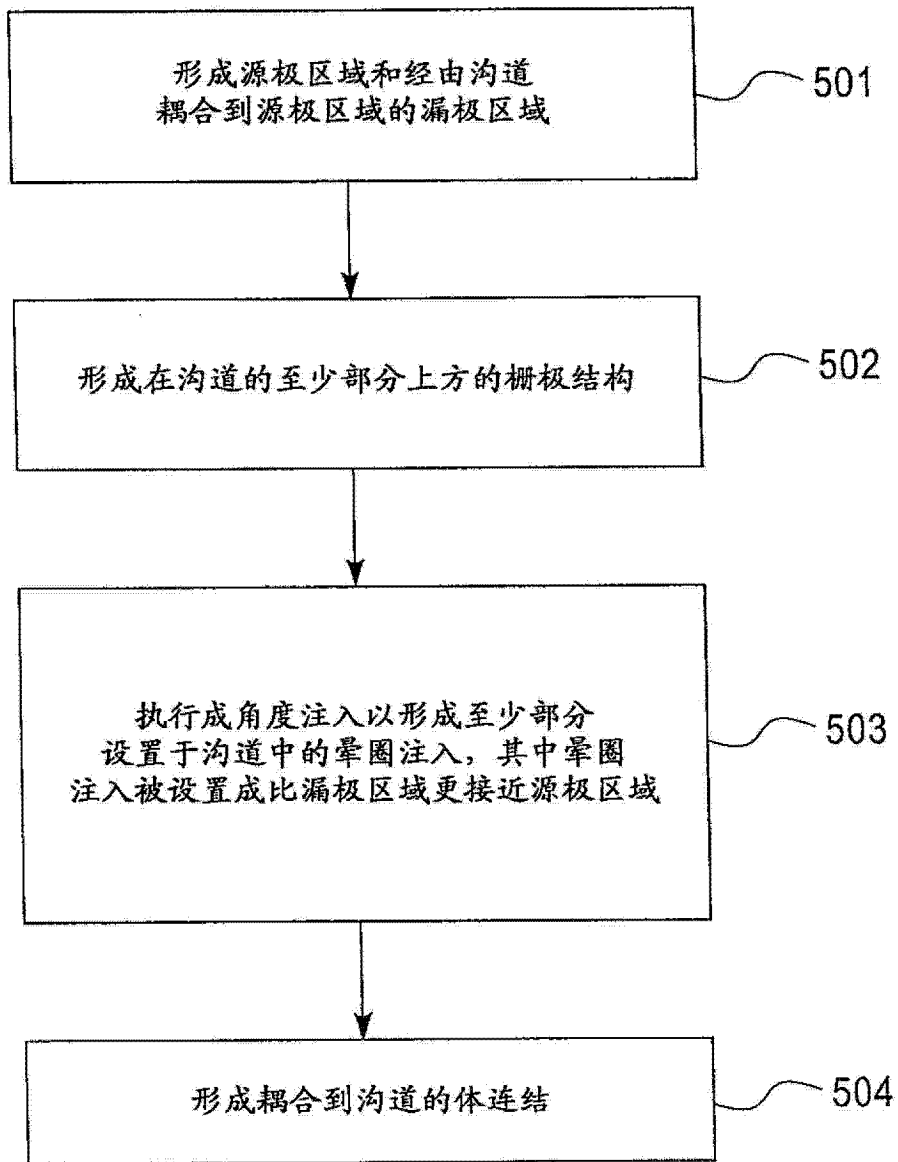


图 5