

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6887856号
(P6887856)

(45) 発行日 令和3年6月16日(2021.6.16)

(24) 登録日 令和3年5月21日(2021.5.21)

(51) Int.Cl. F I
 HO4N 5/378 (2011.01) HO4N 5/378
 HO4N 5/374 (2011.01) HO4N 5/374

請求項の数 12 (全 55 頁)

(21) 出願番号 特願2017-78184 (P2017-78184)
 (22) 出願日 平成29年4月11日(2017.4.11)
 (65) 公開番号 特開2018-182496 (P2018-182496A)
 (43) 公開日 平成30年11月15日(2018.11.15)
 審査請求日 令和2年4月6日(2020.4.6)

(73) 特許権者 316005926
 ソニーセミコンダクタソリューションズ株式会社
 神奈川県厚木市旭町四丁目14番1号
 (74) 代理人 100121131
 弁理士 西川 孝
 (74) 代理人 100082131
 弁理士 稲本 義雄
 (72) 発明者 大池 祐輔
 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

第1の増幅トランジスタ、及び第2の増幅トランジスタを有する第1の差動増幅回路と

、
 第3の増幅トランジスタ、及び第4の増幅トランジスタを有する第2の差動増幅回路と

、
 第1の画素、第2の画素、第3の画素、及び第4の画素を含む複数の画素と、

第1のスイッチ回路と、第2のスイッチ回路と、第3のスイッチ回路と

を備え、

前記第1の画素は、第1の光電変換部、前記第1の増幅トランジスタ、及び第1の選択トランジスタを含み、

前記第2の画素は、第2の光電変換部、前記第2の増幅トランジスタ、及び第2の選択トランジスタを含み、

前記第3の画素は、第3の光電変換部、前記第3の増幅トランジスタ、及び第3の選択トランジスタを含み、

前記第4の画素は、第4の光電変換部、前記第4の増幅トランジスタ、及び第4の選択トランジスタを含み、

前記第1のスイッチ回路は、

前記第1の増幅トランジスタのソースと接続される第1の信号線と、前記第2の増幅トランジスタのソースと接続される第2の信号線とを接続するとともに、前記第1の選択

10

20

トランジスタのドレインと接続される第3の信号線及び前記第2の選択トランジスタのドレインと接続される第4の信号線と、第1のカレントミラー回路とを接続し、

前記第3の増幅トランジスタのソースと接続される第5の信号線と、前記第4の増幅トランジスタのソースと接続される第6の信号線とを接続するとともに、前記第3の選択トランジスタのドレインと接続される第7の信号線及び前記第4の選択トランジスタのドレインと接続される第8の信号線と、第2のカレントミラー回路とを接続し、

前記第2のスイッチ回路は、

前記第3の信号線と一定電流源とを接続するとともに、前記第1の増幅トランジスタのソースに接続され、

前記第4の信号線と一定電流源とを接続するとともに、前記第2の増幅トランジスタのソースに接続され、

前記第7の信号線と一定電流源とを接続するとともに、前記第3の増幅トランジスタのソースに接続され、

前記第8の信号線と一定電流源とを接続するとともに、前記第4の増幅トランジスタのソースに接続され、

前記第3のスイッチ回路は、前記第1の差動増幅回路の前記第1のカレントミラー回路及び前記一定電流源の少なくとも一方と、前記第2の差動増幅回路の前記第2のカレントミラー回路及び前記一定電流源の少なくとも一方とを接続する

固体撮像装置。

【請求項2】

前記第1の差動増幅回路は、第1の複数のスイッチを含む請求項1に記載の固体撮像装置。

【請求項3】

前記第1の複数のスイッチは、

第1のリセット電圧と、前記第1の増幅トランジスタとの間に接続された第1のスイッチと、

前記第1のリセット電圧と異なる第2のリセット電圧と、前記第1の増幅トランジスタとの間に接続された第2のスイッチと

を含む

請求項2に記載の固体撮像装置。

【請求項4】

制御部をさらに備え、

前記制御部は、前記第1のスイッチと前記第2のスイッチを制御して、前記第1の増幅トランジスタと、前記第1のリセット電圧又は前記第2のリセット電圧とを選択的に接続する

請求項3に記載の固体撮像装置。

【請求項5】

前記第1の複数のスイッチは、

前記第1のリセット電圧と、前記第2の増幅トランジスタとの間に接続された第3のスイッチと、

前記第2のリセット電圧と、前記第2の増幅トランジスタとの間に接続された第4のスイッチと

をさらに含む

請求項3に記載の固体撮像装置。

【請求項6】

制御部をさらに備え、

前記制御部は、前記第3のスイッチと前記第4のスイッチを制御して、前記第2の増幅トランジスタと、前記第1のリセット電圧又は前記第2のリセット電圧とを選択的に接続する

請求項5に記載の固体撮像装置。

10

20

30

40

50

【請求項 7】

前記第 2 の差動増幅回路は、第 2 の複数のスイッチを含む
請求項 5 に記載の固体撮像装置。

【請求項 8】

前記第 2 の複数のスイッチは、
前記第 1 のリセット電圧と、前記第 3 の増幅トランジスタとの間に接続された第 5 の
スイッチと、
前記第 2 のリセット電圧と、前記第 3 の増幅トランジスタとの間に接続された第 6 の
スイッチと
を含む
請求項 7 に記載の固体撮像装置。

10

【請求項 9】

制御部をさらに備え、
前記制御部は、前記第 5 のスイッチと前記第 6 のスイッチを制御して、前記第 3 の増幅
トランジスタと、前記第 1 のリセット電圧又は前記第 2 のリセット電圧とを選択的に接続
する
請求項 8 に記載の固体撮像装置。

【請求項 10】

前記第 2 の複数のスイッチは、
前記第 1 のリセット電圧と、前記第 4 の増幅トランジスタとの間に接続された第 7 の
スイッチと、
前記第 2 のリセット電圧と、前記第 4 の増幅トランジスタとの間に接続された第 8 の
スイッチと
をさらに含む
請求項 8 に記載の固体撮像装置。

20

【請求項 11】

制御部をさらに備え、
前記制御部は、前記第 7 のスイッチと前記第 8 のスイッチを制御して、前記第 4 の増幅
トランジスタと、前記第 1 のリセット電圧又は前記第 2 のリセット電圧とを選択的に接続
する
請求項 10 に記載の固体撮像装置。

30

【請求項 12】

制御部をさらに備え、
前記制御部は、
差動型の増幅読み出しを行うモードである第 1 のモードで動作する場合、前記第 1 の
スイッチ回路と、前記第 3 のスイッチ回路をオン状態にし、
ソースフォロア型の読み出しを行うモードである第 2 のモードで動作する場合、前記
第 2 のスイッチ回路をオン状態にする
請求項 1 に記載の固体撮像装置。

【発明の詳細な説明】

40

【技術分野】

【0001】

本技術は、固体撮像装置に関し、特に、高い変換効率を実現する差動増幅回路を提供す
ることができるようにした固体撮像装置に関する。

【背景技術】

【0002】

近年、CMOS(Complementary Metal Oxide Semiconductor)イメージセンサが普及してい
る。CMOSイメージセンサにおいては、画素アレイ部に配置された複数の画素で光電変換さ
れた信号電荷を読み出す回路として、ソースフォロア回路が広く利用されている(例えば
、特許文献 1 参照)。

50

【 0 0 0 3 】

また、ソースフォロア回路のほか、ソース接地回路や差動増幅回路を用いて、信号の読み出しを行う構成もある（例えば、特許文献 2 参照）。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 5 - 3 1 1 4 8 7 号公報

【 特許文献 2 】 特開 2 0 0 8 - 2 7 1 2 8 0 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

10

【 0 0 0 5 】

ところで、差動増幅回路による読み出しを行う場合、高い変換効率で信号を読み出すことができるものの欠点もあるため、さらなる改善が求められている。

【 0 0 0 6 】

本技術はこのような状況に鑑みてなされたものであり、高い変換効率を実現する差動増幅回路を提供することができるようにするものである。

【 課題を解決するための手段 】

【 0 0 0 7 】

本技術の一側面の固体撮像装置は、第 1 の増幅トランジスタ、及び第 2 の増幅トランジスタを有する第 1 の差動増幅回路と、第 3 の増幅トランジスタ、及び第 4 の増幅トランジスタを有する第 2 の差動増幅回路と、第 1 の画素、第 2 の画素、第 3 の画素、及び第 4 の画素を含む複数の画素と、第 1 のスイッチ回路と、第 2 のスイッチ回路と、第 3 のスイッチ回路とを備え、前記第 1 の画素は、第 1 の光電変換部、前記第 1 の増幅トランジスタ、及び第 1 の選択トランジスタを含み、前記第 2 の画素は、第 2 の光電変換部、前記第 2 の増幅トランジスタ、及び第 2 の選択トランジスタを含み、前記第 3 の画素は、第 3 の光電変換部、前記第 3 の増幅トランジスタ、及び第 3 の選択トランジスタを含み、前記第 4 の画素は、第 4 の光電変換部、前記第 4 の増幅トランジスタ、及び第 4 の選択トランジスタを含み、前記第 1 のスイッチ回路は、前記第 1 の増幅トランジスタのソースと接続される第 1 の信号線と、前記第 2 の増幅トランジスタのソースと接続される第 2 の信号線とを接続するとともに、前記第 1 の選択トランジスタのドレインと接続される第 3 の信号線及び前記第 2 の選択トランジスタのドレインと接続される第 4 の信号線と、第 1 のカレントミラー回路とを接続し、前記第 3 の増幅トランジスタのソースと接続される第 5 の信号線と、前記第 4 の増幅トランジスタのソースと接続される第 6 の信号線とを接続するとともに、前記第 3 の選択トランジスタのドレインと接続される第 7 の信号線及び前記第 4 の選択トランジスタのドレインと接続される第 8 の信号線と、第 2 のカレントミラー回路とを接続し、前記第 2 のスイッチ回路は、前記第 3 の信号線と一定電流源とを接続するとともに、前記第 1 の増幅トランジスタのソースに接続され、前記第 4 の信号線と一定電流源とを接続するとともに、前記第 2 の増幅トランジスタのソースに接続され、前記第 7 の信号線と一定電流源とを接続するとともに、前記第 3 の増幅トランジスタのソースに接続され、前記第 8 の信号線と一定電流源とを接続するとともに、前記第 4 の増幅トランジスタのソースに接続され、前記第 3 のスイッチ回路は、前記第 1 の差動増幅回路の前記第 1 のカレントミラー回路及び前記一定電流源の少なくとも一方と、前記第 2 の差動増幅回路の前記第 2 のカレントミラー回路及び前記一定電流源の少なくとも一方とを接続する固体撮像装置である。

20

30

40

【 0 0 0 9 】

本技術の一側面の固体撮像装置においては、第 1 の増幅トランジスタ、及び第 2 の増幅トランジスタを有する第 1 の差動増幅回路と、第 3 の増幅トランジスタ、及び第 4 の増幅トランジスタを有する第 2 の差動増幅回路と、第 1 の画素、第 2 の画素、第 3 の画素、及び第 4 の画素を含む複数の画素と、第 1 のスイッチ回路と、第 2 のスイッチ回路と、第 3 のスイッチ回路とが設けられ、前記第 1 の画素には、第 1 の光電変換部、前記第 1 の増幅

50

トランジスタ、及び第 1 の選択トランジスタが含まれ、前記第 2 の画素には、第 2 の光電変換部、前記第 2 の増幅トランジスタ、及び第 2 の選択トランジスタが含まれ、前記第 3 の画素には、第 3 の光電変換部、前記第 3 の増幅トランジスタ、及び第 3 の選択トランジスタが含まれ、前記第 4 の画素には、第 4 の光電変換部、前記第 4 の増幅トランジスタ、及び第 4 の選択トランジスタが含まれ、前記第 1 のスイッチ回路により、前記第 1 の増幅トランジスタのソースと接続される第 1 の信号線と、前記第 2 の増幅トランジスタのソースと接続される第 2 の信号線とが接続されるとともに、前記第 1 の選択トランジスタのドレインと接続される第 3 の信号線及び前記第 2 の選択トランジスタのドレインと接続される第 4 の信号線と、第 1 のカレントミラー回路とが接続され、前記第 3 の増幅トランジスタのソースと接続される第 5 の信号線と、前記第 4 の増幅トランジスタのソースと接続される第 6 の信号線とが接続されるとともに、前記第 3 の選択トランジスタのドレインと接続される第 7 の信号線及び前記第 4 の選択トランジスタのドレインと接続される第 8 の信号線と、第 2 のカレントミラー回路とが接続され、前記第 2 のスイッチ回路により、前記第 3 の信号線と一定電流源とが接続されるとともに、前記第 1 の増幅トランジスタのソースに接続され、前記第 4 の信号線と一定電流源とが接続されるとともに、前記第 2 の増幅トランジスタのソースに接続され、前記第 7 の信号線と一定電流源とが接続されるとともに、前記第 3 の増幅トランジスタのソースに接続され、前記第 8 の信号線と一定電流源とが接続されるとともに、前記第 4 の増幅トランジスタのソースに接続され、前記第 3 のスイッチ回路により、前記第 1 の差動増幅回路の前記第 1 のカレントミラー回路及び前記一定電流源の少なくとも一方と、前記第 2 の差動増幅回路の前記第 2 のカレントミラー回路及び前記一定電流源の少なくとも一方とが接続される。

10

20

【発明の効果】

【0014】

本技術の一側面によれば、高い変換効率を実現する差動増幅回路を提供することができる。

【0015】

なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

【図面の簡単な説明】

【0016】

30

【図 1】ソースフォロア型の読み出しの構成でのノイズの発生箇所を示す回路図である。

【図 2】画素共有がない場合の構成を示す回路図である。

【図 3】画素共有がある場合の構成を示す回路図である。

【図 4】差動型の増幅読み出しの構成でのノイズの発生箇所を示す回路図である。

【図 5】リセットフィードスルーと差動動作点の問題点を説明する図である。

【図 6】本技術を適用した固体撮像装置の一実施の形態の構成例を示す図である。

【図 7】画素の構成例を示す回路図である。

【図 8】第 1 の実施の形態の差動画素読み出し回路の構成例を示す回路図である。

【図 9】差動画素読み出し回路を構成する画素の駆動例を示すタイミングチャートである。

【図 10】読み出し画素と参照画素を同一行に配置する場合の構成を示す回路図である。

40

【図 11】読み出し画素と参照画素を同一列に配置する場合の構成を示す回路図である。

【図 12】読み出し画素と参照画素が近接するが、異なる行及び列に配置する場合の構成を示す回路図である。

【図 13】カラムごとに参照専用の画素を配置する場合の構成を示す回路図である。

【図 14】カラムごとに参照専用のダミー画素を配置する場合の構成を示す回路図である。

【図 15】カスコード型カレントミラー回路を用いた構成を示す回路図である。

【図 16】読み出し画素と参照画素を切り替え可能な構成を示す回路図である。

【図 17】読み出し画素と参照画素を切り替え可能な構成を示す回路図である。

【図 18】読み出し画素と参照画素で切り替え可能な画素の駆動例を示すタイミングチャート

50

である。

【図 19】SFモードに切り替えられた画素の構成を示す回路図である。

【図 20】差動モードに切り替えられた画素の構成を示す回路図である。

【図 21】差動モードに切り替えられた画素の構成を示す回路図である。

【図 22】SFモードに切り替えられた画素の駆動例を示すタイミングチャートである。

【図 23】差動モードに切り替えられた画素の駆動例を示すタイミングチャートである。

【図 24】第 1 の実施の形態を採用することで得られる効果を説明する図である。

【図 25】第 2 の実施の形態の画素読出し回路の構成例を示す回路図である。

【図 26】差動モード時の画素読出し回路の構成例を示す回路図である。

【図 27】差動モード時の画素読出し回路の構成例を示す回路図である。

10

【図 28】SFモード時の画素読出し回路の構成例を示す回路図である。

【図 29】差動モードに切り替えられた画素の駆動例を示すタイミングチャートである。

【図 30】SFモードに切り替えられた画素の駆動例を示すタイミングチャートである。

【図 31】差動モード時に、読出画素と参照画素の個数が異なる場合の構成を示す回路図である。

【図 32】第 2 の実施の形態を採用することで得られる効果を説明する図である。

【図 33】本技術を適用し得る積層型の固体撮像装置の構成例を示す図である。

【図 34】本技術を適用した固体撮像装置を有する電子機器の構成例を示すブロック図である。

【図 35】本技術を適用した固体撮像装置の使用例を示す図である。

20

【図 36】車両制御システムの概略的な構成の一例を示すブロック図である。

【図 37】車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

【発明を実施するための形態】

【0017】

以下、図面を参照しながら本技術の実施の形態について説明する。なお、説明は以下の順序で行うものとする。

【0018】

1. 本技術の概要

2. 固体撮像装置の構成

3. 第 1 の実施の形態：リセット電圧を外部印加及び負帰還で設定する構成

30

4. 第 2 の実施の形態：参照側の増幅トランジスタを横繋ぎする構成

5. 変形例

6. 電子機器の構成

7. 固体撮像装置の使用例

8. 移動体への応用例

【0019】

< 1. 本技術の概要 >

【0020】

CMOSイメージセンサでは、画素アレイ部に行列状に 2 次元配置された単位画素（以下、画素ともいう）に、光電変換部としてのフォトダイオード（PD）と、フォトダイオードで光電変換された電子を電圧変換する浮遊拡散領域（FD：Floating Diffusion）と、浮遊拡散領域（FD）で得られる電圧をゲート入力とする増幅トランジスタを有し、この増幅トランジスタを用いたソースフォロア回路による読み出し（以下、ソースフォロア型の読み出しという）を行うのが一般的である（例えば、上述した特許文献 1 参照）。

40

【0021】

一方で、画素は同様の構成ながら、ソース接地回路による読み出しを行う構成や、差動増幅回路による読み出し（以下、差動型の増幅読み出しという）を行う構成がある（例えば、上述した特許文献 2 参照）。

【0022】

ところで、画素において、フォトダイオードで発生した電子は、FDノードの寄生容量に

50

応じた1電子当たりの電圧変換効率 ($\mu\text{V}/e^-$) で電圧に変換される。この信号電子数に応じたFDノードの電圧振幅 V_{fd} が、増幅トランジスタを介して、画素アレイ部に2次元配置された画素から読み出される。

【0023】

このとき、読み出される信号には、ノイズが重畳される。このノイズの主な発生源としては、例えば、図1に示すようなものがある。

【0024】

すなわち、画素900内の増幅トランジスタ914が発生するノイズ V_{n_pix} (μV_{rms}) と、2次元配置された画素から垂直信号線 (VSL) 922 経由で読み出された電圧を増幅するなどのアナログ回路 (AFE: Analog Front End) 931が発生するノイズ V_{n_afe} (μV_{rms}) と、アナログデジタル変換回路 (ADC: Analog Digital Converter) 932が発生するノイズ V_{n_adc} (μV_{rms}) がある。

10

【0025】

以下の説明では、ノイズ V_{n_pix} は、FDノードで発生する電圧ノイズに換算したもの、ノイズ V_{n_afe} は、垂直信号線922で発生する電圧ノイズに換算したもの、ノイズ V_{n_adc} は、アナログデジタル変換回路932の入力ノードで発生するノイズに換算したものとして定義する。

【0026】

ソースフォロア型の読み出しの構成では、FDノードの電圧振幅 V_{fd} に対する、垂直信号線 (VSL) 922の電圧振幅 V_{vsl} のゲイン A_{sf} は、0.8~1.0倍となるので、下記の式 (1) の関係を満たすことになる。

20

【0027】

$$V_{vsl} = A_{sf} \times V_{fd} \quad \dots (1)$$

【0028】

ここで、FDノードにおける電子電圧変換の変換効率 ($\mu\text{V}/e^-$) を、 η_{fd} とする。すなわち、垂直信号線922における電子電圧変換の変換効率 ($\mu\text{V}/e^-$) を、 η_{vsl} とした場合、下記の式 (2) の関係を満たすことになる。

【0029】

$$\eta_{vsl} = A_{sf} \times \eta_{fd} \quad \dots (2)$$

【0030】

30

また、信号電子数を、 N_{sig_e} とすると、下記の式 (3) の関係により表すことができる。

【0031】

$$V_{vsl} = \eta_{vsl} \times N_{sig_e} = \eta_{fd} \times A_{sf} \times N_{sig_e} \quad \dots (3)$$

【0032】

なお、ここでは、簡単のためにアナログ回路 (AFE) 931では、電圧増幅をしない、すなわち、ゲインが1倍であるとして、AD変換の出力に重畳するノイズを、垂直信号線922で発生する電圧ノイズに換算して、 V_{n_total} (μV_{rms}) とすると、 V_{n_adc} と、 V_{n_afe} と、 $A_{fd} \times V_{n_pix}$ との和 (二乗平均) となる。

【0033】

40

これは、電子数 N_{sig_e} によるVSL信号振幅 V_{vsl} に対して、 V_{n_total} のノイズが重畳していることを表している。ここで、画質の観点からすれば、ある信号電子数に対して、ノイズがどれだけ重畳しているかが重要となるため、ノイズをFDノードにおける電子数に換算 (単位: e^-_{rms}) すると、下記の式 (4) の関係を満たすことになる。

【0034】

【数1】

$V_{n_total_e}$

$$= \sqrt{\{(V_{n_adc}/\eta_{vsl})^2 + (V_{n_afe}/\eta_{vsl})^2 + (V_{n_pix}/\eta_{fd})^2\}} \quad \dots (4)$$

50

【 0 0 3 5 】

ただし、式(4)において、上述した式(2)により、 $vsl = Asf \times fd$ の関係となるから、Asfを大きくすれば、 Vn_adc 及び Vn_afe の影響を小さくすることができる。また、 fd を大きくすれば、 Vn_adc 、 Vn_afe 、及び Vn_pix の影響を小さくすることができる。

【 0 0 3 6 】

Asfは、上述したように、ソースフォロア回路の電圧ゲインで、一般的に0.8~1.0であり、論理的には1.0以下であるため、その改善が難しい。 fd は、FDノードからみた寄生容量の合計Cfdで決まるものであり、下記の式(5)の関係を満たしている。

【 0 0 3 7 】

$$fd = e / Cfd \quad \dots (5)$$

【 0 0 3 8 】

ただし、式(5)において、eは、電子素量で、 1.602×10^{-19} クローンの定数である。ノイズ低減のために、容量削減をするためには、物理的な限界があり、さらに、画素ピッチを縮小するために、トランジスタを複数の画素で共有する構造を採用すると、Cfdが大きくなって、 fd を大きくすることがさらに困難となる。

【 0 0 3 9 】

なお、図2には、画素アレイ部に配置された画素の一例として、画素900-11、画素900-12、画素900-21、及び画素900-22の各画素で、画素共有がなされずに、各画素で独立して信号が読み出される場合の構成を示している。

【 0 0 4 0 】

また、図3には、画素900-11、画素900-12、画素900-21、及び画素900-22の4つの画素で画素共有がなされ、画素900-11の浮遊拡散領域(FD)921と増幅トランジスタ914が、他の画素でも利用される場合の構成を示している。

【 0 0 4 1 】

このように、ソースフォロア型の読み出しの構成では、Asfの値が1倍程度であるから、微細画素において、 fd を大きくすることができなくなると、 vsl も大きく設計することができず、結果として、ノイズ低減ができなくなってしまう。

【 0 0 4 2 】

一方で、差動型の増幅読み出しは、例えば、図4に示すような構成からなる。

【 0 0 4 3 】

すなわち、差動型の増幅読み出しの構成では、垂直信号線(VSL)922の電圧振幅 $Vvsl$ のゲインAdifは、FDノードの寄生容量Cfdの一部であるVSLノードとの寄生容量分Cgdで決定される。なお、Cgdは、トランジスタの寄生容量だけでなく、ゲインAdifを調整するために、配線容量等で意図的に付加した容量をも含む場合がある。

【 0 0 4 4 】

このような差動型の増幅読み出しの構成においては、差動増幅回路のオープンループゲインを、 Av とした場合に、下記の式(6)の関係を満たしている。

【 0 0 4 5 】

$$vsl = e / \{Cgd + Cfd / Av\} \quad \dots (6)$$

【 0 0 4 6 】

同様に、差動型の増幅読み出しの構成におけるトータルノイズを、FDノードにおける電子数に換算すると、下記の式(7)の関係を満たすことになる。

【 0 0 4 7 】

【数2】

Vn_total_e

$$= \sqrt{\{(Vn_adc/\eta vsl)^2 + (Vn_afe/\eta vsl)^2 + 2 \times (Vn_pix/\eta fd)^2\}} \quad \dots (7)$$

【 0 0 4 8 】

10

20

30

40

50

この式(7)の関係から、 v_{sl} や f_d を大きくすれば、ノイズを低減できることは、明らかである。

【0049】

ここで、図1のソースフォロア型の読み出しの構成の式(4)と、図4の差動型の増幅読み出しの構成の式(7)とを比較すれば、 V_{n_adc} 及び V_{n_afe} について、次のようなことが言える。

【0050】

すなわち、式(4)においては、 v_{sl} が、式(2)により、 $v_{sl} = A_{sf} \times f_d$ の関係性を有し、さらに、 A_{sf} が、最大でも1.0であることから、下記の式(8)の関係が成立することになる。

【0051】

$$v_{sl} \quad f_d = e / C_{fd} \quad \dots (8)$$

【0052】

一方で、式(7)においては、 v_{sl} が、式(6)により、 $v_{sl} = e / \{C_{gd} + C_{fd} / A_v\}$ の関係性を有し、さらに、 A_v は、一般的に、数10~100程度となるため、 C_{fd} の影響を抑えることができ、下記の式(9)の関係が成立することになる。

【0053】

$$v_{sl} \quad e / C_{gd} \quad \dots (9)$$

【0054】

このように、ソースフォロア型の読み出しの構成では、式(8)の関係から、 C_{fd} を小さくすることが難しい状況では、 v_{sl} を大きくする手段がない。

【0055】

それに対し、差動型の増幅読み出しの構成では、式(9)の関係において、 C_{gd} は、 C_{fd} の一部であるため、 C_{fd} よりも小さい値であって、図4に示すように、増幅トランジスタ914に寄生する容量であるため、トランジスタを複数の画素で共有する構造(図3)を採用したとしても、容量削減の妨げとはならない。

【0056】

すなわち、ソースフォロア型の読み出しの構成よりも、差動型の増幅読み出しの構成のほうが、 v_{sl} として、より大きな値とすることができ、ノイズの観点で有利となる。一方で、従来の差動型の増幅読み出しの構成には、2つの問題点がある。

【0057】

第1に、基準電位である初期FD電位は、フォトダイオード(PD)等の光電変換部911からの電荷が転送できる電圧に設定する必要があり、かつ、十分な信号電荷を読み出すために、振幅のダイナミックレンジを確保できる電圧に設定する必要がある。

【0058】

図4に示した回路構成では、初期FD電位は、高いほうが電荷の転送には有利で、多くの信号電荷を転送することができるが、一方で、初期FD電位が低いほうが、出力電圧の振幅は大きくとれる。なお、光電変換部911としてのフォトダイオード(PD)の極性が逆の場合には、それぞれが逆の電位設定が有利とされる。

【0059】

そのため、光電変換部911からの電荷転送が可能で、かつ、画素の出力電圧の振幅が大きくとれる初期FD電位を設定することが重要となる。

【0060】

しかしながら、差動増幅回路では、増幅ゲインが高いため、素子特性や電源、温度等のバラツキによって、入力信号のバラツキが増幅され、結果として、大きな出力信号のバラツキとなることが問題となっている。特に、リセット時に、大きい入力信号が入ってくると、リセットの出力レベルが、読み出し可能な電圧レンジを外れて不定になってしまう。

【0061】

ここで、上述した特許文献2には、画素ごとに、リセット時に出力レベルを入力に帰還させて初期FD電位を決めることで、素子特性や電源、温度等のバラツキを抑えることが開

10

20

30

40

50

示されているが、このリセット時の浮遊拡散領域 (FD) の電位レベルは、カレントミラートランジスタ、読み出しトランジスタ、及び負荷MOSトランジスタのオン抵抗の比で決まるものである。そして、これらのトランジスタのサイズと駆動電流を決めると、ほぼ一義的に電位レベルが決まってしまう。

【 0 0 6 2 】

特に、読み出しトランジスタは、画素アレイ部を構成する画素内に配置されるトランジスタであって、そのサイズを自由に調整することは難しく、フォトダイオードからの電荷転送と、画素の出力電圧の振幅を両立させる初期FD電位設定をコントロールすることは、一般的に難しい。

【 0 0 6 3 】

一方で、図 5 A に示すように、差動型の増幅読み出しでは、リセット動作が完了し、駆動信号RSTに応じてリセットトランジスタ 9 1 3 がオフ状態とされると、FD電位とVSL電位は、図 5 B に示すような関係となる。

【 0 0 6 4 】

すなわち、リセットトランジスタ 9 1 3 をオフ状態にすると、浮遊拡散領域 (FD) 9 2 1 は、外部配線から電氣的に遮断され、フローティング状態 (浮遊状態) になるが、主に、リセットトランジスタ 9 1 3 のゲート電極との容量カップリングによって、浮遊拡散領域 (FD) 9 2 1 のFD電位は、低レベル側に押し下げられる。このリセットトランジスタ 9 1 3 のオン状態とオフ状態の切り替えでのFD電位の変動量 V_{FD} を、リセットフィードスルーと呼ぶ。

【 0 0 6 5 】

そして、差動型の増幅読み出しの場合には、読み出し側と参照側のリセットフィードスルー量が大きく異なると、その差分は、ゲイン倍に増幅されて、垂直信号線 (VSL) 9 2 2 に出力されるため、読み出し可能な電圧レンジを外れ、初期信号レベルが、不安定になってしまう。

【 0 0 6 6 】

このように、差動型の増幅読み出しの構成においては、高い変換効率 (増幅率) を実現しつつ、リセットフィードスルーによるリセットレベルの読み出し可能レンジ外れを抑制するだけでなく、最適な初期FD電位を決定する必要がある。これが、第 1 の問題点である。

【 0 0 6 7 】

第 2 に、差動型の増幅読み出しの構成においては、最終的なノイズの総和が、差動対の参照側のトランジスタが追加されることで、画素内の増幅トランジスタが発生するノイズの分だけ大きくなることである。

【 0 0 6 8 】

ここで、ノイズ V_{n_pix} に注目すれば、図 1 のソースフォロア型の読み出しの構成での式 (4) と、図 4 の差動型の増幅読み出しの構成での式 (7) では、 f_d はともに、 $e / C_f d$ となることから、 f_d に差はない。

【 0 0 6 9 】

しかしながら、図 4 に示した差動型の増幅読み出しの構成においては、参照側の増幅トランジスタが発生するノイズも重畳されるため、それに応じてノイズが 2 倍となってしまう。このように、差動型の増幅読み出しの構成のほうが、ソースフォロア型の読み出しの構成と比べて、トータルノイズとして、 V_{n_pix} 成分が 2 倍となるため、ノイズの観点から不利とされる。これが、第 2 の問題点である。

【 0 0 7 0 】

本開示に係る技術 (本技術) では、このような第 1 の問題点と第 2 の問題点を解決するための手段を提案する。

【 0 0 7 1 】

すなわち、第 1 の問題点に対しては、差動型の増幅読み出しの構成において、参照画素のリセット電圧を外部印加とし、読出画素のリセット電圧は、垂直信号線から負帰還をか

10

20

30

40

50

ける構成とすることで、高い変換効率（増幅率）を実現しつつ、リセットフィードスルーによるリセットレベルの読み出し可能レンジ外れを抑制するだけでなく、リセット時の読出画素のFD電位を所望の値に制御することができるようにする。

【0072】

また、第2の問題点に対しては、差動型の増幅読み出しの構成において、参照画素の増幅トランジスタのソース側、ドレイン側、又はソース側とドレイン側の両方のノードを、画素アレイ部の各列間で接続（結線）することで、高い変換効率（増幅率）を実現しつつ、ノイズ増加を抑圧することができるようにする。

【0073】

以下、本技術の具体的な内容を、第1の実施の形態と、第2の実施の形態によって説明する。すなわち、第1の問題点を解決するための第1の手段として、第1の実施の形態を説明し、第2の問題点を解決するための第2の手段として、第2の実施の形態を説明する。

10

【0074】

なお、第1の問題点を解決するための第1の手段と、第2の問題点を解決するための第2の手段は、それぞれ単独の手段によって、問題点を解決してもよいし、一方の手段が、他方の手段と組み合わせられるようにしてもよい。

【0075】

すなわち、第1の手段を、第2の手段と組み合わせることで、第1の問題だけでなく、第2の問題をも解決することができ、その結果として双方の効果を得ることができる。同様にまた、第2の手段を、第1の手段と組み合わせることで、第1の問題をも解決することができ、その結果として双方の効果を得ることができる。

20

【0076】

< 2 . 固体撮像装置の構成 >

【0077】

（固体撮像装置の構成例）

図6は、本技術を適用した固体撮像装置の一実施の形態の構成例を示す図である。

【0078】

図6のCMOSイメージセンサ10は、CMOS(Complementary Metal Oxide Semiconductor)を用いた固体撮像装置の一例である。CMOSイメージセンサ10は、光学レンズ系（不図示）を介して被写体からの入射光（像光）を取り込んで、撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。

30

【0079】

図6において、CMOSイメージセンサ10は、画素アレイ部11、垂直駆動部12、コラム読出し回路部13、コラム信号処理部14、水平駆動部15、システム制御部16、信号処理部17、及びデータ格納部18を含んで構成される。

【0080】

これら画素アレイ部11、垂直駆動部12、コラム読出し回路部13、コラム信号処理部14、水平駆動部15、システム制御部16、信号処理部17、及びデータ格納部18は、同一又は電気的に接続された複数の積層半導体基板（チップ）上に形成されている。

40

【0081】

画素アレイ部11には、入射光量に応じた電荷量を光電変換して内部に蓄積し、信号として出力を行うことが可能な光電変換部（例えば、フォトダイオード）を有する単位画素（画素）が、行列状に2次元配置されている。

【0082】

なお、画素アレイ部11には、有効な画素（有効画素）の他に、光電変換を行うフォトダイオードを持たない構造のダミー画素や、受光面を遮光して外部からの光入射を遮断していること以外には有効画素と等価な遮光画素が、行列状に2次元配置されている領域を含む場合がある。

【0083】

50

また、以下の説明では、入射光量に応じた電荷量の光電荷を、単に「電荷」と記述し、単位画素を、単に「画素」と記述する場合がある。

【0084】

画素アレイ部11にはさらに、行列状の画素配列に対して行ごとに画素駆動線31が図の左右方向（画素行の画素の配列方向）に沿って形成され、列ごとに垂直画素配線32が図の上下方向（画素列の画素の配列方向）に沿って形成されている。画素駆動線31の一端は、垂直駆動部12の各行に対応した出力端に接続されている。

【0085】

カラム読出し回路部13は少なくとも、画素アレイ部11内の選択行画素に列ごとに定電流を供給する回路、高ゲインアンプを構成するカレントミラー回路、読出しモード切替スイッチから成り、画素アレイ部11内の選択画素内のトランジスタと共に増幅器を構成し、光電荷信号を電圧信号に変換して垂直画素配線32に出力する。

【0086】

垂直駆動部12は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部11の各画素を、全画素同時あるいは行単位等で駆動する画素駆動部である。この垂直駆動部12は、その具体的な構成については図示を省略するが、読み出し走査系と、掃き出し走査系あるいは、一括掃き出し、一括転送を有する構成となっている。

【0087】

読み出し走査系は、画素から信号を読み出すために、画素アレイ部11の画素を行単位で順に選択走査する。行駆動（ローリングシャッタ動作）の場合、掃き出しについては、読み出し走査系によって読み出し走査が行われる読み出し行に対して、その読み出し走査よりもシャッタスピードの時間分だけ先行して掃き出し走査が行なわれる。

【0088】

また、グローバル露光（グローバルシャッタ動作）の場合は、一括転送よりもシャッタスピードの時間分先行して一括掃き出しが行なわれる。この掃き出しにより、読み出し行の画素の光電変換素子から不要な電荷が掃き出される（リセットされる）。そして、不要電荷の掃き出し（リセット）により、いわゆる電子シャッタ動作が行われる。

【0089】

ここで、電子シャッタ動作とは、直前まで光電変換素子に溜まっていた不要な光電荷を捨てて、新たに露光を開始する（光電荷の蓄積を開始する）動作のことを言う。読み出し走査系による読み出し動作によって読み出される信号は、その直前の読み出し動作又は電子シャッタ動作以降に入射した光量に対応するものである。

【0090】

行駆動の場合は、直前の読み出し動作による読み出しタイミング又は電子シャッタ動作による掃き出しタイミングから、今回の読み出し動作による読み出しタイミングまでの期間が、画素における光電荷の蓄積時間（露光時間）となる。グローバル露光の場合は、一括掃き出しから一括転送までの時間が蓄積時間（露光時間）となる。

【0091】

垂直駆動部12によって選択走査された画素行の各画素から出力される画素信号は、垂直画素配線32の各々を通してカラム信号処理部14に供給される。カラム信号処理部14は、画素アレイ部11の画素列ごとに、選択行の各画素から垂直画素配線32を通して出力される画素信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。

【0092】

具体的には、カラム信号処理部14は、信号処理として少なくとも、ノイズ除去処理、例えば、相関二重サンプリング（CDS: Correlated Double Sampling）処理を行う。このカラム信号処理部14による相関二重サンプリングにより、リセットノイズや増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。なお、カラム信号処理部14にノイズ除去処理以外に、例えば、AD（アナログ-デジタル）変換機能を持たせ、信号レベルをデジタル信号で出力することも可能である。

10

20

30

40

50

【 0 0 9 3 】

水平駆動部 1 5 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム信号処理部 1 4 の画素列に対応する単位回路を順番に選択する。この水平駆動部 1 5 による選択走査により、カラム信号処理部 1 4 で信号処理された画素信号が順番に信号処理部 1 7 に出力される。

【 0 0 9 4 】

システム制御部 1 6 は、各種のタイミング信号を生成するタイミングジェネレータ等によって構成され、タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動部 1 2、カラム信号処理部 1 4、及び水平駆動部 1 5 などの駆動制御を行う。

【 0 0 9 5 】

CMOSイメージセンサ 1 0 はさらに、信号処理部 1 7 及びデータ格納部 1 8 を備えている。信号処理部 1 7 は、少なくとも加算処理機能を有し、カラム信号処理部 1 4 から出力される画素信号に対して加算処理等の種々の信号処理を行う。データ格納部 1 8 は、信号処理部 1 7 での信号処理に当たって、その処理に必要なデータを一時的に格納する。

【 0 0 9 6 】

これら信号処理部 1 7 及びデータ格納部 1 8 については、CMOSイメージセンサ 1 0 とは別の基板に設けられる外部信号処理部、例えばDSP(Digital Signal Processor)やソフトウェアによる処理でも構わないし、CMOSイメージセンサ 1 0 と同じ基板上に搭載しても構わない。

【 0 0 9 7 】

(画素の構成例)

次に、図 7 を参照して、図 6 の画素アレイ部 1 1 に行列状に 2 次元配置されている画素 1 0 0 の回路構成例について説明する。

【 0 0 9 8 】

図 7 において、画素 1 0 0 は、光電変換部 1 1 1、転送トランジスタ 1 1 2、リセットトランジスタ 1 1 3、増幅トランジスタ 1 1 4、及び選択トランジスタ 1 1 5 から構成される。また、画素 1 0 0 においては、浮遊拡散領域 (FD: Floating Diffusion) 1 2 1 が形成される。

【 0 0 9 9 】

また、画素 1 0 0 においては、垂直駆動部 1 2 に一端が接続される画素駆動線 3 1 であるところのSEL駆動線、RST駆動線、及びTRG駆動線、並びにカラム読出し回路部 1 3 に一端が接続される垂直画素配線 3 2 であるところの垂直信号線 2 2、垂直リセット入力線 6 1、及び垂直電流供給線 6 2 が接続されている。

【 0 1 0 0 】

光電変換部 1 1 1 としてのフォトダイオードのアノードは接地されており、フォトダイオードのカソードは、転送トランジスタ 1 1 2 のソースに接続されている。転送トランジスタ 1 1 2 のドレインは、それぞれリセットトランジスタ 1 1 3 のソース及び増幅トランジスタ 1 1 4 のゲートに接続されており、この接続点が浮遊拡散領域 (FD) 1 2 1 を構成している。

【 0 1 0 1 】

また、リセットトランジスタ 1 1 3 のドレインは、垂直リセット入力線 6 1 に接続されており、増幅トランジスタ 1 1 4 のソースは、垂直電流供給線 6 2 に接続されている。増幅トランジスタ 1 1 4 のドレインは、選択トランジスタ 1 1 5 のソースに接続されており、選択トランジスタ 1 1 5 のドレインは、垂直信号線 (VSL) 2 2 に接続されている。

【 0 1 0 2 】

転送トランジスタ 1 1 2 のゲート、リセットトランジスタ 1 1 3 のゲート、及び選択トランジスタ 1 1 5 のゲートは、画素駆動線 3 1 (TRG駆動線、RST駆動線、及びSEL駆動線) を介して、垂直駆動部 1 2 (図 6) にそれぞれ接続されており、駆動信号としてのパルスがそれぞれ供給される。

【 0 1 0 3 】

10

20

30

40

50

次に、図7に示した画素100の基本機能について説明する。

【0104】

リセットトランジスタ113は、垂直駆動部12（図6）から供給される駆動信号RSTに従って、浮遊拡散領域（FD）121に蓄積されている電荷の排出をオン/オフする。

【0105】

例えば、リセットトランジスタ113は、H(High)レベルの駆動信号RSTが供給されると、浮遊拡散領域（FD）121は、垂直リセット入力線61を通して印可される電圧にクランプされ、浮遊拡散領域（FD）121に蓄積されていた電荷を排出（リセット）する。また、リセットトランジスタ113に、L(Low)レベルの駆動信号RSTが供給されると、浮遊拡散領域（FD）121は垂直リセット入力線61と電氣的に切断され、浮遊状態になる。

10

【0106】

一方、光電変換部111は、入射光を光電変換し、その光量に応じた電荷を生成し、蓄積する。転送トランジスタ112は、垂直駆動部12（図6）から供給される駆動信号TRGに従って、光電変換部111から浮遊拡散領域（FD）121への電荷の転送をオン/オフする。

【0107】

例えば、転送トランジスタ112は、Hレベルの駆動信号TRGが供給されると、光電変換部111に蓄積されている電荷を浮遊拡散領域（FD）121に転送し、Lレベルの駆動信号TRGが供給されると、電荷の転送を停止する。なお、転送トランジスタ112が、浮遊拡散領域（FD）121への電荷の転送を停止している間、光電変換された電荷は、光電変換部111に蓄積される。

20

【0108】

浮遊拡散領域（FD）121は、光電変換部111から転送トランジスタ112を介して転送されてくる電荷を蓄積する機能を持ち、リセットトランジスタ113がオフした浮遊状態では、その蓄積された電荷量に応じて浮遊拡散領域（FD）121の電位は変調される。

【0109】

増幅トランジスタ114は、そのゲートに接続された浮遊拡散領域（FD）121の電位変動を入力信号とする増幅器として働き、その出力電圧信号は、選択トランジスタ115を介して垂直信号線22に出力される。

30

【0110】

選択トランジスタ115は、垂直駆動部12（図6）から供給される駆動信号SELに従って、増幅トランジスタ114からの電圧信号の垂直信号線22への出力をオン/オフする。

【0111】

例えば、選択トランジスタ115は、Hレベルの駆動信号SELが供給されると、電圧信号を垂直信号線22に出力し、Lレベルの駆動信号SELが供給されると、電圧信号の出力を停止する。これにより複数の画素100が接続された垂直信号線22において、選択した画素100の出力のみを取り出すことが可能となる。

【0112】

このように、画素100は、垂直駆動部12（図6）から供給される駆動信号（TRG, RST, SEL）に従って駆動される。

40

【0113】

< 3. 第1の実施の形態 >

【0114】

次に、図8ないし図24を参照しながら、第1の実施の形態として、差動型の増幅読み出しによって、高い変換効率（増幅率）を実現しつつ、リセットフィードスルーによるリセットレベルの読み出し可能レンジ外れを抑制するだけでなく、リセット時の読出画素のFD電位を所望の値に制御するための構成について説明する。

【0115】

50

(差動画素読出し回路の構成例)

図8は、第1の実施の形態の差動画素読出し回路の構成例を示す回路図である。

【0116】

図8において、差動画素読出し回路50は、信号電荷の読み出しを行う読出画素100Sと、信号電荷なしの基準電圧を与える参照画素100Rと、PMOSトランジスタからなるカレントミラー回路51と、画素に定電流を供給する負荷MOS回路52とで構成される。

【0117】

読出画素100Sは、フォトダイオード(PD)等の光電変換部111Sに加えて、例えば、転送トランジスタ112S、リセットトランジスタ113S、増幅トランジスタ114S、及び選択トランジスタ115Sの4つの画素トランジスタを有している。

10

【0118】

光電変換部111Sとしてのフォトダイオードは、その一端であるアノード電極が接地され、その他端であるカソード電極は、転送トランジスタ112Sのソースに接続されている。転送トランジスタ112Sのドレインは、それぞれリセットトランジスタ113Sのソース及び増幅トランジスタ114Sのゲートに接続されており、この接続点が、浮遊拡散領域(FD)121Sを構成している。

【0119】

リセットトランジスタ113Sのドレインは、読出し側垂直リセット入力線61Sに接続されている。増幅トランジスタ114Sのソースは、読出し側垂直電流供給線62Sに接続されている。増幅トランジスタ114Sのドレインは、選択トランジスタ115Sの

20

【0120】

ソースと接続され、選択トランジスタ115Sのドレインは、読出し側垂直信号線22Sと接続されている。転送トランジスタ112Sのゲート、リセットトランジスタ113Sのゲート、及び選択トランジスタ115Sのゲートには、画素駆動線31(図6)を介して、垂直駆動部12(図6)と接続され、駆動信号(TRG1, RST1, SEL1)としてのパルスがそれぞれ供給される。

【0121】

ここで、読出し側垂直信号線22Sは、読出し側垂直リセット入力線61S、カレントミラー回路51の読出し側PMOSトランジスタ511Sのドレイン、及び当該差動画素読出し回路50の出力端子53に接続される。

30

【0122】

また、読出し側垂直リセット入力線61Sは、読出し側垂直信号線22Sに接続され、選択された読出画素100Sの浮遊拡散領域121S、すなわち、増幅トランジスタ114Sの入力端子に接続され、リセットトランジスタ113Sがオンしているとき、当該差動画素読出し回路50の出力信号が、負帰還される。

【0123】

参照画素100Rは、フォトダイオード(PD)等の光電変換部111Rに加えて、例えば、転送トランジスタ112R、リセットトランジスタ113R、増幅トランジスタ114R、及び選択トランジスタ115Rの4つの画素トランジスタを有している。

40

【0124】

光電変換部111Rとしてのフォトダイオードは、その一端であるアノード電極が接地され、その他端であるカソード電極は、転送トランジスタ112Rのソースに接続されている。転送トランジスタ112Rのドレインは、それぞれリセットトランジスタ113Rのソース及び増幅トランジスタ114Rのゲートに接続されており、この接続点が、浮遊拡散領域(FD)121Rを構成している。

【0125】

リセットトランジスタ113Rのドレインは、参照側垂直リセット入力線61Rに接続されている。増幅トランジスタ114Rのソースは、参照側垂直電流供給線62Rに接続されている。増幅トランジスタ114Rのドレインは、選択トランジスタ115Rのソー

50

スと接続され、選択トランジスタ 1 1 5 R のドレインは、参照側垂直信号線 2 2 R と接続されている。

【 0 1 2 6 】

転送トランジスタ 1 1 2 R のゲート、リセットトランジスタ 1 1 3 R のゲート、及び選択トランジスタ 1 1 5 R のゲートには、画素駆動線 3 1 (図 6) を介して、垂直駆動部 1 2 (図 6) と接続され、駆動信号 (TRG2 , RST2 , SEL2) としてのパルスがそれぞれ供給される。

【 0 1 2 7 】

ここで、参照側垂直信号線 2 2 R は、カレントミラー回路 5 1 の参照側 PMOS トランジスタ 5 1 1 R のドレイン及びゲート、並びに読出し側 PMOS トランジスタ 5 1 1 S のゲートに接続される。

10

【 0 1 2 8 】

また、参照側垂直リセット入力線 6 1 R は、電源 Vrst に接続されており、リセット時には、この配線を通じて選択された参照画素 1 0 0 R の浮遊拡散領域 1 2 1 R、すなわち、増幅トランジスタ 1 1 4 R の入力端子に、任意の入力電圧信号が印加される。

【 0 1 2 9 】

読出し側垂直電流供給線 6 2 S 及び参照側垂直電流供給線 6 2 R は、接続点 (V_{com}) で互いに接続された後、一定電流源である負荷 MOS 回路 5 2 に接続されている。

【 0 1 3 0 】

以上のような構成を有する差動画素読出し回路 5 0 においては、読出画素 1 0 0 S の増幅トランジスタ 1 1 4 S と、参照画素 1 0 0 R の増幅トランジスタ 1 1 4 R とが、差動増幅器 (差動増幅回路) を構成することで、読出画素 1 0 0 S の光電変換部 1 1 1 S で検出された信号電荷に応じた電圧信号が、出力端子 5 3 を介して出力される。

20

【 0 1 3 1 】

(差動画素の駆動例)

次に、図 9 のタイミングチャートを参照して、図 8 に示した差動画素読出し回路 5 0 を構成する画素の駆動例について説明する。

【 0 1 3 2 】

なお、図 9 の上段には、読出画素 1 0 0 S において、選択トランジスタ 1 1 5 S と、リセットトランジスタ 1 1 3 S と、転送トランジスタ 1 1 2 S のゲートにそれぞれ印加される駆動信号 SEL1 , RST1 , TRG1 のタイミングチャートが示されている。

30

【 0 1 3 3 】

また、図 9 の下段には、参照画素 1 0 0 R において、選択トランジスタ 1 1 5 R と、リセットトランジスタ 1 1 3 R と、転送トランジスタ 1 1 2 R のゲートにそれぞれ印加される駆動信号 TRG2 , RST2 , SEL2 のタイミングチャートが示されている。なお、図 9 において、時間の方向は、図中の左側から右側に向かう方向とされる。

【 0 1 3 4 】

まず、時刻 t_1 ないし時刻 t_2 の期間において、駆動信号 RST1 と駆動信号 TRG1 として、H レベルのパルスが印加されると、読出画素 1 0 0 S の光電変換部 1 1 1 S 及び浮遊拡散領域 1 2 1 S に蓄積されている電荷が、リセットトランジスタ 1 1 3 S によって排出される。

40

【 0 1 3 5 】

これにより、これまで光電変換部 1 1 1 S に蓄積されていた電荷が掃き出され、時刻 t_2 から時刻 t_5 までの期間においては、新たに被写体からの光から得られた電荷が、光電変換部 1 1 1 S に蓄積されることになる。

【 0 1 3 6 】

次に、時刻 t_3 ないし時刻 t_7 の期間において、選択された読出画素 1 0 0 S 及び参照画素 1 0 0 R で、駆動信号 SEL1 , SEL2 が、L レベルから H レベルに切り替えられると、増幅トランジスタ 1 1 4 S 及び増幅トランジスタ 1 1 4 R のソースからドレインに向けて、負荷 MOS 回路 5 2 から電流が供給される。

【 0 1 3 7 】

50

これにより、選択された読出画素 1 0 0 S の浮遊拡散領域 1 2 1 S の FD 電位を入力電圧信号とする差動増幅回路が動作して、読出し側垂直信号線 2 2 S に増幅された電圧信号が出力されるようになる。この状態は、時刻 t_7 において、駆動信号 SEL1, SEL2 が、H レベルから L レベルに切り替えられるまで継続される。

【 0 1 3 8 】

なお、時刻 t_1 ないし時刻 t_3 の期間において、参照画素 1 0 0 R の駆動信号 SEL2, RST2, TRG2 は、読出画素 1 0 0 S の信号読出しには寄与しない。

【 0 1 3 9 】

さらに、時刻 t_3 ないし時刻 t_4 の期間において、駆動信号 RST1 及び駆動信号 RST2 として、H レベルのパルスが印加されると、読出画素 1 0 0 S 及び参照画素 1 0 0 R で、浮遊拡散領域 1 2 1 S 及び浮遊拡散領域 1 2 1 R に蓄積されていた電荷が排出され、信号レベルが初期化 (リセット) される。

【 0 1 4 0 】

このとき、差動画素読出し回路 5 0 の出力端子 5 3 は、読出し側垂直リセット入力線 6 1 S 及びリセットトランジスタ 1 1 3 S を通じて、差動画素読出し回路 5 0 の入力の 1 つである読出画素 1 0 0 S の浮遊拡散領域 1 2 1 S に電氣的に接続される。

【 0 1 4 1 】

その結果として、差動画素読出し回路 5 0 では、出力端子 5 3 が一方の入力側の浮遊拡散領域 1 2 1 S に負帰還されて仮想接地状態となるため、電源 V_{rst} に外部印加で固定されている他方の入力側の浮遊拡散領域 1 2 1 R と、浮遊拡散領域 1 2 1 S 及び出力端子 5 3 とが同電位となる。

【 0 1 4 2 】

次に、時刻 t_4 ないし時刻 t_5 の期間において、駆動信号 RST1 及び駆動信号 RST2 として、L レベルのパルスが印加されると、読出画素 1 0 0 S 及び参照画素 1 0 0 R では、浮遊拡散領域 1 2 1 S は、読出し側垂直リセット入力線 6 1 S と電氣的に切断され、浮遊拡散領域 1 2 1 R は、参照側垂直リセット入力線 6 1 R と電氣的に切断され、それぞれ浮遊状態となる。

【 0 1 4 3 】

このとき、読出画素 1 0 0 S の浮遊拡散領域 1 2 1 S と、参照画素 1 0 0 R の浮遊拡散領域 1 2 1 R は、ほぼ等価な構造であるから、リセットオフ時の電位変動 (リセットフィードスルー) もほぼ同じで、浮遊拡散領域 1 2 1 S の FD 電位と、浮遊拡散領域 1 2 1 R の FD 電位は、ほぼ同じ動きをする。

【 0 1 4 4 】

そのため、差動画素読出し回路 5 0 の出力端子 5 3 からの出力は、リセットオン時の電圧 V_{rst} から、ほとんど変化せず、この状態が差動増幅読出しにおけるリセット状態 (初期状態) となり、この出力レベルが、リセットレベル (初期レベル) とされる。このリセット状態は、時刻 t_5 で、信号電荷の転送が行われるまで続き、リセットレベルとしての電圧が読み出される。

【 0 1 4 5 】

次に、時刻 t_5 ないし時刻 t_6 の期間において、読出画素 1 0 0 S の駆動信号 TRG1 が、パルス状に印加されると、読出画素 1 0 0 S の光電変換部 1 1 1 S に蓄積された電荷が、転送トランジスタ 1 1 2 S によって、浮遊拡散領域 1 2 1 S に転送される。

【 0 1 4 6 】

そして、読出画素 1 0 0 S では、この転送された電荷によって、浮遊拡散領域 1 2 1 S が変調され、これが、増幅トランジスタ 1 1 4 S のゲートに電圧信号として入力されると、読出し側垂直信号線 2 2 S に、蓄積電荷量に応じた電圧信号が出力される。この信号読出し状態は、時刻 t_7 で、駆動信号 SEL1, SEL2 が、L レベルになるまで続き、その間、信号レベルとしての電圧が読み出される。

【 0 1 4 7 】

なお、カラム信号処理部 1 4 (図 6) では、このようにして読み出されたリセットレベ

10

20

30

40

50

ルと信号レベルとの差分をとることでノイズを除去する相関二重サンプリング処理が行われ、ノイズが除去された画素信号が読み出される。

【0148】

(差動画素読出し回路の他の回路構成例)

【0149】

(A) 読出画素と参照画素を同一行に配置

図10は、読出画素と参照画素を同一行に配置する場合の構成を示す回路図である。

【0150】

図10には、差動画素読出し回路50Aにおいて、画素アレイ部11に配置される参照画素100Rとして、撮像時の被写体から得られる信号を蓄積及び読み出しする有効画素であって、読出画素100Sに近接する同一行の画素を用いた例を示している。

10

【0151】

このとき、有効画素は、信号の蓄積及び読み出しの他に、参照画素100Rに切り替え可能で、例えば、画素駆動線31(図6)とカラム読出し回路部13(図6)の切り替えスイッチによって、読出画素100Sと参照画素100Rの画素ペアを入れ替えながら、アドレスを走査して、画素アレイ部11に、2次元配置された全有効画素を読み出すことが可能となる。

【0152】

なお、図10の画素アレイ部11では、読出画素100Sと参照画素100Rとが同一行で、左右に隣接して配置されているが、読出画素100Sと参照画素100Rとの間に、差動駆動とは無関係な画素が挿入されていてもよい。

20

【0153】

この場合、1カラム当たりの貫通縦配線(垂直信号線22、垂直リセット入力線61、及び垂直電流供給線62)と、AD変換器の数を少なくすることができるが、同一行の2画素の駆動信号(TRG, RST)を独立に駆動する必要性から、画素アレイ部11を横切る画素駆動線31の1行当たりの数を増やす必要はある。

【0154】

また、図10の画素アレイ部11において、同一行で左右に隣接した読出画素100Sと参照画素100Rとは、入れ替えるようにしてもよい。

【0155】

30

(B) 読出画素と参照画素を同一列に配置

図11は、読出画素と参照画素を同一列に配置する場合の構成を示す回路図である。

【0156】

図11には、差動画素読出し回路50Bにおいて、画素アレイ部11に配置される参照画素100Rとして、撮像時の被写体から得られる信号を蓄積及び読み出しする有効画素であって、読出画素100Sに近接する同一列の画素を用いた例を示している。

【0157】

このとき、有効画素は、信号の蓄積及び読み出しの他に、参照画素100Rに切り替え可能で、例えば、画素駆動線31(図6)とカラム読出し回路部13(図6)の切り替えスイッチによって、読出画素100Sと参照画素100Rの画素ペアを入れ替えながら、アドレスを走査して、画素アレイ部11に、2次元配置された全有効画素を読み出すことが可能となる。

40

【0158】

なお、図11の画素アレイ部11では、読出画素100Sと参照画素100Rとが同一列で、上下に隣接して配置されているが、読出画素100Sと参照画素100Rとの間に、差動駆動とは無関係な画素が挿入されていてもよい。

【0159】

この場合、画素アレイ部11を横切る画素駆動線31の1行当たりの数は増加しないが、1カラム当たりの貫通縦配線(垂直信号線22、垂直リセット入力線61、及び垂直電流供給線62)と、AD変換器の数を増やす必要はある。

50

【 0 1 6 0 】

また、図 1 1 の画素アレイ部 1 1 において、同一列で上下に隣接した読出画素 1 0 0 S と参照画素 1 0 0 R とは、入れ替えるようにしてもよい。

【 0 1 6 1 】

(C) 読出画素と参照画素を異なる行及び列に配置

図 1 2 は、読出画素と参照画素が近接するが、異なる行及び列に配置する場合の構成を示す回路図である。

【 0 1 6 2 】

図 1 2 には、差動画素読出し回路 5 0 C において、画素アレイ部 1 1 に配置される参照画素 1 0 0 R として、撮像時の被写体から得られる信号を蓄積及び読み出しする有効画素であって、読出画素 1 0 0 S に近接するが、行及び列が異なる画素を用いた例を示している。

10

【 0 1 6 3 】

このとき、有効画素は、信号の蓄積及び読み出しの他に、参照画素 1 0 0 R に切り替え可能で、例えば、画素駆動線 3 1 (図 6) とカラム読出し回路部 1 3 (図 6) の切り替えスイッチによって、読出画素 1 0 0 S と参照画素 1 0 0 R の画素ペアを入れ替えながら、アドレスを走査して、画素アレイ部 1 1 に、2 次元配置された全有効画素を読み出すことが可能となる。

【 0 1 6 4 】

なお、図 1 2 の画素アレイ部 1 1 では、読出画素 1 0 0 S と参照画素 1 0 0 R とが、対角で、かつ最も近接して配置されているが、読出画素 1 0 0 S と参照画素 1 0 0 R との間には、差動駆動とは無関係な画素が挿入されていてもよい。

20

【 0 1 6 5 】

この場合、1 カラム当たりの貫通縦配線 (垂直信号線 2 2 、垂直リセット入力線 6 1 、及び垂直電流供給線 6 2) は、図 1 0 に示した構成と同様であるが、第 1 非対角画素 1 0 0 - 1 と第 2 非対角画素 1 0 0 - 2 との画素ペア、すなわち、非活性である非対角の画素ペアと、読出画素 1 0 0 S と参照画素 1 0 0 R の駆動信号 (SEL , TRG , RST) を独立に駆動する必要性から、画素アレイ部 1 1 を横切る画素駆動線 3 1 の 1 行当たりの数を増やす必要はある。

【 0 1 6 6 】

また、図 1 2 の画素アレイ部 1 1 において、行及び列が異なって隣接した読出画素 1 0 0 S と参照画素 1 0 0 R とは、入れ替えるようにしてもよい。

30

【 0 1 6 7 】

(D) カラムごとに参照専用の画素を配置

図 1 3 は、カラムごとに参照専用の画素を配置する場合の構成を示す回路図である。

【 0 1 6 8 】

図 1 3 には、差動画素読出し回路 5 0 D において、画素アレイ部 1 1 に配置される参照画素 1 0 0 R としての、カラムごとに配置された参照専用の画素と、2 次元配置された信号読み出しを行う有効画素とで画素ペア (差動対) を構成する例を示している。

【 0 1 6 9 】

ここで、画素アレイ部 1 1 において、参照画素 1 0 0 R は、参照専用の画素であって、その周辺に、列ごとに配置された有効画素と等価な画素である。また、画素アレイ部 1 1 において、2 次元配置された全有効画素は、画素駆動線 3 1 により読出画素 1 0 0 S としてのみ走査され、その信号が読み出される。

40

【 0 1 7 0 】

(E) カラムごとに参照専用のダミー画素を配置

図 1 4 は、カラムごとに参照専用のダミー画素を配置する場合の構成を示す回路図である。

【 0 1 7 1 】

図 1 4 には、差動画素読出し回路 5 0 E において、画素アレイ部 1 1 に配置される参照

50

画素 100R としての、カラムごとに配置された参照専用のダミー画素と、2次元配置された信号読み出しを行う有効画素とで画素ペア（差動対）を構成する例を示している。

【0172】

ここで、画素アレイ部 11 において、参照画素 100R は、参照専用のダミー画素であって、その周辺に、列ごとに配置された有効画素と同様のリセットフィールドスルー特性を示す擬似画素である。また、画素アレイ部 11 において、2次元配置された全有効画素は、画素駆動線 31 により読出画素 100S としてのみ走査され、その信号が読み出される。

【0173】

ここで、参照画素 100R は、参照専用のダミー画素として、例えば、有効画素に遮光を施した画素や、フォトダイオード等の光電変換部 111R を持たない画素とすることができる。

10

【0174】

なお、参照画素 100R としては、有効画素に遮光を施したり、光電変換部 111R を持たないようにしたりすること以外の構成は、有効画素としての読出画素 100S と同一のレイアウト構成を有する画素とすることができる。また、参照画素 100R としては、有効画素としての読出画素 100S とは異なるレイアウト構成となるが、リセットフィールドスルー特性が読出画素 100S のそれと同一になるように調整された擬似画素とすることもできる。

【0175】

20

(F) カスコード型カレントミラー回路を用いた構成

図 15 は、カスコード型カレントミラー回路を用いた構成を示す回路図である。

【0176】

図 15 には、差動画素読出し回路 50F において、カラム読出し回路部 13 のカレントミラー回路として、カスコード型カレントミラー回路 54 を構成する例を示している。

【0177】

図 15 の差動画素読出し回路 50F では、図 8 に示した差動画素読出し回路 50 と比べて、上段のカラム読出し回路部 13 において、カレントミラー回路 51 の代わりに、カスコード型カレントミラー回路 54 が設けられている。

【0178】

30

カスコード型カレントミラー回路 54 においては、読出し側 PMOS トランジスタ 541S と参照側 PMOS トランジスタ 541R の対とともに、読出し側 PMOS トランジスタ 542S と参照側 PMOS トランジスタ 542R の対が設けられ、カスコード型のカレントミラー回路を構成している。

【0179】

すなわち、読出し側 PMOS トランジスタ 541S のドレインと、読出し側 PMOS トランジスタ 542S のソースとが接続され、読出し側 PMOS トランジスタ 542S のドレインは、出力端子 53 及び読出し側垂直信号線 22S に接続されている。

【0180】

一方で、参照側 PMOS トランジスタ 541R のドレインは、参照側 PMOS トランジスタ 541R のゲートと、読出し側 PMOS トランジスタ 541S のゲートと、参照側 PMOS トランジスタ 542R のソースに接続されている。また、参照側 PMOS トランジスタ 542R のドレインは、参照側 PMOS トランジスタ 542R のゲートと、読出し側 PMOS トランジスタ 542S のゲートと、参照側垂直信号線 22R に接続されている。

40

【0181】

(G) 読出画素と参照画素を切り替え可能な構成

図 16 及び図 17 は、読出画素と参照画素を切り替え可能な構成を示す回路図である。

【0182】

図 16 には、差動画素読出し回路 50G-1 として、カラム読出し回路部 13 のスイッチ SW による切り替え前の、画素アレイ部 11 に配置される画素の構成の例を示している。

50

一方で、図 17 には、差動画素読出し回路 50G-2 として、カラム読出し回路部 13 のスイッチ SW による切り替え後の画素アレイ部 11 に配置される画素の構成の例を示している。

【0183】

図 16 の差動画素読出し回路 50G-1 において、画素アレイ部 11 には、2次元配置される画素のうち、同一行に隣接して配置される第 1 画素 100-1 と第 2 画素 100-2 が例示されている。また、上段のカラム読出し回路部 13 において、スイッチ SW1 ないし SW8 がスイッチング動作を行うことで、画素アレイ部 11 では、第 1 画素 100-1 が、読出画素 100S とされ、第 2 画素 100-2 が、参照画素 100R とされている。

【0184】

一方で、図 17 の差動画素読出し回路 50G-2 では、上段のカラム読出し回路部 13 において、スイッチ SW1 ないし SW8 がスイッチング動作を行うことで、画素アレイ部 11 では、第 1 画素 100-1 が、参照画素 100R とされ、第 2 画素 100-2 が、読出画素 100S とされている。

【0185】

すなわち、差動画素読出し回路 50G においては、上段のカラム読出し回路部 13 のスイッチ SW1 ないし SW8 がスイッチング動作を行うことにより、画素アレイ部 11 では、第 1 画素 100-1 が、読出画素 100S (図 16) から参照画素 100R (図 17) に切り替えられ、第 2 画素 100-2 が、参照画素 100R (図 16) から読出画素 100S (図 17) に切り替えられる。

【0186】

換言すれば、差動画素読出し回路 50G においては、上段のカラム読出し回路部 13 に設けられたスイッチ SW1 ないし SW8 を切り替えることで、差動対をなす画素ペア (差動ペア) の関係は同じであるが、読出画素 100S の構成と、参照画素 100R の構成とが入れ替えられていると言える。

【0187】

(切り替え可能な画素の駆動例)

ここで、図 18 のタイミングチャートを参照して、図 16 及び図 17 に示した切り替え可能な画素の駆動例について説明する。

【0188】

なお、図 18 の上段には、第 1 画素 100-1 と、第 2 画素 100-2 において、選択トランジスタ 115 と、リセットトランジスタ 113 と、転送トランジスタ 112 のゲートにそれぞれ印加される駆動信号 SEL1, RST1, TRG1 と、駆動信号 SEL2, RST2, TRG2 のタイミングチャートが示されている。

【0189】

一方で、図 18 の下段には、上段のカラム読出し回路部 13 において、スイッチ SW1 ないし SW8 のオン/オフのタイミングを示す SW1 ないし SW8 のタイミングチャートが示されている。なお、図 18 において、時間の方向は、図中の左側から右側に向かう方向とされる。

【0190】

まず、時刻 t_1 ないし時刻 t_2 の期間において、スイッチ SW8 がオン状態となって、さらに、駆動信号 RST1 と駆動信号 TRG1 として、Hレベルのパルスが印加されると、第 1 画素 100-1 の光電変換部 111 及び浮遊拡散領域 121 に蓄積されている電荷が排出される。

【0191】

これにより、第 1 画素 100-1 では、これまで光電変換部 111 に蓄積されていた電荷が掃き出され、時刻 t_1 ないし時刻 t_7 の期間においては、新たに被写体からの光から得られた電荷が、光電変換部 111 に蓄積されることになる。

【0192】

次に、時刻 t_3 ないし時刻 t_4 の期間において、スイッチ SW5 がオン状態となり、駆動信号 RST2 と駆動信号 TRG2 として、Hレベルのパルスが印加されると、第 2 の画素 100-2 の光

10

20

30

40

50

電変換部 1 1 1 及び浮遊拡散領域 1 2 1 に蓄積されている信号電荷が排出される。

【 0 1 9 3 】

これにより、第 2 の画素 1 0 0 - 2 では、これまで光電変換部 1 1 1 に蓄積されていた電荷が掃き出され、時刻 t_4 ないし時刻 t_{12} の期間においては、新たに被写体からの光から得られた電荷が、光電変換部 1 1 1 に蓄積されることになる。

【 0 1 9 4 】

次に、時刻 t_5 ないし時刻 t_{14} の期間において、選択された第 1 画素 1 0 0 - 1 及び第 2 画素 1 0 0 - 2 で、駆動信号 SEL1, SEL2 が、Lレベルから Hレベルに切り替えられると、第 1 画素 1 0 0 - 1 及び第 2 画素 1 0 0 - 2 の増幅トランジスタ 1 1 4 のソースからドレインに向けて、負荷 MOS 回路 5 2 から電流が供給される。

10

【 0 1 9 5 】

さらに、時刻 t_5 ないし時刻 t_9 の期間において、スイッチ SW2, SW3, SW5, SW8 がオン状態とされると、選択された第 1 画素 1 0 0 - 1 及び第 2 画素 1 0 0 - 2 と、カラム読出し回路部 1 3 のカレントミラー回路 5 1 は、読出画素 1 0 0 S を、第 1 画素 1 0 0 - 1 とし、参照画素 1 0 0 R を、第 2 画素 1 0 0 - 2 とする差動画素読出し回路（例えば、図 8 の差動画素読出し回路 5 0 ）と等価になる。

【 0 1 9 6 】

これにより、選択された第 1 画素 1 0 0 - 1 及び第 2 画素 1 0 0 - 2 の浮遊拡散領域 1 2 1 の FD 電位差を入力電圧信号として増幅して、垂直信号線 2 2 に出力するようになる。

【 0 1 9 7 】

20

次に、時刻 t_5 ないし時刻 t_6 の期間において、駆動信号 RST1 及び駆動信号 RST2 として、Hレベルのパルスが印加されると、第 1 画素 1 0 0 - 1 及び第 2 画素 1 0 0 - 2 で、浮遊拡散領域 1 2 1 に蓄積されていた電荷が排出され、信号レベルが初期化（リセット）される。

【 0 1 9 8 】

このリセット状態は、時刻 t_7 まで続き、その間に、第 1 画素 1 0 0 - 1 のリセットレベルとしての電圧が読み出される。

【 0 1 9 9 】

時刻 t_7 ないし時刻 t_8 の期間において、駆動信号 TRG1 として、Hレベルのパルスが印加されると、第 1 画素 1 0 0 - 1 では、光電変換部 1 1 1 に蓄積された電荷が、転送トランジスタ 1 1 2 によって、浮遊拡散領域 1 2 1 に転送される。

30

【 0 2 0 0 】

そして、第 1 画素 1 0 0 - 1 では、この転送された電荷によって、浮遊拡散領域 1 2 1 が変調され、これが、増幅トランジスタ 1 1 4 のゲートに電圧信号として入力されると、垂直信号線 2 2 に、蓄積電荷量に応じた電圧信号が出力される。

【 0 2 0 1 】

この信号読み出し状態は、時刻 t_9 において、スイッチ SW2, SW3, SW5, SW8 がオフ状態とされるまで続き、その間に、第 1 画素 1 0 0 - 1 の信号レベルとしての電圧が読み出される。

【 0 2 0 2 】

40

次に、時刻 t_{10} ないし時刻 t_{14} の期間において、スイッチ SW1, SW4, SW6, SW7 がオン状態とされると、選択された第 1 画素 1 0 0 - 1 及び第 2 画素 1 0 0 - 2 と、カラム読出し回路部 1 3 のカレントミラー回路 5 1 は、読出画素 1 0 0 S を、第 2 画素 1 0 0 - 2 とし、参照画素 1 0 0 R を、第 2 画素 1 0 0 - 2 とする差動画素読出し回路（例えば、図 8 の差動画素読出し回路 5 0 ）と等価になる。

【 0 2 0 3 】

これにより、選択された第 1 画素 1 0 0 - 1 及び第 2 画素 1 0 0 - 2 の浮遊拡散領域 1 2 1 の FD 電位差を入力電圧信号として増幅して、垂直信号線 2 2 に出力するようになる。

【 0 2 0 4 】

次に、時刻 t_{10} ないし時刻 t_{11} の期間において、駆動信号 RST1 及び駆動信号 RST2 として、

50

Hレベルのパルスが印加されると、第1画素100-1及び第2画素100-2で、浮遊拡散領域121に蓄積されていた電荷が排出され、信号レベルが初期化(リセット)される。

【0205】

このリセット状態は、時刻 t_{12} まで続き、その間に、第2画素100-2のリセットレベルとしての電圧が読み出される。

【0206】

時刻 t_{12} ないし時刻 t_{13} の期間において、駆動信号TRG2として、Hレベルのパルスが印加されると、第2画素100-2では、光電変換部111に蓄積された電荷が、転送トランジスタ112によって、浮遊拡散領域121に転送される。

10

【0207】

そして、第1画素100-2では、この転送された電荷によって、浮遊拡散領域121が変調され、これが、増幅トランジスタ114のゲートに電圧信号として入力されると、垂直信号線22に、蓄積電荷量に応じた電圧信号が出力される。

【0208】

この信号読み出し状態は、時刻 t_{14} において、スイッチSW1, SW4, SW6, SW7がオフ状態とされるまで続き、その間に、第2画素100-2の信号レベルとしての電圧が読み出される。

【0209】

なお、カラム信号処理部14(図6)では、第1画素100-1及び第2画素100-2のそれぞれについて、このようにして読み出されたりリセットレベルと信号レベルとの差分をとることでノイズを除去する相関二重サンプリング処理が行われ、ノイズが除去された画素信号が読み出される。

20

【0210】

(H)SFモードと差動モードを切り替え可能な構成

【0211】

ところで、差動型の増幅読み出しは、高い変換効率を得られるために、例えば、明時には、ダイナミックレンジの大きいソースフォロア型の読み出しで、読み出しが行われることが望ましい。すなわち、ソースフォロア型の読み出し(以下、SFモードという)と、差動型の増幅読み出し(以下、差動モードという)とを適宜切り替えることで、より適切な読み出しを行うことができる場合がある。

30

【0212】

図19ないし図21は、SFモードと差動モードとを切り替え可能な構成を示す回路図である。

【0213】

図19には、画素読み出し回路50H-1として、カラム読み出し回路部13のスイッチSWによりSFモードに切り替えられた、画素アレイ部11に配置される画素の構成の例を示している。一方で、図20及び図21には、画素読み出し回路50H-2, 50H-3として、カラム読み出し回路部13のスイッチSWにより差動モードに切り替えられた、画素アレイ部11に配置される画素の構成の例を示している。

40

【0214】

図19の画素読み出し回路50H-1において、画素アレイ部11には、2次元配置される画素のうち、同一行に隣接して配置される第1画素100-1と第2画素100-2が例示されている。

【0215】

図19の画素読み出し回路50H-1において、カラム読み出し回路部13のスイッチSW0, SW11ないしSW17, SW21ないしSW27が、スイッチング動作を行い、SFモードに遷移することで、第1画素100-1と第2画素100-2を独立に、ソースフォロア型の読み出しが行われる。

【0216】

50

なお、図 19 の画素読出し回路 50H - 1 において、回路の配線のうち、太線で強調した部分が、SFモードでの動作時に有効とされる部分である。

【0217】

一方で、図 20 の画素読出し回路 50H - 2 において、コラム読出し回路部 13 のスイッチ SW0, SW11 ないし SW17, SW21 ないし SW27 が、スイッチング動作を行い、差動モードに遷移することで、画素アレイ部 11 では、第 1 画素 100 - 1 が読出画素 100S とされ、第 2 画素 100 - 2 が参照画素 100R とされて、第 1 画素 100 - 1 の差動型の増幅読み出しが行われる。

【0218】

なお、図 20 の画素読出し回路 50H - 2 において、回路の配線のうち、太線で強調した部分が、差動モードでの動作時に有効とされる部分である。

10

【0219】

また、図 21 の画素読出し回路 50H - 3 において、コラム読出し回路部 13 のスイッチ SW0, SW11 ないし SW17, SW21 ないし SW27 が、スイッチング動作を行い、差動モードに遷移することで、画素アレイ部 11 では、第 1 画素 100 - 1 が参照画素 100R とされ、第 2 画素 100 - 2 が読出画素 100S とされて、第 2 画素 100 - 2 の差動型の増幅読み出しが行われる。

【0220】

なお、図 21 の画素読出し回路 50H - 3 において、回路の配線のうち、太線で強調した部分が、差動モードでの動作時に有効とされる部分である。

20

【0221】

このように、画素読出し回路 50H においては、コラム読出し回路部 13 のスイッチ SW0, SW11 ないし SW17, SW21 ないし SW27 が、スイッチング動作を行うことにより、画素アレイ部 11 では、第 1 画素 100 - 1 が、SFモードに対応した画素（図 19）のほか、差動モードに対応した読出画素 100S（図 20）又は参照画素 100R（図 21）に切り替えられ、第 2 画素 100 - 2 が、SFモードに対応した画素（図 19）のほか、差動モードに対応した参照画素 100R（図 20）又は読出画素 100S（図 21）に切り替えられる。

【0222】

換言すれば、画素読出し回路 50H においては、コラム読出し回路部 13 に設けられたスイッチ SW0, SW11 ないし SW17, SW21 ないし SW27 を切り替えることで、ソースフォロア型の読み出しを行うだけでなく、差動型の増幅読み出しを行う際には、差動対をなす画素ペア（差動ペア）の構成を入れ替えることができる。

30

【0223】

（SFモードの駆動例）

ここで、図 22 のタイミングチャートを参照して、図 19 に示した SFモードに切り替えられた画素の駆動例について説明する。

【0224】

なお、図 22 の上段には、第 1 画素 100 - 1 と、第 2 画素 100 - 2 において、選択トランジスタ 115 と、リセットトランジスタ 113 と、転送トランジスタ 112 のゲートにそれぞれ印加される駆動信号 SEL1, RST1, TRG1 と、駆動信号 SEL2, RST2, TRG2 のタイミングチャートが示されている。

40

【0225】

一方で、図 22 の下段には、コラム読出し回路部 13 において、スイッチ SW0, スイッチ SW11 ないし SW17, 及びスイッチ SW21 ないし SW27 のオン/オフのタイミングを示す SW0, SW11 ないし SW17, SW21 ないし SW27 のタイミングチャートが示されている。なお、図 22 において、時間の方向は、図中の左側から右側に向かう方向とされる。

【0226】

ただし、説明の都合上、図 22 のタイミングチャートは、上述した図 18 に示したタイミングチャートと基本的に対応するように記述しているが、図 22 の駆動例では、時刻 t_3

50

ないし時刻 t_5 の期間と、時刻 t_{10} ないし時刻 t_{14} の期間での駆動が、第1画素100-1と第2画素100-2の読み出しに寄与していない点が、特に、図18の駆動例とは異なっている。

【0227】

まず、時刻 t_1 ないし時刻 t_2 の期間において、スイッチSW17, SW27がオン状態となつて、さらに、駆動信号RST1, RST2と駆動信号TRG1, TRG2として、Hレベルのパルスが印加されると、第1画素100-1及び第2画素100-2の光電変換部111及び浮遊拡散領域121に蓄積されている電荷が排出される。

【0228】

これにより、第1画素100-1及び第2画素100-2では、これまで光電変換部111に蓄積されていた電荷が掃き出され、時刻 t_1 ないし時刻 t_7 の期間においては、新たに被写体からの光から得られた電荷が、光電変換部111に蓄積されることになる。

【0229】

次に、時刻 t_5 ないし時刻 t_9 の期間において、選択された第1画素100-1及び第2画素100-2で、駆動信号SEL1, SEL2が、LレベルからHレベルに切り替えられると、第1画素100-1及び第2画素100-2の増幅トランジスタ114のソースからドレインに向けて、負荷MOS回路52から電流が供給される。

【0230】

さらに、時刻 t_5 ないし時刻 t_9 の期間において、スイッチSW12, SW14, SW17及びスイッチSW22, SW24, SW27がオン状態とされ、それ以外のスイッチSWがオフ状態とされると、選択された第1画素100-1及び第2画素100-2の読み出し回路は、ソースフォロア型の読み出し回路と等価になる。

【0231】

これにより、選択された第1画素100-1及び第2画素100-2では、浮遊拡散領域121のFD電位を入力電圧信号として増幅して、垂直信号線22に出力するようになる。

【0232】

次に、時刻 t_5 ないし時刻 t_6 の期間において、駆動信号RST1及び駆動信号RST2として、Hレベルのパルスが印加されると、第1画素100-1及び第2画素100-2では、浮遊拡散領域121に蓄積されていた電荷が排出され、信号レベルが初期化(リセット)される。

【0233】

このリセット状態は、時刻 t_7 まで続き、その間に、第1画素100-1及び第2画素100-2のリセットレベルとしての電圧が読み出される。

【0234】

時刻 t_7 ないし時刻 t_8 の期間において、駆動信号TRG1及び駆動信号TRG2として、Hレベルのパルスが印加されると、第1画素100-1及び第2画素100-2では、光電変換部111に蓄積された電荷が、転送トランジスタ112によって、浮遊拡散領域121に転送される。

【0235】

そして、第1画素100-1及び第2画素100-2では、この転送された電荷によって、浮遊拡散領域121が変調され、これが、増幅トランジスタ114のゲートに電圧信号として入力されると、垂直信号線22に、蓄積電荷量に応じた電圧信号が出力される。

【0236】

この信号読み出し状態は、時刻 t_9 において、スイッチSW12, SW14, SW17及びスイッチSW22, SW24, SW27がオフ状態とされるまで続き、その間に、第1画素100-1及び第2画素100-2の信号レベルとしての電圧が読み出される。

【0237】

なお、カラム信号処理部14(図6)では、第1画素100-1及び第2画素100-2のそれぞれについて、このようにして読み出されたりセットレベルと信号レベルとの差

10

20

30

40

50

分をとることでノイズを除去する相関二重サンプリング処理が行われ、ノイズが除去された画素信号が読み出される。

【0238】

(差動モードの駆動例)

次に、図23のタイミングチャートを参照して、図20及び図21に示した差動モードに切り替えられた画素の駆動例について説明する。

【0239】

なお、図23の上段には、第1画素100-1と、第2画素100-2において、選択トランジスタ115と、リセットトランジスタ113と、転送トランジスタ112のゲートにそれぞれ印加される駆動信号SEL1, RST1, TRG1と、駆動信号SEL2, RST2, TRG2のタイ

10

ミングチャートが示されている。

【0240】

一方で、図23の下段には、カラム読出し回路部13において、スイッチSW0, スイッチSW11ないしSW17, 及びスイッチSW21ないしSW27のオン/オフのタイミングを示すSW0, SW11ないしSW17, SW21ないしSW27のタイミングチャートが示されている。なお、図23において、時間の方向は、図中の左側から右側に向かう方向とされる。

【0241】

ただし、説明の都合上、図23のタイミングチャートは、上述した図18に示したタイミングチャートと基本的に対応するように記述しているが、図23の駆動例は、図18の駆動例と比べて、読出画素100Sと参照画素100Rを切り替えるだけでなく、SFモードと差動モードを切り替える必要があるため、スイッチSWの数が増加しており、そのスイッチング制御が異なっている。

20

【0242】

すなわち、図23のタイミングチャートにおいて、駆動信号SEL1, RST1, TRG1と、駆動信号SEL2, RST2, TRG2として、Hレベルのパルスが印加されるタイミングは、図18のタイミングチャートと同様である。

【0243】

一方で、図23のタイミングチャートでは、時刻 t_5 ないし時刻 t_9 の期間において、スイッチSW0, スイッチSW11ないしSW17, 及びスイッチSW21ないしSW27のうち、スイッチSW0, SW13, SW15, SW21, SW23, SW26がオン状態となり、それ以外のスイッチSWがオフ状態となる。これにより、画素アレイ部11では、第1画素100-1が読出画素100Sとされ、第2画素100-2が参照画素100Rとされて、第1画素100-1の差動型の増幅読み出しが行われる。

30

【0244】

また、図23のタイミングチャートでは、時刻 t_{10} ないし時刻 t_{14} の期間において、スイッチSW0, スイッチSW11ないしSW17, 及びスイッチSW21ないしSW27のうち、スイッチSW0, SW11, SW13, SW16, SW23, SW25がオン状態となり、それ以外のスイッチSWがオフ状態となる。これにより、画素アレイ部11では、第1画素100-1が参照画素100Rとされ、第2画素100-2が読出画素100Sとされて、第2画素100-2の差動型の増幅読み出しが行われる。

40

【0245】

以上のように、画素読出し回路50Hでは、カラム読出し回路部13において、スイッチSW0, スイッチSW11ないしSW17, 及びスイッチSW21ないしSW27がスイッチング動作を行うことで、差動モードでの読み出しと、SFモードでの読み出しとを、容易に切り替えることができる。そのため、例えば、明時において、ダイナミックレンジの大きいソースフォロア型の読み出しに切り替えることができる。

【0246】

(第1の実施の形態の構成で得られる効果)

次に、図24を参照しながら、第1の実施の形態として、リセット電圧を外部印加及び負帰還で設定する構成を採用することで得られる効果を説明する。

50

【 0 2 4 7 】

なお、図 2 4 の上段には、読出画素 1 0 0 S において、選択トランジスタ 1 1 5 S と、リセットトランジスタ 1 1 3 S と、転送トランジスタ 1 1 2 S のゲートにそれぞれ印加される駆動信号 SEL1, RST1, TRG1 のタイミングチャートが示されている。

【 0 2 4 8 】

また、図 2 4 の中段には、参照画素 1 0 0 R において、選択トランジスタ 1 1 5 R と、リセットトランジスタ 1 1 3 R と、転送トランジスタ 1 1 2 R のゲートにそれぞれ印加される駆動信号 TRG2, RST2, SEL2 のタイミングチャートが示されている。

【 0 2 4 9 】

図 2 4 の上段と中段のタイミングチャートは、上述した図 9 に示したタイミングチャートと同様であるため、その説明は適宜省略するが、図 2 4 のタイミングチャートには、下段に、 V_{VRD} , V_{FD} , V_{VSL} , V_{COM} の電圧波形のタイミングチャートが示されている。

10

【 0 2 5 0 】

ただし、 V_{VRD} は、垂直リセット入力線 (VRD) 6 1 に印加される電圧の波形を示し、 V_{FD} は、浮遊拡散領域 (FD) 1 2 1 の FD 電圧 (FD 電位) の波形を示し、 V_{VSL} は、出力端子 5 3 に接続された垂直信号線 (VSL) 2 2 に印加される電圧 (VSL 電位) の波形を示し、 V_{COM} は、負荷 MOS 回路 5 2 に接続された垂直電流供給線 6 2 に印加される電圧の波形を示している。

【 0 2 5 1 】

ここで、時刻 t_3 ないし時刻 t_4 の期間に注目すれば、駆動信号 RST1 及び駆動信号 RST2 として、H レベルのパルスが印加されると、読出画素 1 0 0 S 及び参照画素 1 0 0 R で、浮遊拡散領域 1 2 1 S 及び浮遊拡散領域 1 2 1 R に蓄積されていた電荷が排出され、信号レベルが初期化 (リセット) される。

20

【 0 2 5 2 】

このとき、差動画素読出し回路 5 0 において、出力端子 5 3 は、読出し側垂直リセット入力線 6 1 S 及びリセットトランジスタ 1 1 3 S を通じて、浮遊拡散領域 1 2 1 S に電氣的に接続される。その結果として、差動画素読出し回路 5 0 では、出力端子 5 3 が一方の入力側の浮遊拡散領域 1 2 1 S に負帰還されて仮想接地状態となるため、電源 V_{rst} に外部印加で固定されている他方の入力側の浮遊拡散領域 1 2 1 R と、浮遊拡散領域 1 2 1 S 及び出力端子 5 3 とが同電位となる。

30

【 0 2 5 3 】

その後、時刻 t_4 ないし時刻 t_5 の期間において、駆動信号 RST1 及び駆動信号 RST2 として、L レベルのパルスが印加されると、読出画素 1 0 0 S 及び参照画素 1 0 0 R では、浮遊拡散領域 1 2 1 S は、読出し側垂直リセット入力線 6 1 S と電氣的に切断され、浮遊拡散領域 1 2 1 R は、参照側垂直リセット入力線 6 1 R と電氣的に切断され、それぞれ浮遊状態となる。

【 0 2 5 4 】

このとき、読出画素 1 0 0 S の浮遊拡散領域 1 2 1 S と、参照画素 1 0 0 R の浮遊拡散領域 1 2 1 R は、ほぼ等価な構造であるから、リセットオフ時の電位変動 (リセットフィールドスルー) もほぼ同じで、浮遊拡散領域 1 2 1 S の FD 電位と、浮遊拡散領域 1 2 1 R の FD 電位は、ほぼ同じ動きをする。

40

【 0 2 5 5 】

そのため、差動画素読出し回路 5 0 の出力端子 5 3 からの出力は、リセットオン時の電圧 V_{rst} から、ほとんど変化せず、この状態が差動増幅読出しにおけるリセット状態 (初期状態) となり、この出力レベルが、リセットレベル (初期レベル) とされる。このリセット状態は、時刻 t_5 で、信号電荷の転送が行われるまで続き、リセットレベルとしての電圧が読み出される。

【 0 2 5 6 】

このように、差動増幅読出しを行うことで、高い変換効率 (増幅率) を実現しつつ、リセットフィールドスルーによるリセットレベルの読み出し可能レンジ外れを抑制することが可

50

能になるが、第1の実施の形態では、さらに、リセット電圧を外部印加及び負帰還で設定する構成を採用することで、リセット時の読出画素100SのFD電位(FD電圧)を所望の値に制御することができるようにしている。

【0257】

例えば、高い変換効率(増幅率)の増幅回路では、動作点が転送に不利になることが知られているが、読出画素100SのFD電位を所望の値に制御することで、光電変換部111Sからの電荷転送が可能で、かつ、画素の出力電圧の振幅が大きく取れる初期FD電圧を設定するといったことが可能となる。

【0258】

以上、第1の実施の形態について説明した。

10

【0259】

<4.第2の実施の形態>

【0260】

次に、図25ないし図32を参照しながら、第2の実施の形態として、差動型の増幅読み出しによって、高い変換効率(増幅率)を実現しつつ、ノイズ増加を抑圧するための構成について説明する。

【0261】

(画素読出し回路の構成例)

図25は、第2の実施の形態の画素読出し回路の構成例を示す回路図である。

【0262】

20

図25において、画素読出し回路は、画素アレイ部11に配置される画素100と、PMOSトランジスタ511からなるカレントミラー回路51と、画素に定電流を供給する負荷MOS回路52とで構成される。

【0263】

画素アレイ部11において、画素100の*i*行*j*列を、画素100-*ij*で表せば、画素100-11は、フォトダイオード(PD)等の光電変換部111に加えて、例えば、転送トランジスタ112、リセットトランジスタ113、増幅トランジスタ114、及び選択トランジスタ115の4つの画素トランジスタを有している。

【0264】

画素100-11において、リセットトランジスタ113のドレインは、リセット入力線61-1に接続されている。増幅トランジスタ114のソースは、垂直電流供給線62-1に接続されている。増幅トランジスタ114のドレインは、選択トランジスタ115Sのソースと接続され、選択トランジスタ115のドレインは、垂直信号線22-1と接続されている。

30

【0265】

転送トランジスタ112のゲート、リセットトランジスタ113のゲート、及び選択トランジスタ115のゲートには、画素駆動線31(図6)を介して、垂直駆動部12と接続され、駆動信号(TRGi, RSTi, SELi)としてのパルスがそれぞれ供給される。

【0266】

また、画素100-12は、画素100-11と同様に、光電変換部111に加えて、4つの画素トランジスタを有しているが、転送トランジスタ112、リセットトランジスタ113、及び選択トランジスタ115のゲートに、駆動信号(TRGj, RSTj, SELj)が供給される点で異なっている。

40

【0267】

すなわち、画素アレイ部11において、各画素100は、同様の構成からなるが、転送トランジスタ112、リセットトランジスタ113、及び選択トランジスタ115のゲートに供給される駆動信号が、例えば、奇数列の画素と偶数列の画素とで異なる。

【0268】

より具体的には、奇数列の画素100-11や画素100-13に対しては、駆動信号(TRGi, RSTi, SELi)が供給され、偶数列の画素100-12や画素100-14に対し

50

ては、駆動信号（TRG_j，RST_j，SEL_j）が供給される。

【0269】

ここで、図25の画素読出し回路には、スイッチSFEN、スイッチDAEN、スイッチDAS1、及びスイッチDAS2が設けられ、これらのスイッチがオン/オフのスイッチング動作を行うことで、SFモードと差動モードとが切り替えられる。

【0270】

また、図25の画素読出し回路には、上段と下段にスイッチDAHZが設けられ、上段のスイッチDAHZがオン状態になることで、PMOSトランジスタ511の対からなるカレントミラー回路51のバイアス電圧が横繋ぎで接続される。一方で、下段のスイッチDAHZがオン状態になることで、NMOSトランジスタ等から構成される負荷MOS回路52による定電流源ノードが横繋ぎで接続される。

10

【0271】

なお、差動モードに切り替えられた場合の画素読出し回路の構成については、後述する図26及び図27の回路図を参照して説明し、その駆動例は、後述する図29のタイミングチャートを参照して説明する。また、SFモードに切り替えられた場合の画素読出し回路の構成については、図28の回路図を参照して説明し、その駆動例は、後述する図30のタイミングチャートを参照して説明する。

【0272】

（差動モードの構成）

図26及び図27は、差動モード時に、読出画素と参照画素を切り替え可能な構成を示す回路図である。

20

【0273】

図26及び図27には、画素読出し回路として、スイッチSFENをオフ状態とし、かつ、スイッチDAENをオン状態とすることで、差動モードに切り替えられた、画素アレイ部11に配置される画素の構成の例を示している。

【0274】

また、図26の画素読出し回路では、スイッチDAS1をオン状態とし、かつ、スイッチDAS2をオフ状態とすることで、画素アレイ部11に配置される画素のうち、例えば、奇数列の画素100-11及び画素100-13が参照画素100Rとされ、偶数列の画素100-12及び画素100-14が読出画素100Sとされる。これにより、差動型の増幅読み出しが行われる。

30

【0275】

一方で、図27の画素読出し回路では、スイッチDAS1をオフ状態とし、かつ、スイッチDAS2をオン状態とすることで、画素アレイ部11に配置される画素のうち、例えば、奇数列の画素100-11及び画素100-13が読出画素100Sとされ、偶数列の画素100-12及び画素100-14が参照画素100Rとされる。これにより、差動型の増幅読み出しが行われる。

【0276】

ここで、図26及び図27の画素読出し回路では、上段のスイッチDAHZがオン状態となつて、PMOSトランジスタ511の対からなるカレントミラー回路51のバイアス電圧が横繋ぎで接続されている（図中のHC1）。また、下段のスイッチDAHZがオン状態となつて、NMOSトランジスタ等から構成される負荷MOS回路52による定電流源ノードが横繋ぎで接続されている（図中のHC2）。

40

【0277】

このような横繋ぎを行うことで、各参照画素100Rの増幅トランジスタ114Rでは、そのソース側とドレイン側の両方が結線され、各々の横繋ぎノードで発生するノイズが、横繋ぎ数に応じて抑圧されることになる。

【0278】

ここでは、横繋ぎHC1及び横繋ぎHC2のうち、少なくとも一方の横繋ぎを行うことで、横繋ぎノードで発生するノイズを抑圧することができるが、横繋ぎHC1及び横繋ぎHC2の両方

50

の横繋ぎを行うことで、ノイズ抑圧の効果をより高めることができる。

【0279】

また、横繋ぎHC1を実現するための上段のスイッチDAHZの全てがオン状態になる場合に限らず、スイッチDAHZの一部がオン状態になることでも、横繋ぎノードで発生するノイズを抑圧することは可能であるが、横繋ぎHC1の横繋ぎ数が多いほうがノイズ抑圧の効果をより高めることができる。同様に、横繋ぎHC2を実現するための上段のスイッチDAHZの全部又は一部がオン状態になることで、横繋ぎノードで発生するノイズを抑圧することができる。

【0280】

すなわち、横繋ぎの単位は、カラム数が多ければ多いほど、ノイズ抑圧効果は大きくなるが、画素アレイ部11に配置された画素配列の全ての画素ペア(差動対)を接続する場合に限らず、2カラム以上の単位で横繋ぎをすれば、ノイズ低減の効果を得ることができる。

10

【0281】

例えば、R(赤色)、G(緑色)、B(青色)の色別に分離して横繋ぎをしたり、あるいは、画角に応じて複数の領域で横繋ぎをしたり、それらの領域をモードに応じて切り替えられるようにしてもよい。上段又は下段のスイッチDAHZにおいては、各スイッチに供給されるDAHZ信号に応じて、スイッチング動作がなされ、横繋ぎを任意に切り離すことができる。

【0282】

このように、画素読出し回路において、参照画素100Rの増幅トランジスタ114Rでは、その全部又は一部のソース側、ドレイン側、又はソース側とドレイン側の両方を結線することができる。

20

【0283】

なお、図26の画素読出し回路において、画素100-11や画素100-13等の参照画素100Rでは、垂直信号線22は、カレントミラー回路51のPMOSトランジスタ511-1のドレイン及びゲート、並びにPMOSトランジスタ511-2のゲートに接続される。

【0284】

図26の参照画素100Rにおいて、垂直リセット入力線61は、電源Vrstに接続されており、リセット時には、この配線を通じて選択された浮遊拡散領域121、すなわち、増幅トランジスタ114の入力端子に、任意の入力電圧信号が印加される。

30

【0285】

また、図26の画素読出し回路において、画素100-12や画素100-14等の読出画素100Sでは、垂直信号線22は、垂直リセット入力線61、カレントミラー回路51のPMOSトランジスタ511-2のドレイン、及び出力端子Voutに接続される。

【0286】

図26の読出画素100Sにおいて、垂直リセット入力線61は、垂直信号線22に接続され、選択された読出画素100の浮遊拡散領域121、すなわち、増幅トランジスタ114の入力端子に接続され、リセットトランジスタ113がオンしているとき、画素読出し回路の出力信号が、負帰還される。

40

【0287】

一方で、図27の画素読出し回路において、画素100-11や画素100-13等の読出画素100Sでは、垂直信号線22は、垂直リセット入力線61、カレントミラー回路51のPMOSトランジスタ511-2のドレイン、及び出力端子Voutに接続される。

【0288】

図27の読出画素100Sでは、垂直リセット入力線61は、垂直信号線22に接続され、選択された読出画素100の浮遊拡散領域121、すなわち、増幅トランジスタ114の入力端子に接続され、リセットトランジスタ113がオンしているとき、画素読出し回路の出力信号が、負帰還される。

50

【 0 2 8 9 】

また、図 2 7 の画素読出し回路において、画素 1 0 0 - 1 2 や画素 1 0 0 - 1 4 等の参照画素 1 0 0 R では、垂直信号線 2 2 は、カレントミラー回路 5 1 の PMOS トランジスタ 5 1 1 - 2 のドレイン及びゲート、並びに PMOS トランジスタ 5 1 1 - 1 のゲートに接続される。

【 0 2 9 0 】

図 2 7 の参照画素 1 0 0 R では、垂直リセット入力線 6 1 は、電源 Vrst に接続されており、リセット時には、この配線を通じて選択された参照画素 1 0 0 R の浮遊拡散領域 1 2 1、すなわち、増幅トランジスタ 1 1 4 の入力端子に、任意の入力電圧信号が印加される。

10

【 0 2 9 1 】

すなわち、図 2 6 及び図 2 7 の画素読出し回路においては、上述した第 1 の実施の形態の差動画素読出し回路（例えば、図 8 の差動画素読出し回路 5 0）と同様の構成を有し、この差動型の増幅読み出しによって、高い変換効率を実現しつつ、リセットフィードスルーによるリセットレベルの読み出し可能レンジ外れを抑制するだけでなく、リセット時の読出画素 1 0 0 S の FD 電位を所望の値に制御することができる。

【 0 2 9 2 】

（SFモードの構成）

図 2 8 は、SFモード時の画素読出し回路の構成例を示す回路図である。

【 0 2 9 3 】

図 2 8 には、画素読出し回路として、スイッチ SFEN をオン状態とし、かつ、スイッチ DAEN, DAS1, DAS2 をオフ状態とすることで、SFモードに切り替えられた、画素アレイ部 1 1 に配置される画素の構成の例を示している。

20

【 0 2 9 4 】

図 2 8 の画素読出し回路では、スイッチ SFEN をオン状態とし、かつ、スイッチ DAEN, DAS1, DAS2 をオフ状態とすることで、画素アレイ部 1 1 に配置される全ての画素、すなわち、例えば、画素 1 0 0 - 1 1 ないし画素 1 0 0 - 1 4 のそれぞれを独立に、ソースフォロア型の読み出しが行われる。

【 0 2 9 5 】

なお、図 2 8 の画素読出し回路においては、上段及び下段のスイッチ DAHZ がオフ状態となって、差動モードの場合のような横繋ぎの接続は行われていない。

30

【 0 2 9 6 】

（差動モードの駆動例）

ここで、図 2 9 のタイミングチャートを参照して、図 2 6 及び図 2 7 に示した差動モードに切り替えられた画素の駆動例について説明する。

【 0 2 9 7 】

なお、図 2 9 の上段には、画素 1 0 0 - 1 1 と、画素 1 0 0 - 1 2 において、選択トランジスタ 1 1 5 と、リセットトランジスタ 1 1 3 と、転送トランジスタ 1 1 2 のゲートにそれぞれ印加される駆動信号 SEL_i, RST_i, TRG_i と、駆動信号 SEL_j, RST_j, TRG_j のタイミングチャートが示されている。

40

【 0 2 9 8 】

また、図 2 9 の中段には、スイッチ SFEN, DAEN, DAS1, DAS2, DAHZ のオン/オフのタイミングを示す SFEN, DAEN, DAS1, DAS2, DAEN のタイミングチャートが示されている。さらに、図 2 9 の下段には、出力端子 Vout_k, Vout_{k+1} の電圧波形のタイミングチャートが示されている。なお、図 2 9 において、時間の方向は、図中の左側から右側に向かう方向とされる。

【 0 2 9 9 】

なお、図 2 9 のタイミングチャートにおいては、図 1 8 や図 2 3 のタイミングチャートの時刻 t_1 ないし時刻 t_5 の期間に示した動作を省略しているが、実際には、この時刻 t_1 ないし時刻 t_5 の期間に示した動作と同様の動作が行われる。

50

【0300】

時刻 t_1 ないし時刻 t_{11} の期間において、画素100-11及び画素100-12で、駆動信号SEL $_i$ 、SEL $_j$ がHレベルに切り替えられると、画素100-11及び画素100-12の増幅トランジスタ114のソースからドレインに向けて、負荷MOS回路52から電流が供給される。

【0301】

さらに、時刻 t_1 ないし時刻 t_6 の期間において、スイッチDAEN、DAS1がオン状態とされると、選択された画素100-11及び画素100-12と、カレントミラー回路51は、読出画素100Sを、画素100-12とし、参照画素100Rを、画素100-11とする差動画素読出し回路と等価になる。

10

【0302】

これにより、選択された画素100-11及び画素100-12の浮遊拡散領域121のFD電位差を入力電圧信号として増幅して、垂直信号線22に出力するようになる。

【0303】

次に、時刻 t_2 ないし時刻 t_3 の期間において、駆動信号RST $_i$ 及び駆動信号RST $_j$ として、Hレベルのパルスが印加されると、画素100-11及び画素100-12で、浮遊拡散領域121に蓄積されていた電荷が排出され、信号レベルが初期化(リセット)される。

【0304】

このリセット状態は、時刻 t_4 まで続き、その間に、画素100-12のリセットレベルとしての電圧が読み出される。

20

【0305】

時刻 t_4 ないし時刻 t_5 の期間において、駆動信号TRG $_j$ として、Hレベルのパルスが印加されると、画素100-12では、光電変換部111に蓄積された電荷が、転送トランジスタ112によって、浮遊拡散領域121に転送される。

【0306】

そして、画素100-12では、この転送された電荷によって、浮遊拡散領域121が変調され、これが、増幅トランジスタ114のゲートに電圧信号として入力されると、垂直信号線22に、蓄積電荷量に応じた電圧信号が出力される。

【0307】

この信号読み出し状態は、時刻 t_6 において、スイッチDAS1がオフ状態とされるまで続き、その間に、画素100-12の信号レベルとしての電圧が読み出される(図中のVoutk+1の電圧波形)。

30

【0308】

次に、時刻 t_6 ないし時刻 t_{11} の期間において、スイッチDAS1がオフ状態となる代わりに、スイッチDAS2がオン状態となって、スイッチDAEN、DAS2がオン状態とされると、選択された画素100-11及び画素100-12と、カレントミラー回路51は、参照画素100Rを、画素100-12とし、読出画素100Sを、画素100-11とする差動画素読出し回路と等価になる。

【0309】

これにより、選択された画素100-11及び画素100-12の浮遊拡散領域121のFD電位差を入力電圧信号として増幅して、垂直信号線22に出力するようになる。

40

【0310】

次に、時刻 t_7 ないし時刻 t_8 の期間において、駆動信号RST $_i$ 及び駆動信号RST $_j$ として、Hレベルのパルスが印加されると、画素100-11及び画素100-12で、浮遊拡散領域121に蓄積されていた電荷が排出され、信号レベルが初期化(リセット)される。

【0311】

このリセット状態は、時刻 t_9 まで続き、その間に、画素100-11のリセットレベルとしての電圧が読み出される。

【0312】

時刻 t_9 ないし時刻 t_{10} の期間において、駆動信号TRG $_i$ として、Hレベルのパルスが印加さ

50

れると、画素100-11では、光電変換部111に蓄積された電荷が、転送トランジスタ112によって、浮遊拡散領域121に転送される。

【0313】

そして、画素100-12では、この転送された電荷によって、浮遊拡散領域121が変調され、これが、増幅トランジスタ114のゲートに電圧信号として入力されると、垂直信号線22に、蓄積電荷量に応じた電圧信号が出力される。

【0314】

この信号読み出し状態は、時刻 t_{11} において、スイッチDAS2がオフ状態とされるまで続き、その間に、画素100-12の信号レベルとしての電圧が読み出される（図中のVoutkの電圧波形）。

10

【0315】

ここで、時刻 t_1 ないし時刻 t_{11} の期間においては、常に、スイッチDAHZがオン状態となって、PMOSトランジスタ511の対からなるカレントミラー回路51のバイアス電圧が横繋ぎで接続され、さらに、NMOSトランジスタ等から構成される負荷MOS回路52による定電流源ノードが横繋ぎで接続されている。そのため、各々の横繋ぎノードで発生するノイズが、横繋ぎ数に応じて抑圧されている。

【0316】

なお、カラム信号処理部14（図6）では、画素100-11及び画素100-12のそれぞれについて、このようにして読み出されたりセットレベルと信号レベルとの差分をとることでノイズを除去する相関二重サンプリング処理が行われ、ノイズが除去された画素信号が読み出される。

20

【0317】

このように、スイッチSFENをオフ状態とし、かつ、スイッチDAENをオン状態とすることで、差動モードに切り替えられ、差動型の増幅読み出しが行われる。また、スイッチDAS1とスイッチDAS2とを排他的にオン/オフを切り替えることで、読出画素100Sと参照画素100Rを交互に切り替えての読み出しが可能となる。

【0318】

また、スイッチDAHZがオン状態となることで、PMOSトランジスタ511の対からなるカレントミラー回路51のバイアス電圧が横繋ぎで接続されるとともに、読出画素100Sと参照画素100Rの画素ペア（差動対）のコモン電圧となる定電流源ノードを横繋ぎで

30

【0319】

（SFモードの駆動例）

次に、図30のタイミングチャートを参照して、図28に示したSFモードに切り替えられた画素の駆動例について説明する。

【0320】

なお、図30において、駆動信号SELi, RSTi, TRGiと、駆動信号SELj, RSTj, TRGjと、スイッチSFEN, DAEN, DAS1, DAS2, DAHZと、出力端子Voutk, Voutk+1の出力波形のタイミングチャートは、図29に示したタイミングチャートと対応している。

40

【0321】

時刻 t_1 ないし時刻 t_6 の期間において、駆動信号SELiがHレベルに切り替えられると、画素100-11の増幅トランジスタ114のソースからドレインに向けて、負荷MOS回路52から電流が供給される。

【0322】

なお、時刻 t_1 ないし時刻 t_6 の期間において、スイッチSFFNがオン状態とされる一方で、スイッチDAEN, DAS1, DAS2がオフ状態とされることで、選択された画素100-11の読出し回路は、ソースフォロア型の読出し回路と等価になる。これにより、選択された画素100-11で、浮遊拡散領域121のFD電位を入力電圧信号として増幅して、垂直信号線22に出力するようになる。

50

【0323】

時刻 t_2 ないし時刻 t_3 の期間において、駆動信号RST i として、HレベルのHレベルのパルスが印加されると、画素100-11で、浮遊拡散領域121に蓄積されていた電荷が排出され、信号レベルが初期化(リセット)される。

【0324】

このリセット状態は、時刻 t_4 まで続き、その間に、画素100-11のリセットレベルとしての電圧が読み出される。

【0325】

時刻 t_4 ないし時刻 t_5 の期間において、駆動信号TRG i として、Hレベルのパルスが印加されると、画素100-11では、光電変換部111に蓄積された電荷が、転送トランジスタ112によって、浮遊拡散領域121に転送される。

10

【0326】

そして、画素100-11では、この転送された電荷によって、浮遊拡散領域121が変調され、これが、増幅トランジスタ114のゲートに電圧信号として入力されると、垂直信号線22に、蓄積電荷量に応じた電圧信号が出力される。

【0327】

この信号読み出し状態は、時刻 t_6 まで続き、その間に、画素100-11の信号レベルとしての電圧が読み出される(図中のVout k の電圧波形)。

【0328】

次に、時刻 t_6 ないし時刻 t_{11} の期間において、駆動信号SEL i がLレベルに切り替えられ、さらに、駆動信号SEL j がHレベルに切り替えられると、画素100-12の増幅トランジスタ114のソースからドレインに向けて、負荷MOS回路52から電流が供給される。

20

【0329】

なお、時刻 t_6 ないし時刻 t_{11} の期間においては、時刻 t_1 ないし時刻 t_6 の期間と同様に、スイッチSFFNがオン状態とされ、かつ、スイッチDAEN, DAS1, DAS2がオフ状態とされる状態が継続しているため、選択された画素100-12の読み出し回路は、ソースフォロア型の読み出し回路と等価になる。

【0330】

次に、時刻 t_7 ないし時刻 t_8 の期間において、駆動信号RST j として、Hレベルのパルスが印加されると、画素100-12で、浮遊拡散領域121に蓄積されていた電荷が排出され、信号レベルが初期化(リセット)される。

30

【0331】

このリセット状態は、時刻 t_9 まで続き、その間に、画素100-12のリセットレベルとしての電圧が読み出される。

【0332】

時刻 t_9 ないし時刻 t_{10} の期間において、駆動信号TRG j として、Hレベルのパルスが印加されると、画素100-12では、光電変換部111に蓄積された電荷が、転送トランジスタ112によって、浮遊拡散領域121に転送される。

【0333】

そして、画素100-12では、この転送された電荷によって、浮遊拡散領域121が変調され、これが、増幅トランジスタ114のゲートに電圧信号として入力されると、垂直信号線22に、蓄積電荷量に応じた電圧信号が出力される。

40

【0334】

この信号読み出し状態は、時刻 t_{11} まで続き、その間に、画素100-12の信号レベルとしての電圧が読み出される(図中のVout $k+1$ の電圧波形)。

【0335】

なお、SFモードでの駆動の場合、図30の時刻 t_1 ないし時刻 t_{11} の期間において、スイッチDAHZがオフ状態となるため、カレントミラー回路51のバイアス電圧や、負荷MOS回路52による定電流源ノードについて、横繋ぎの接続はなされていない。

【0336】

50

また、カラム信号処理部 14 (図 6) では、画素 100 - 11 及び画素 100 - 12 のそれぞれについて、このようにして読み出されたりセットレベルと信号レベルとの差分をとることでノイズを除去する相関二重サンプリング処理が行われ、ノイズが除去された画素信号が読み出される。

【0337】

(差動モードの他の構成)

図 31 は、差動モード時に、読出画素と参照画素の個数が異なる場合の構成を示す回路図である。

【0338】

上述した図 26 及び図 27 に示した差動モードの構成においては、読出画素 100S と参照画素 100R の数が、1:1 の関係となっている。ここで、参照画素 100R について、横繋ぎを行う場合には、参照画素 100R の個数は、読出画素 100S の個数と必ずしも同一の個数である必要はない。

10

【0339】

例えば、図 31 においては、画素 100 - 11 や画素 100 - 13 等の奇数列の画素が参照画素 100R となっているが、参照画素 100 - 13 を不使用とすることで、参照画素 100R の個数が、読出画素 100S の個数と異なっている。

【0340】

このような構成にするには、例えば、次のような制御が行われる。すなわち、図 31 の構成において、スイッチ DAEN, DAS1 のうち、参照画素 100 - 13 に対するスイッチ DAEN, DAS1 を、スイッチ DAEN', DAS1' で表せば、参照画素 100 - 13 以外の他の画素 100 に対するスイッチ DAEN, DAS1 がオン状態のときに、参照画素 100 - 13 に対するスイッチ DAEN', DAS1' をオフ状態とすれば、参照画素 100 - 13 が不使用とされ、横繋ぎから切断することができる。

20

【0341】

なお、図 31 において、参照画素 100 - 13 に対するスイッチ DAEN', DAS1' は、スイッチ DAEN' が 2 カ所とされ、スイッチ DAS1' が 1 カ所とされる。また、参照画素 100 - 13 に対する負荷 MOS 回路 52 (図中の点線の枠 A 内の負荷 MOS 回路 52) は、参照画素 100 - 13 が不使用とされると、オフ状態となる。

【0342】

このように、参照画素 100R の一部を不使用とすることで、横繋ぎに繋がる参照画素 100R の一部を接続せずに、その個数を減らすことができる。このとき、不使用とした参照画素 100R の数だけ、負荷 MOS 回路 52 をオフ状態とすることが可能となって、消費電力を削減することができる。

30

【0343】

また、このとき、参照画素 100R のノイズ削減効果は、参照画素 100R の個数 N に対して、 $1/N$ 倍であるため、ノイズ低減効果は下がるが、十分な個数が接続されていれば、参照画素 100R のノイズが支配的にならず、電力削減効果が得られる。

【0344】

(第 2 の実施の形態の構成で得られる効果)

次に、図 32 を参照しながら、第 2 の実施の形態として、横繋ぎの構成を採用することで得られる効果を説明する。

40

【0345】

第 2 の実施の形態では、スイッチ DAHZ がオン状態となって、カレントミラー回路 51 のバイアス電圧や、負荷 MOS 回路 52 による定電流源ノードが横繋ぎされることで、各々の横繋ぎノードで発生するノイズを、横繋ぎ数に応じて抑圧することができるが、その理由は次の通りである。

【0346】

差動型の増幅読み出しによって、1 電子当たりの垂直信号線 (VSL) 22 の電圧振幅を増幅し、垂直信号線 22 以降で発生するノイズ成分を、入力換算 (信号 1 電子当たりで入

50

力換算)で、低減することができる構造でありながら、差動対の増幅トランジスタ 1 1 4 によるノイズ増加を抑制する効果が得られる。

【0347】

参照画素 1 0 0 R の増幅トランジスタ 1 1 4 で発生するランダムノイズは、それぞれの参照画素 1 0 0 R で無相関であるため、横繋ぎのノードを結線することで、ノイズが打ち消し合って抑圧することが可能となる。

【0348】

これは、参照画素 1 0 0 R 側の増幅トランジスタ 1 1 4 を共通化して結線した数だけ大きなトランジスタを用いているのと等価であって、それによって、参照画素 1 0 0 R に起因するノイズが抑えられているとも言い換えられる。

【0349】

ここで、接続した参照画素 1 0 0 R の数を、 N_{pix_ref} とすると、参照画素 1 0 0 R に起因するノイズは、 $1/N_{pix_ref}$ 倍に抑圧される。

【0350】

例えば、画素アレイ部 1 1 に、 1920×1080 画素が配列される場合において、カラム並列で信号画素を読み出し、各カラムに対となる参照画素 1 0 0 R がある場合、 $1/1920$ となり、上述した式 (7) の Vn_{pix}^2 にかかる2倍の係数は、1.02とされる。

【0351】

このとき、ノイズとしては、 $1/(1.02 \times Vn_{pix}^2) = 1.01 \times Vn_{pix}$ の関係を満たすことから、その影響は、1%以下まで抑圧することができ、さらに、 Vn_{adc} と Vn_{afe} との二乗平均であることから、参照画素 1 0 0 R の影響はさらに無視できるレベルとなる。

【0352】

図 3 2 には、縦軸を、トータルノイズ ($e-rms$) とし、横軸を、横繋ぎしたカラム数 (列) とした場合に、 Vn_{adc} と Vn_{afe} との和が $100(\mu Vrms)$ 、 Vn_{pix} が $100(\mu Vrms)$ であって、 fd が $100(\mu V/e^-)$ 、 vsl が $400(\mu V/e^-)$ である場合ときの参照画素 1 0 0 R の接続数と、トータルノイズ Vn_{total} との関係を表している。図 3 2 に示した関係から、参照画素 1 0 0 R の接続数が多いほど、ノイズ抑圧効果が大きくなることは明らかである。

【0353】

以上、第 2 の実施の形態について説明した。

【0354】

< 5 . 変形例 >

【0355】

(積層型の構成)

図 3 3 は、本技術を適用し得る積層型の固体撮像装置の構成例を示す図である。

【0356】

図 3 3 A は、非積層型の固体撮像装置の概略構成例を示している。CMOSイメージセンサ 1 0 (図 6) は、図 3 3 A に示すように、1 枚のダイ (半導体基板) 8 1 1 を有する。このダイ 8 1 1 には、画素が 2 次元配置された画素領域 8 1 2 と、画素の駆動その他の各種の制御を行う制御回路 8 1 3 と、信号処理するためのロジック回路 8 1 4 とが搭載されている。

【0357】

図 3 3 B 及び図 3 3 C は、積層型の固体撮像装置の概略構成例を示している。CMOSイメージセンサ 1 0 (図 6) は、図 3 3 B 及び図 3 3 C に示すように、センサダイ 8 2 1 とロジックダイ 8 2 4 との 2 枚のダイが積層され、電氣的に接続されて、1 つの半導体チップとして構成されている。

【0358】

図 3 3 B では、センサダイ 8 2 1 には、画素領域 8 1 2 と制御回路 8 1 3 が搭載され、ロジックダイ 8 2 4 には、信号処理を行う信号処理回路を含むロジック回路 8 1 4 が搭載されている。

10

20

30

40

50

【0359】

図33Cでは、センサダイ821には、画素領域812が搭載され、ロジックダイ824には、制御回路813及びロジック回路814が搭載されている。

【0360】

(信号処理装置の構成)

上述した説明では、CMOSイメージセンサ10等の固体撮像装置を一例に説明したが、本技術は、固体撮像装置に限らず、各種の信号処理を行う信号処理装置に適用することができる。なお、読出画素100Sと参照画素100Rにおいて、フローティングディフュージョン(FD)としての浮遊拡散領域121Sと浮遊拡散領域121Rは、サンプルホールド回路であるとも言える。すなわち、読出し側の増幅トランジスタ114Sは、複数の入力チャンネルからの各々の入力信号に応じて設けられ、サンプルホールド回路を介して入力される入力信号を増幅するものであり、参照側の増幅トランジスタ114Rは、読出し側の増幅トランジスタ114Sの各々と対になるものである。

10

【0361】

<6.電子機器の構成>

【0362】

図34は、本技術を適用した固体撮像装置を有する電子機器の構成例を示すブロック図である。

【0363】

電子機器1000は、例えば、デジタルスチルカメラやビデオカメラ等の撮像装置や、スマートフォンやタブレット型端末等の携帯端末装置などの電子機器である。

20

【0364】

電子機器1000は、固体撮像装置1001、DSP回路1002、フレームメモリ1003、表示部1004、記録部1005、操作部1006、及び、電源部1007から構成される。また、電子機器1000において、DSP回路1002、フレームメモリ1003、表示部1004、記録部1005、操作部1006、及び電源部1007は、バスライン1008を介して相互に接続されている。

【0365】

固体撮像装置1001は、上述したCMOSイメージセンサ10(図6)に対応しており、画素アレイ部11(図6)に2次元状に配置される複数の画素100に対して、差動型の増幅読み出しやソースフォロア型の読み出しが行われる。

30

【0366】

ここで、差動型の増幅読み出しの際には、参照画素100Rのリセット電圧を外部印加とし、読出画素100Sのリセット電圧は、垂直信号線22Sから負帰還をかける構成とすることができる。また、差動型の増幅読み出しの際に参照画素の増幅トランジスタのソース側、ドレイン側、又はソース側とドレイン側の両方のノードを、画素アレイ部の各列間で接続(結線)することができる。

【0367】

DSP回路1002は、固体撮像装置1001から供給される信号を処理するカメラ信号処理回路である。DSP回路1002は、固体撮像装置1001からの信号を処理して得られる画像データを出力する。フレームメモリ1003は、DSP回路1002により処理された画像データを、フレーム単位で一時的に保持する。

40

【0368】

表示部1004は、例えば、液晶パネルや有機EL(Electro Luminescence)パネル等のパネル型表示装置からなり、固体撮像装置1001で撮像された動画又は静止画を表示する。記録部1005は、固体撮像装置1001で撮像された動画又は静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。

【0369】

操作部1006は、ユーザによる操作に従い、電子機器1000が有する各種の機能についての操作指令を出力する。電源部1007は、DSP回路1002、フレームメモリ1

50

003、表示部1004、記録部1005、及び、操作部1006の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

【0370】

電子機器1000は、以上のように構成される。本技術は、以上説明したように、固体撮像装置1001に適用される。具体的には、CMOSイメージセンサ10(図6)は、固体撮像装置1001に適用することができる。

【0371】

固体撮像装置1001に本技術を適用することで、差動型の増幅読み出しの際には、参照画素100Rのリセット電圧を外部印加とし、読出画素100Sのリセット電圧は、垂直信号線22Sから負帰還をかける構成とすることができる。そのため、差動型の増幅読み出しによって、高い変換効率(増幅率)を実現しつつ、リセットフィードスルーによるリセットレベルの読み出し可能レンジ外れを抑制するだけでなく、リセット時の読出画素100SのFD電位を所望の値に制御することができる。

【0372】

また、固体撮像装置1001に本技術を適用することで、差動型の増幅読み出しの際には、参照画素の増幅トランジスタのソース側、ドレイン側、又はソース側とドレイン側の両方のノードを、画素アレイ部の各列間で接続(結線)することができる。そのため、差動型の増幅読み出しによって、高い変換効率(増幅率)を実現しつつ、ノイズ増加を抑圧することができる。

【0373】

<7. 固体撮像装置の使用例>

【0374】

図35は、本技術を適用した固体撮像装置の使用例を示す図である。

【0375】

CMOSイメージセンサ10(図6)は、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。すなわち、図35に示すように、鑑賞の用に供される画像を撮影する鑑賞の分野だけでなく、例えば、交通の分野、家電の分野、医療・ヘルスケアの分野、セキュリティの分野、美容の分野、スポーツの分野、又は、農業の分野などにおいて用いられる装置でも、CMOSイメージセンサ10を使用することができる。

【0376】

具体的には、鑑賞の分野において、例えば、デジタルカメラやスマートフォン、カメラ機能付きの携帯電話機等の、鑑賞の用に供される画像を撮影するための装置(例えば、図34の電子機器1000)で、CMOSイメージセンサ10を使用することができる。

【0377】

交通の分野において、例えば、自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置で、CMOSイメージセンサ10を使用することができる。

【0378】

家電の分野において、例えば、ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、テレビ受像機や冷蔵庫、エアコンディショナ等の家電に供される装置で、CMOSイメージセンサ10を使用することができる。また、医療・ヘルスケアの分野において、例えば、内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置で、CMOSイメージセンサ10を使用することができる。

【0379】

セキュリティの分野において、例えば、防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置で、CMOSイメージセンサ10を使用することができる。また、美容の分野において、例えば、肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置で、CMOSイメージセンサ10を使用する

10

20

30

40

50

ことができる。

【0380】

スポーツの分野において、例えば、スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置で、CMOSイメージセンサ10を使用することができる。また、農業の分野において、例えば、畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置で、CMOSイメージセンサ10を使用することができる。

【0381】

< 8 . 移動体への応用例 >

【0382】

本開示に係る技術(本技術)は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

10

【0383】

図36は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

【0384】

車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図36に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(Interface)12053が図示されている。

20

【0385】

駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

30

【0386】

ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウィンカー又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

【0387】

車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

40

【0388】

撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であ

50

っても良いし、赤外線等の非可視光であっても良い。

【0389】

車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

【0390】

マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

【0391】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0392】

また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

【0393】

音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図36の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

【0394】

図37は、撮像部12031の設置位置の例を示す図である。

【0395】

図37では、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

【0396】

撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

10

20

30

40

50

【0397】

なお、図37には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

【0398】

撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

【0399】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化(車両12100に対する相対速度)を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度(例えば、0km/h以上)で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御(追従停止制御も含む)や自動加速制御(追従発進制御も含む)等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

【0400】

例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

【0401】

撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するか否かを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

【0402】

以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12101に適用され得る。具体的には、図1のCMOSイメージセンサ10は、撮像部12031に適用することができる。撮

10

20

30

40

50

像部 1 2 0 3 1 に本開示に係る技術を適用することにより、差動型の増幅読み出しによって、高い変換効率（増幅率）を実現しつつ、リセットフィードスルーによるリセットレベルの読み出し可能レンジ外れを抑制するだけでなく、リセット時の読出画素のFD電位を所望の値に制御したり、あるいは、ノイズ増加を抑圧したりすることができるため、例えば、より高品質な撮像画像を取得して、より正確に歩行者等の障害物を認識することが可能になる。

【 0 4 0 3 】

なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

【 0 4 0 4 】

また、本技術は、以下のような構成をとることができる。

【 0 4 0 5 】

(1)

複数の入力チャネルからの各々の入力信号に応じて設けられ、サンプルホールド回路を介して入力される前記入力信号を増幅する読出し側の増幅トランジスタと、

前記読出し側の増幅トランジスタの各々と対になる参照側の増幅トランジスタと

で構成される差動増幅回路を有し、

前記読出し側の増幅トランジスタ側のサンプルホールド回路には、前記差動増幅回路の出力を負帰還として設定し、

前記参照側の増幅トランジスタ側のサンプルホールド回路には、任意の電圧を設定する信号処理装置。

(2)

前記 (1) に記載の信号処理装置において、

前記入力チャネルと前記サンプルホールド回路は、画素アレイ部に行列状に 2 次元配置される画素に含まれ、

前記画素は、

光電変換部と、

前記光電変換部で光電変換された電荷を転送する転送トランジスタと、

前記転送トランジスタにより転送された電荷を電圧信号に変換する電荷電圧変換部と

、

前記電荷電圧変換部をリセットするリセットトランジスタと

を含んで構成される

ようにした固体撮像装置。

(3)

前記画素は、前記画素を選択する選択トランジスタをさらに有し、

前記選択トランジスタは、前記読出し側の増幅トランジスタを含む読出画素と、前記参照側の増幅トランジスタを含む参照画素との任意の対を選択する

前記 (2) に記載の固体撮像装置。

(4)

前記参照側の増幅トランジスタを含む参照画素は、列単位で読み出される

前記 (2) 又は (3) に記載の固体撮像装置。

(5)

前記参照側の増幅トランジスタを含む参照画素において、前記転送トランジスタ及び前記電荷電圧変換部は、信号の蓄積及び読み出しを行う有効画素と同一に構成される

前記 (2) ないし (4) のいずれかに記載の固体撮像装置。

(6)

前記画素は、ソースフォロア型の読み出しが可能であり、

ソースフォロア型の読み出しと、差動型の増幅読み出しとを切り替える切り替え部をさらに有する

前記 (2) ないし (5) のいずれかに記載の固体撮像装置。

10

20

30

40

50

(7)

前記読出し側の増幅トランジスタを含む読出画素と、前記参照側の増幅トランジスタを含む参照画素とを切り替える切り替え部をさらに有する

前記(2)ないし(5)のいずれかに記載の固体撮像装置。

(8)

前記読出し側の増幅トランジスタにおいて前記転送トランジスタを介して読み出された信号を、前記参照側の増幅トランジスタとの差動対によって読み出した後に、前記読出し側の増幅トランジスタと前記参照側の増幅トランジスタとの結線を相補に切り替えて、切り替え前の前記参照側の増幅トランジスタにおいて前記転送トランジスタを介して読み出された信号を、切り替え前の前記読出し側の増幅トランジスタとの差動対によって読み出す

10

前記(7)に記載の固体撮像装置。

(9)

前記切り替え部は、信号の蓄積及び読み出しを行う有効画素の近傍となる有効画素を、前記参照側の増幅トランジスタを含む参照画素とする

前記(7)又は(8)に記載の固体撮像装置。

(10)

複数の参照側の増幅トランジスタは、その全部又は一部のソース側、ドレイン側、又はソース側とドレイン側の両方を結線している

前記(2)ないし(9)のいずれかに記載の固体撮像装置。

20

(11)

複数の入力チャネルからの各々の入力信号に応じて設けられ、前記入力信号を増幅する読出し側の増幅トランジスタと、

前記読出し側の増幅トランジスタの各々と対になる参照側の増幅トランジスタとで構成される差動増幅回路を有し、

複数の参照側の増幅トランジスタは、その全部又は一部のソース側、ドレイン側、又はソース側とドレイン側の両方を結線している

信号処理装置。

(12)

前記(11)に記載の信号処理装置において、

30

前記入力チャネルは、画素アレイ部に行列状に2次元配置される画素に含まれ、

前記画素は、

光電変換部と、

前記光電変換部で光電変換された電荷を転送する転送トランジスタと、

前記転送トランジスタにより転送された電荷を電圧信号に変換する電荷電圧変換部と

、

前記電荷電圧変換部をリセットするリセットトランジスタと

を含んで構成される

ようにした固体撮像装置。

(13)

40

前記画素は、前記画素を選択する選択トランジスタをさらに有し、

前記選択トランジスタは、前記読出し側の増幅トランジスタを含む読出画素と、前記参照側の増幅トランジスタを含む参照画素との任意の対を選択する

前記(12)に記載の固体撮像装置。

(14)

前記参照側の増幅トランジスタを含む参照画素は、列単位で読み出され、

前記参照側の増幅トランジスタが結線されている前記参照画素の数は、前記読出し側の増幅トランジスタを含む読出画素の数と同一であるか、あるいは前記読出画素の数よりも少ない

前記(12)又は(13)に記載の固体撮像装置。

50

(1 5)

前記参照側の増幅トランジスタを含む参照画素において、前記転送トランジスタ及び前記電荷電圧変換部は、信号の蓄積及び読み出しを行う有効画素と同一に構成される

前記(1 2)ないし(1 4)のいずれかに記載の固体撮像装置。

(1 6)

前記画素は、ソースフォロア型の読み出しが可能であり、

ソースフォロア型の読み出しと、差動型の増幅読み出しとを切り替える切り替え部をさらに有する

前記(1 2)ないし(1 5)のいずれかに記載の固体撮像装置。

(1 7)

前記読出し側の増幅トランジスタを含む読出画素と、前記参照側の増幅トランジスタを含む参照画素とを切り替える切り替え部をさらに有する

前記(1 2)ないし(1 5)のいずれかに記載の固体撮像装置。

(1 8)

前記読出し側の増幅トランジスタにおいて前記転送トランジスタを介して読み出された信号を、前記参照側の増幅トランジスタとの差動対によって読み出した後に、前記読出し側の増幅トランジスタと前記参照側の増幅トランジスタとの結線を相補に切り替えて、切り替え前の前記参照側の増幅トランジスタにおいて前記転送トランジスタを介して読み出された信号を、切り替え前の前記読出し側の増幅トランジスタとの差動対によって読み出す

前記(1 7)に記載の固体撮像装置。

(1 9)

前記切り替え部は、信号の蓄積及び読み出しを行う有効画素の近傍となる有効画素を、前記参照側の増幅トランジスタを含む参照画素とする

前記(1 7)又は(1 8)に記載の固体撮像装置。

(2 0)

前記入力信号は、サンプルホールド回路を介して、前記読出し側の増幅トランジスタと、前記参照側の増幅トランジスタに入力され、

前記読出し側の増幅トランジスタ側のサンプルホールド回路には、前記差動増幅回路の出力を負帰還として設定し、

前記参照側の増幅トランジスタ側のサンプルホールド回路には、任意の電圧を設定する

前記(1 2)ないし(1 9)のいずれかに記載の固体撮像装置。

【符号の説明】

【 0 4 0 6 】

1 0 CMOSイメージセンサ, 1 1 画素アレイ部, 1 2 垂直駆動部, 1 3 カラム読出し回路部, 1 4 カラム信号処理部, 1 5 水平駆動部, 1 6 システム制御部, 1 7 信号処理部, 1 8 データ格納部, 2 2, 2 2 R, 2 2 S 垂直信号線, 3 1 画素駆動線, 3 2 垂直画素配線, 5 0 差動画素読出し回路, 6 1, 6 1 R, 6 1 S 垂直リセット入力線, 6 2, 6 2 R, 6 2 S 垂直電流供給線, 1 0 0 画素, 1 0 0 R 参照画素, 1 0 0 S 読み出し画素, 1 1 1, 1 1 1 R, 1 1 1 S 光電変換部, 1 1 2, 1 1 2 R, 1 1 2 S 転送トランジスタ, 1 1 3, 1 1 3 R, 1 1 3 S リセットトランジスタ, 1 1 4, 1 1 4 R, 1 1 4 S 増幅トランジスタ, 1 1 5, 1 1 5 R, 1 1 5 S 選択トランジスタ, 1 0 0 0 電子機器, 1 0 0 1 固体撮像装置, 1 2 0 3 1 撮像部

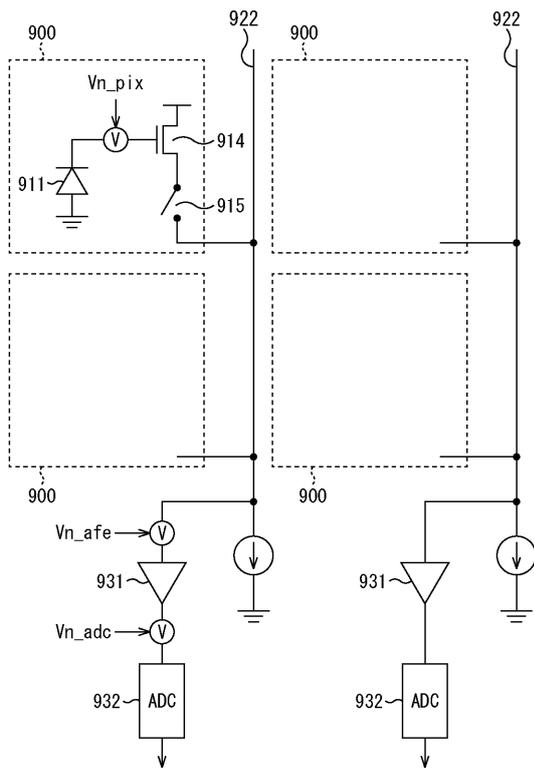
10

20

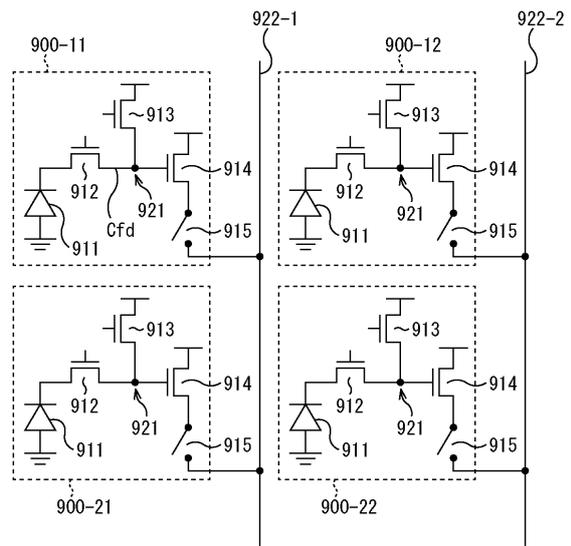
30

40

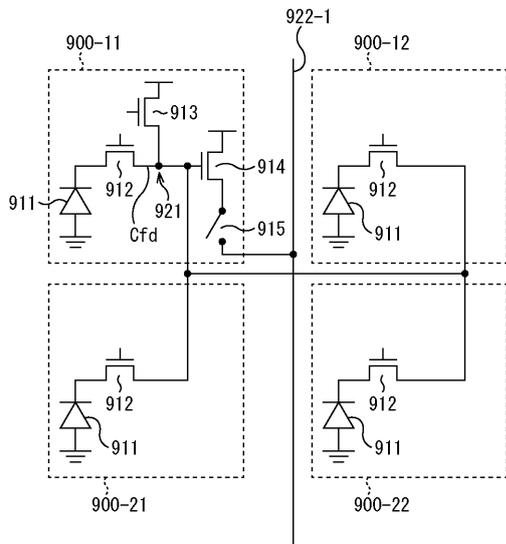
【図1】
FIG. 1



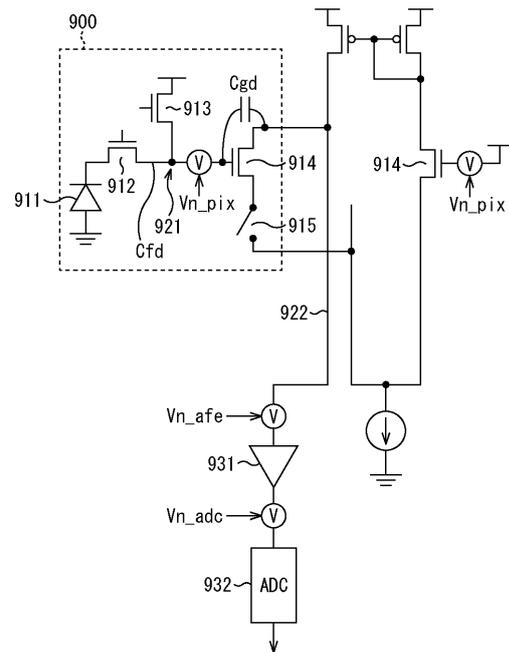
【図2】
FIG. 2



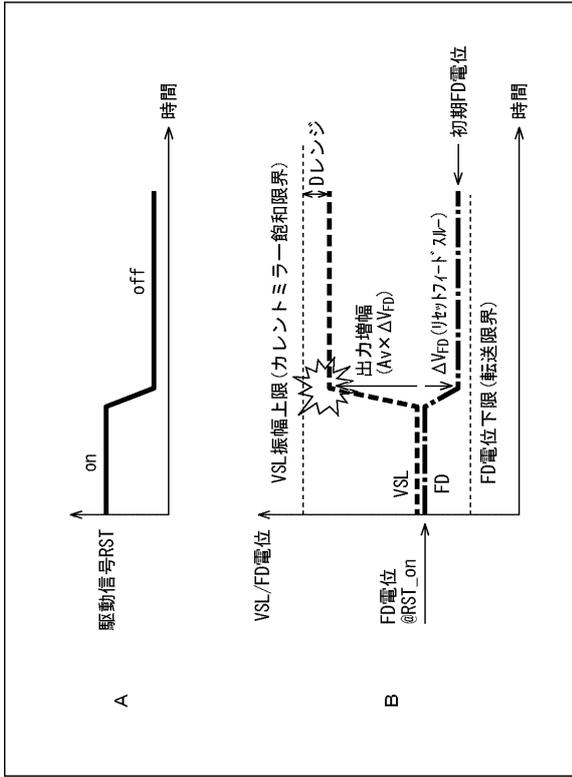
【図3】
FIG. 3



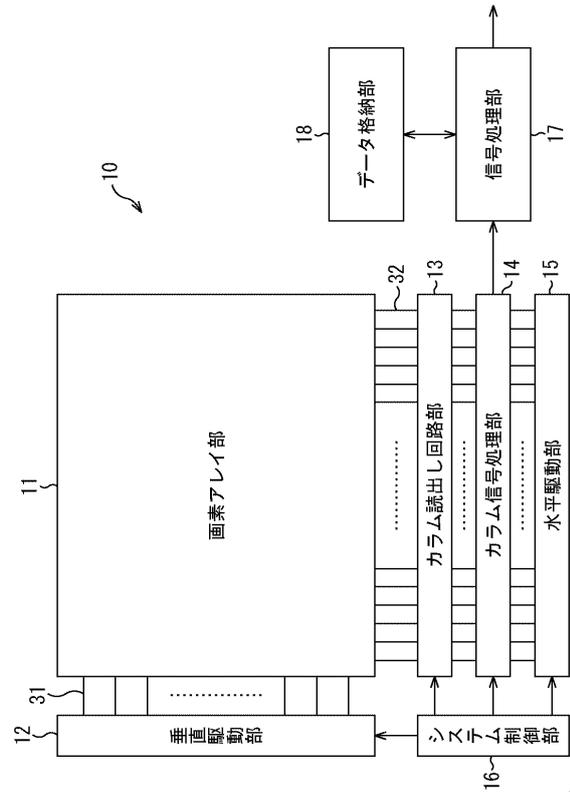
【図4】
FIG. 4



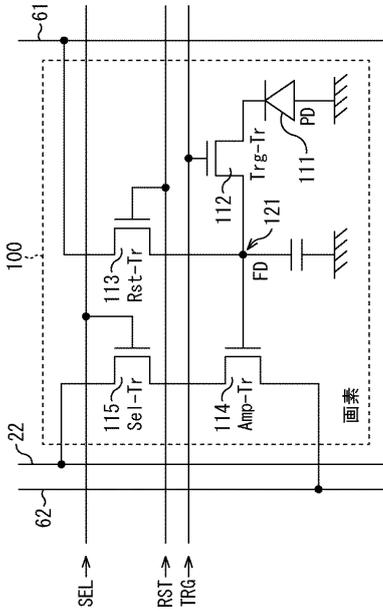
【図5】
FIG. 5



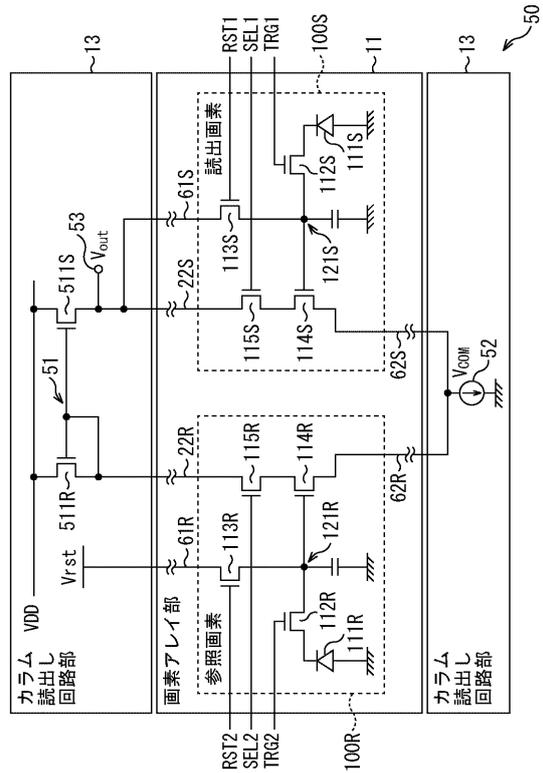
【図6】
FIG. 6



【図7】
FIG. 7

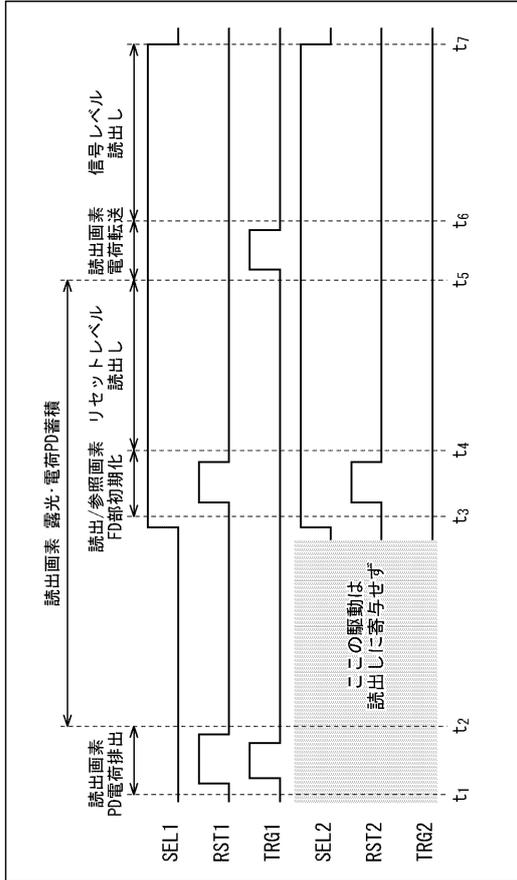


【図8】
FIG. 8



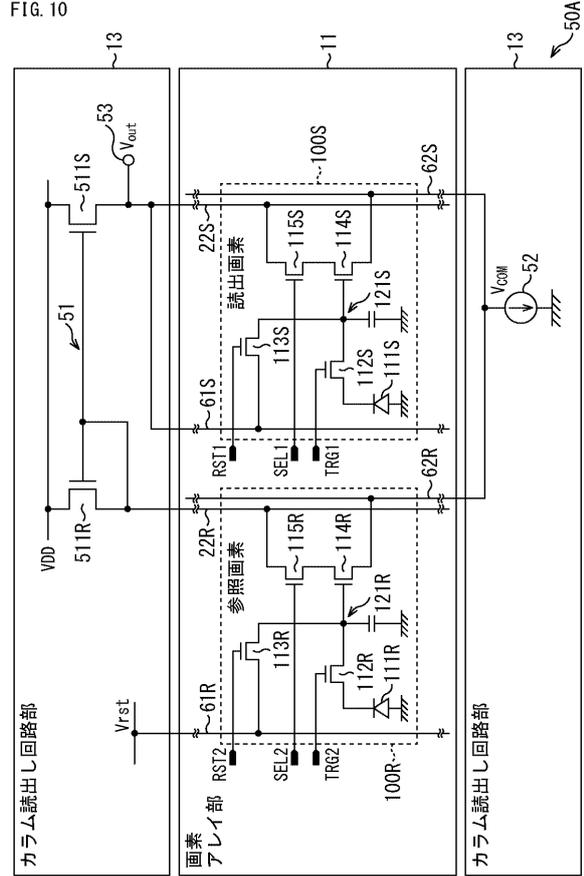
【図9】

FIG. 9



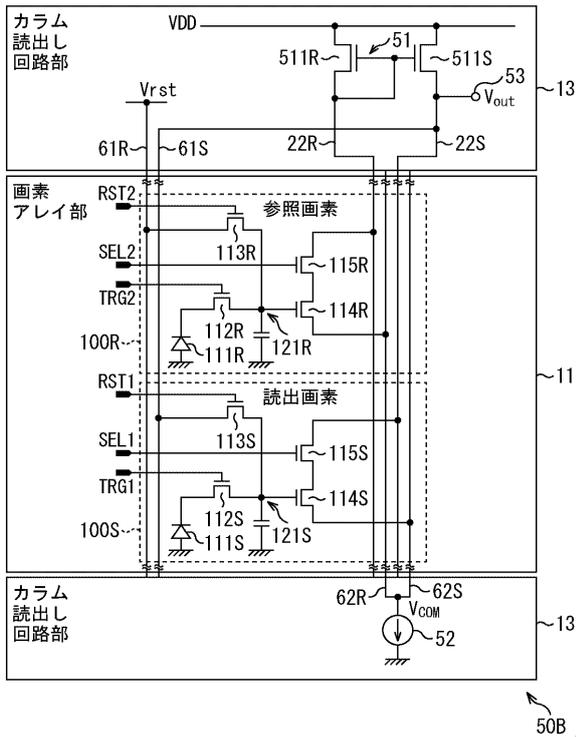
【図10】

FIG. 10



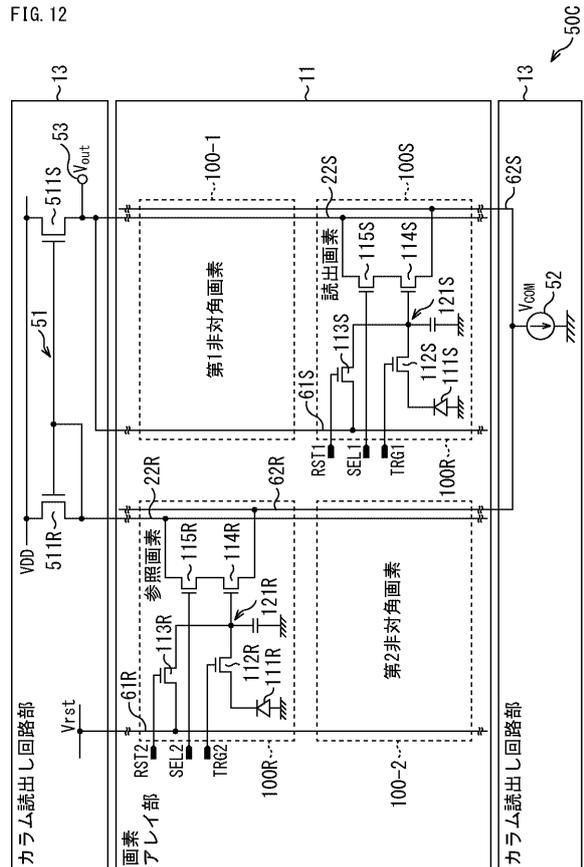
【図11】

FIG. 11

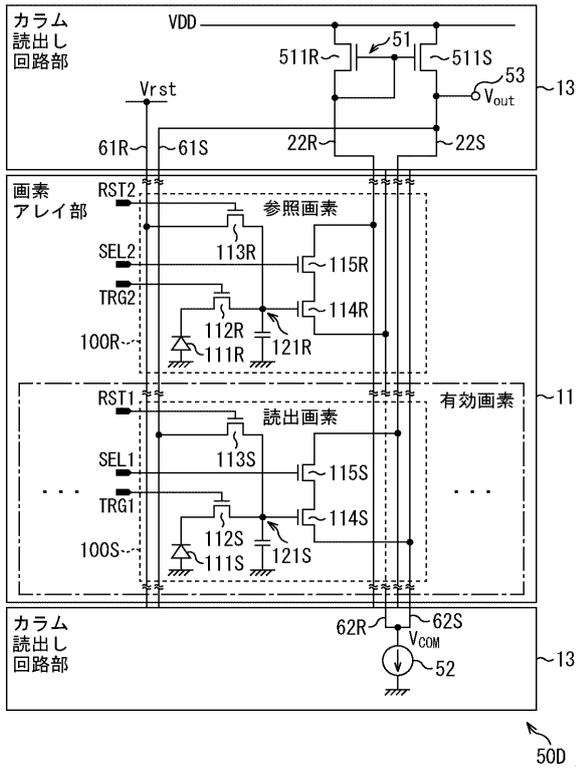


【図12】

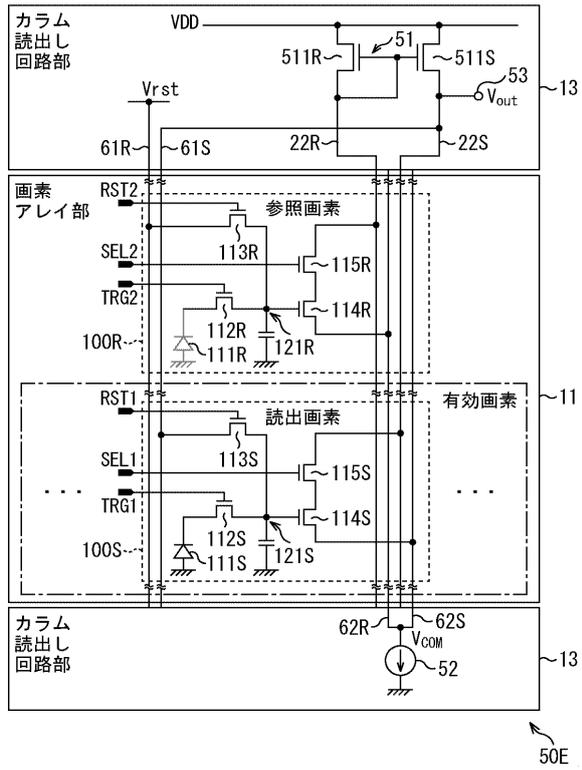
FIG. 12



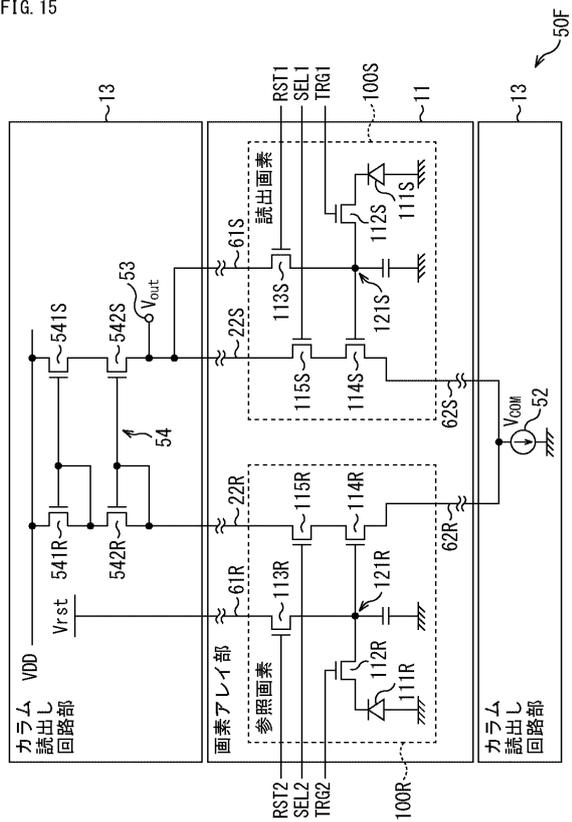
【図13】
FIG. 13



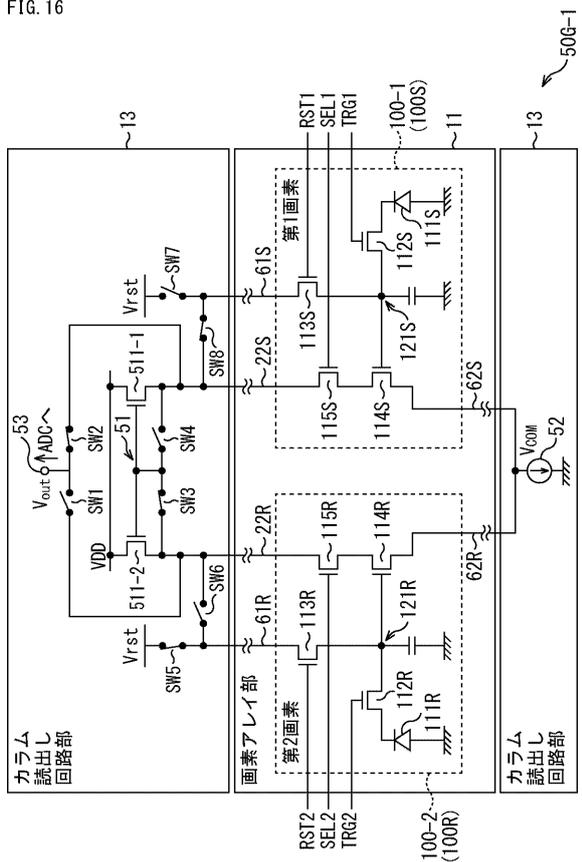
【図14】
FIG. 14



【図15】
FIG. 15

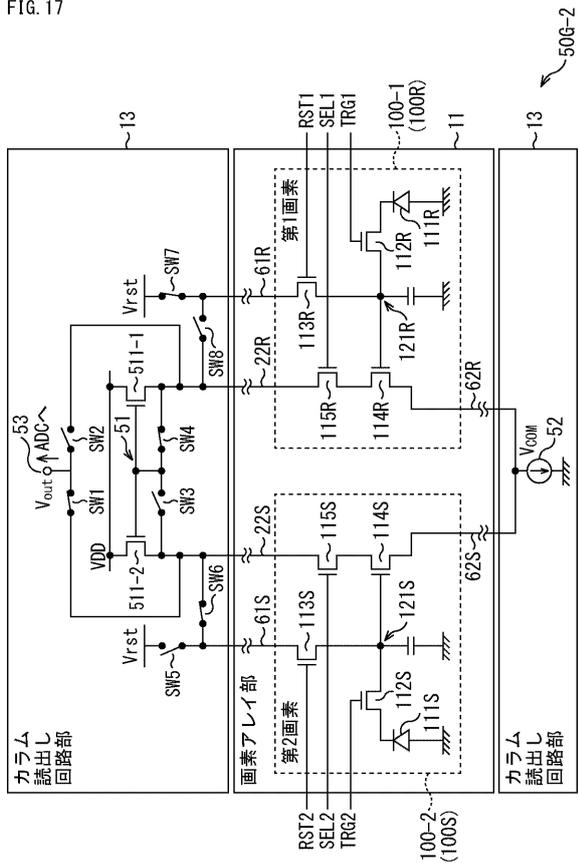


【図16】
FIG. 16



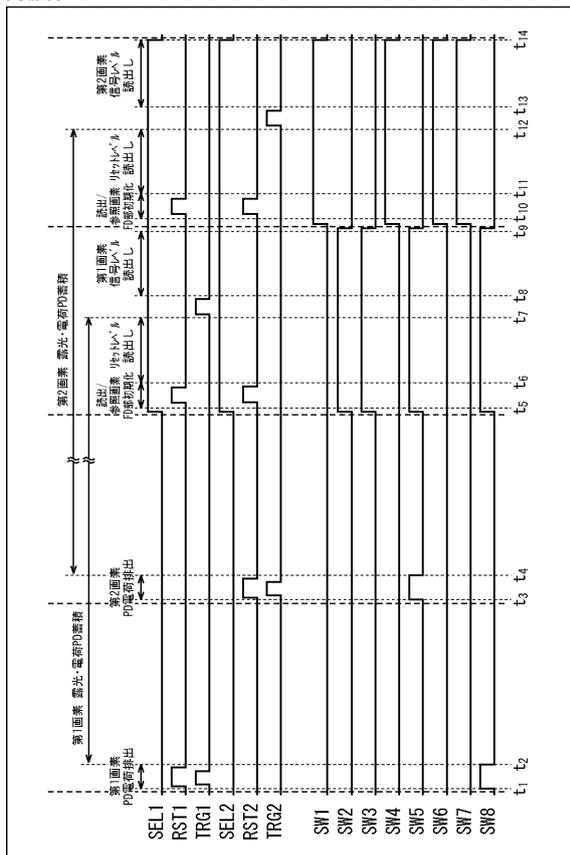
【図17】

FIG. 17



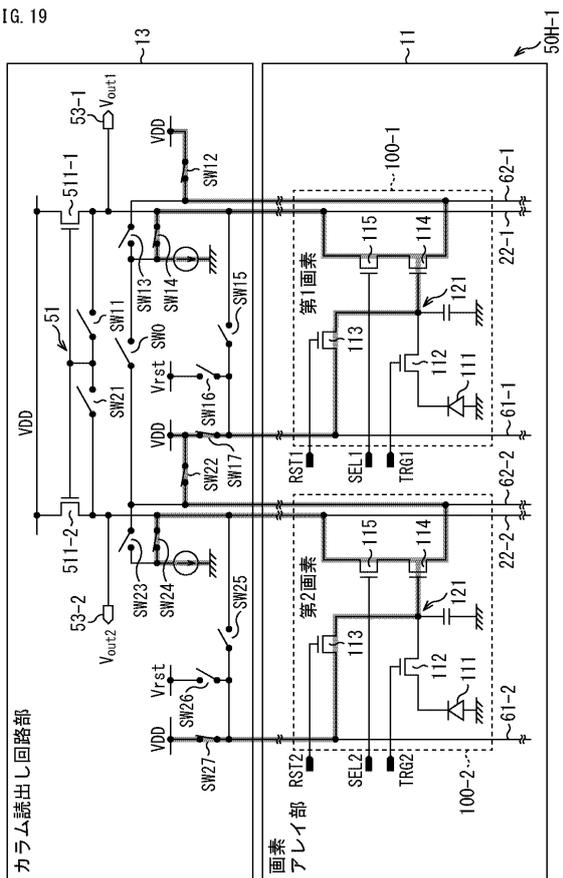
【図18】

FIG. 18



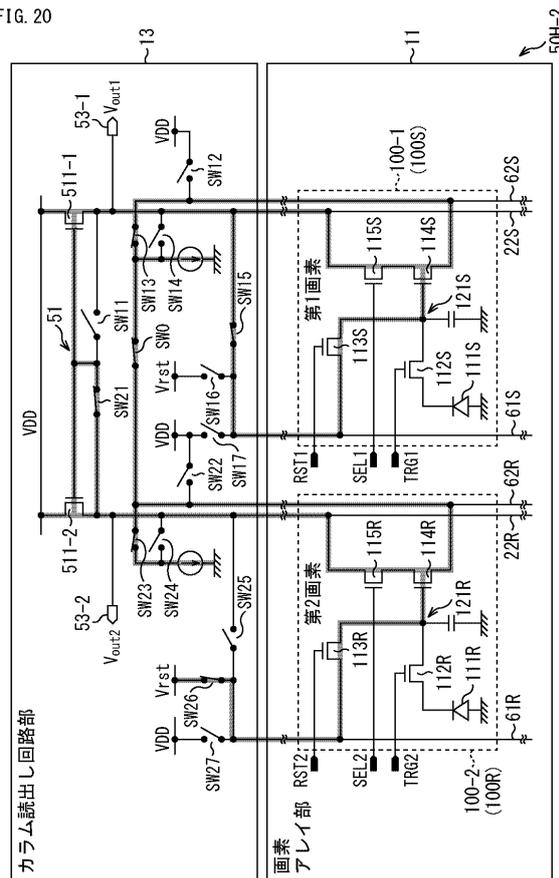
【図19】

FIG. 19



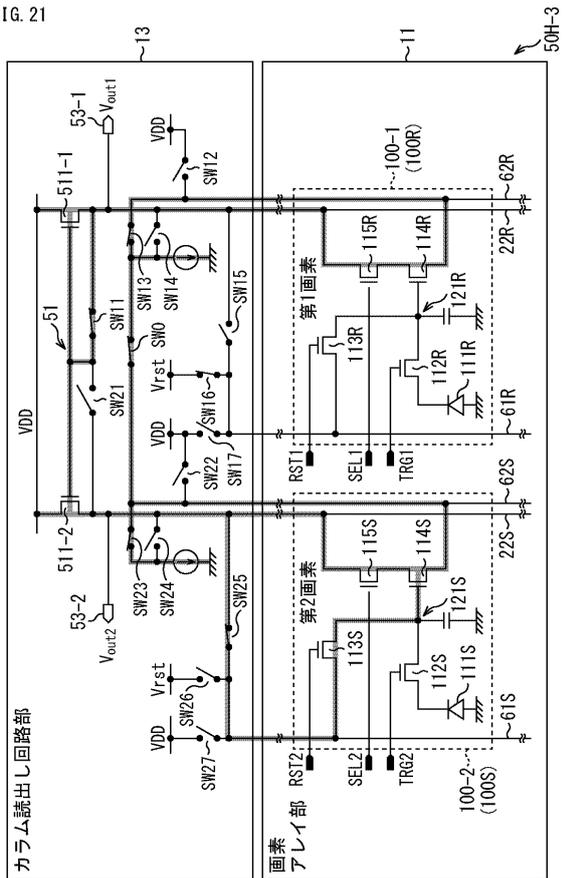
【図20】

FIG. 20



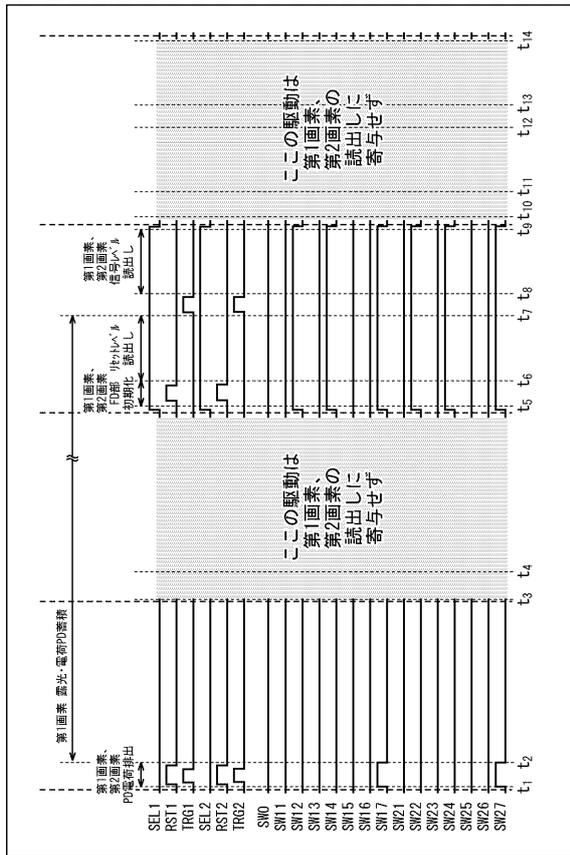
【図 2 1】

FIG. 21



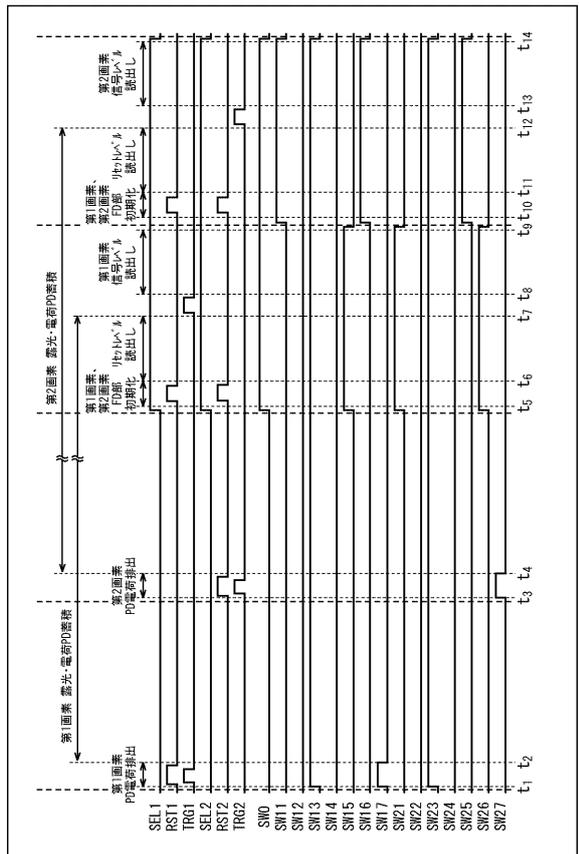
【図 2 2】

FIG. 22



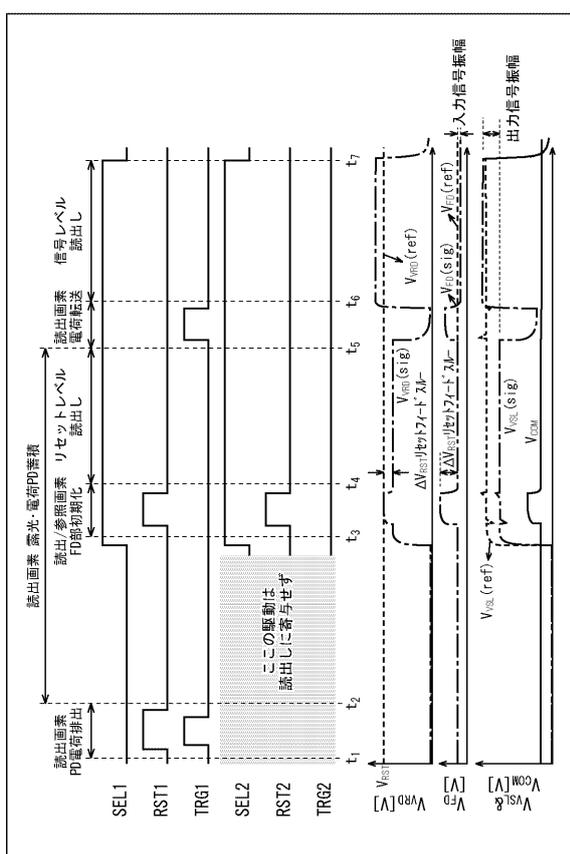
【図 2 3】

FIG. 23

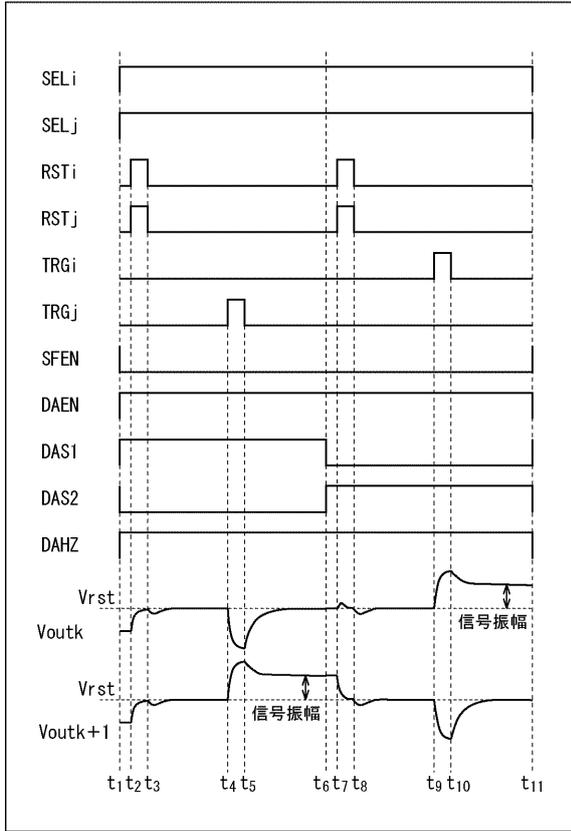


【図 2 4】

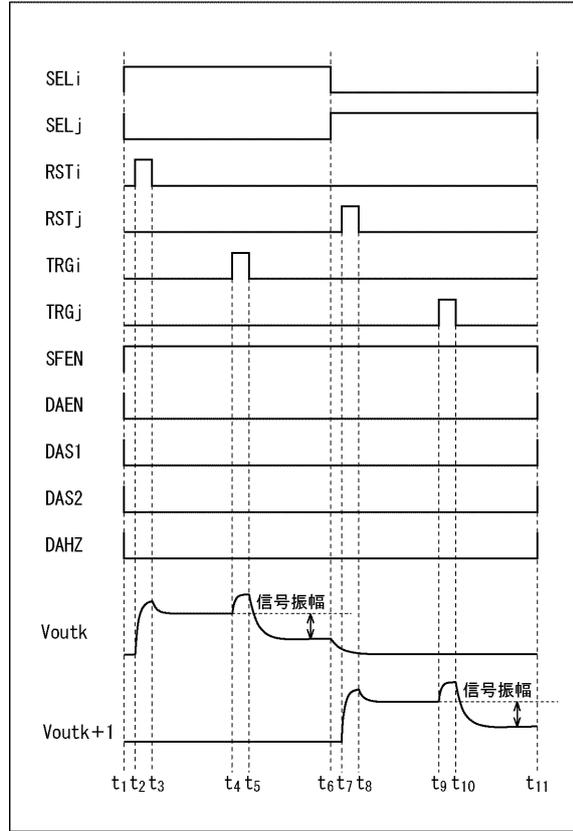
FIG. 24



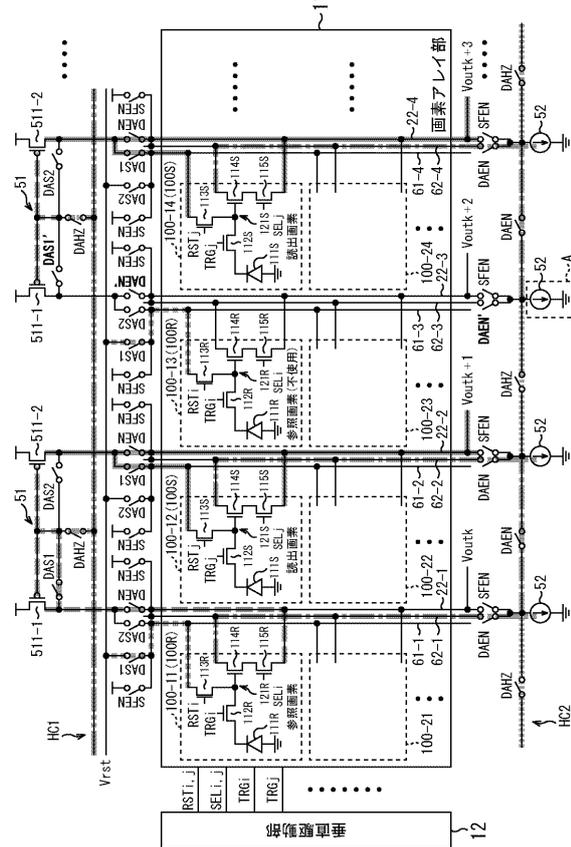
【図 29】
FIG. 29



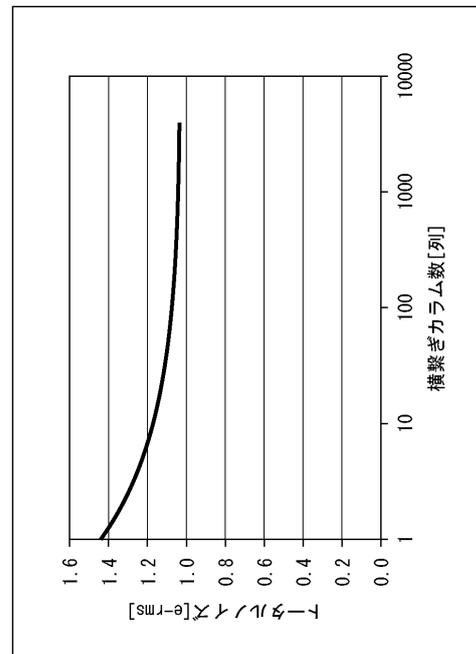
【図 30】
FIG. 30



【図 31】
FIG. 31

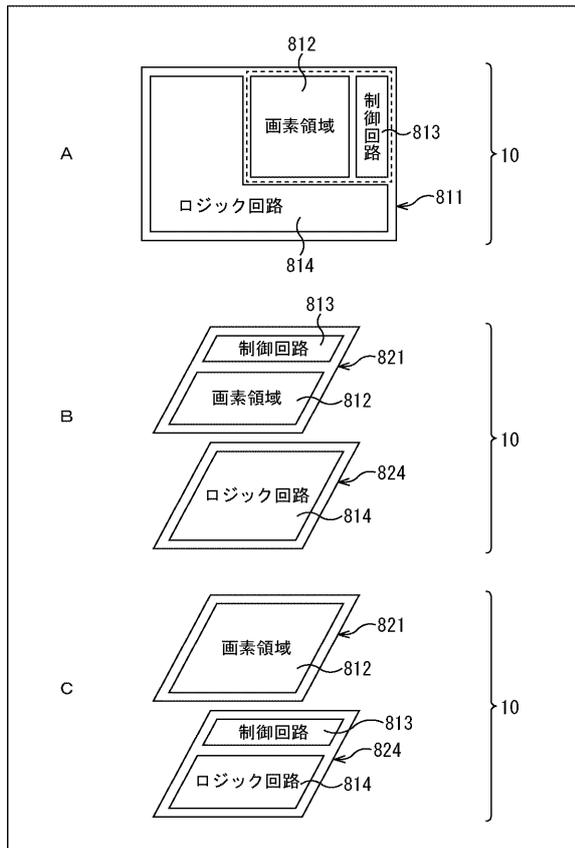


【図 32】
FIG. 32



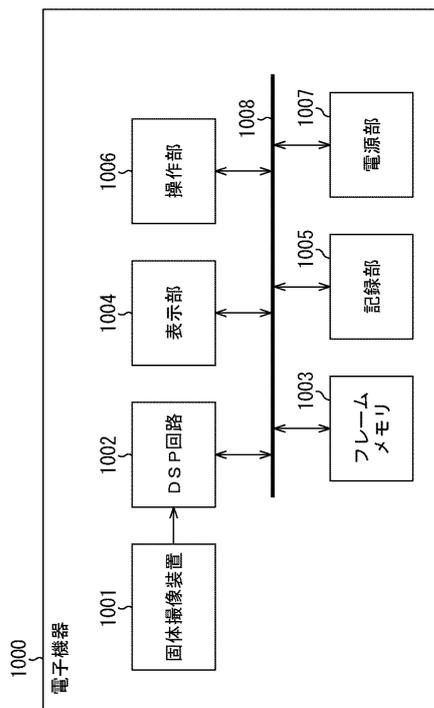
【図 33】

FIG. 33



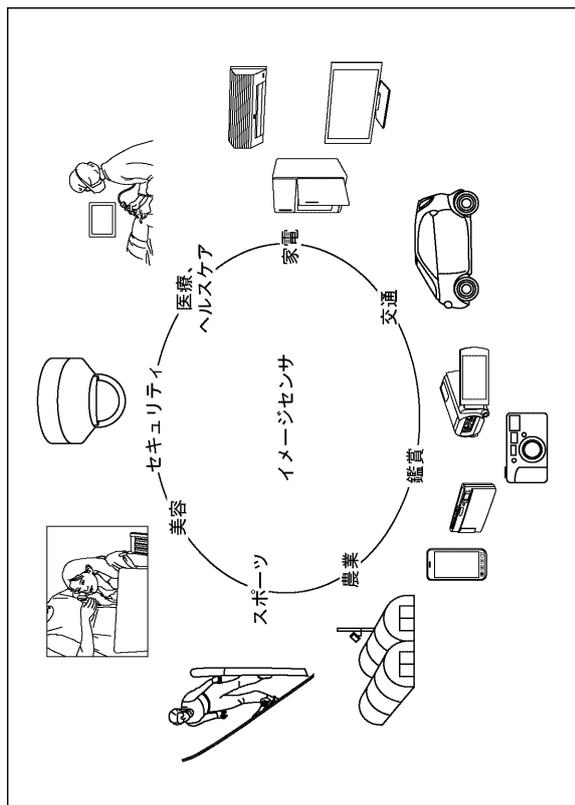
【図 34】

FIG. 34

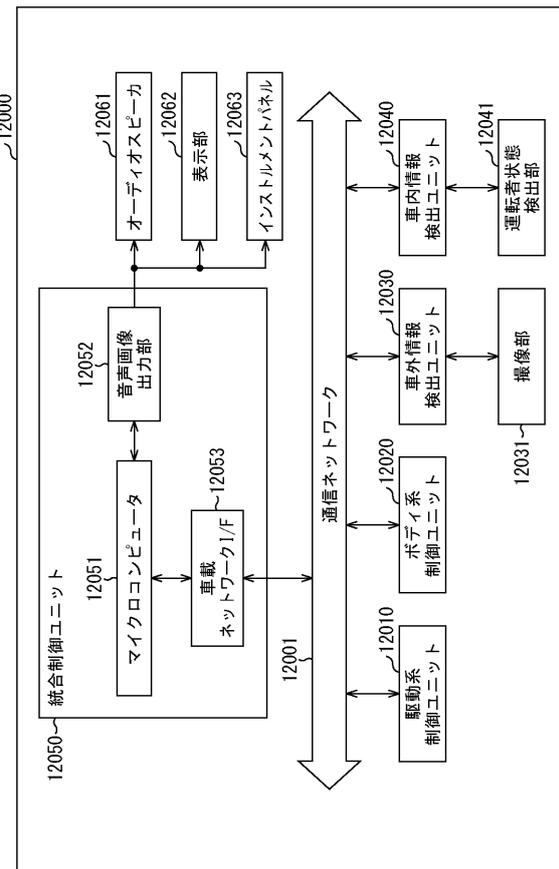


【図 35】

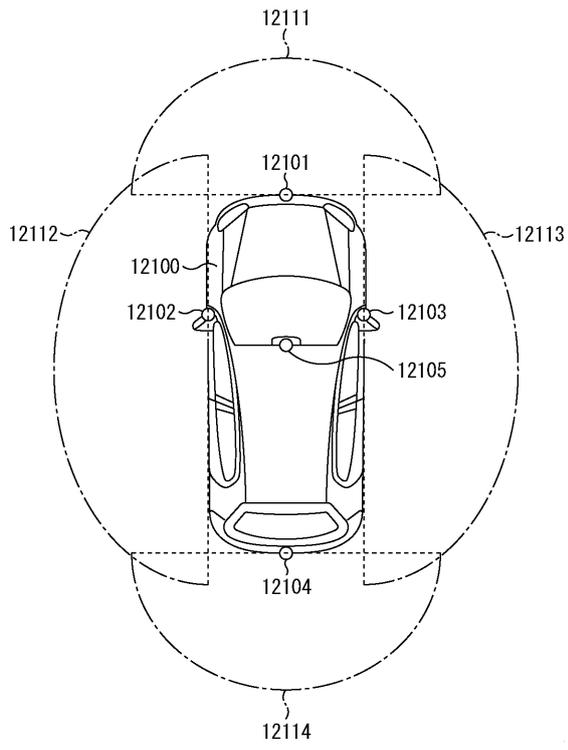
FIG. 35



【図 36】



【図 37】



フロントページの続き

(72)発明者 佐藤 守

神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内

(72)発明者 田川 幸雄

神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内

審査官 西谷 憲人

(56)参考文献 特開2008-271280(JP, A)

国際公開第2014/132822(WO, A1)

(58)調査した分野(Int.Cl., DB名)

H04N 5/378

H04N 5/374