



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0065702  
(43) 공개일자 2018년06월18일

(51) 국제특허분류(Int. Cl.)  
G06F 13/16 (2006.01)

(52) CPC특허분류  
G06F 13/1689 (2013.01)

(21) 출원번호 10-2016-0166887

(22) 출원일자 2016년12월08일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

오지훈

경기도 화성시 동탄반석로 231, 142동 1903호 (석우동, 동탄에당마을 롯데캐슬)

김대로

인천광역시 남구 주안중로38번길 1-1 (주안동)

(뒷면에 계속)

(74) 대리인

리엔텍특허법인

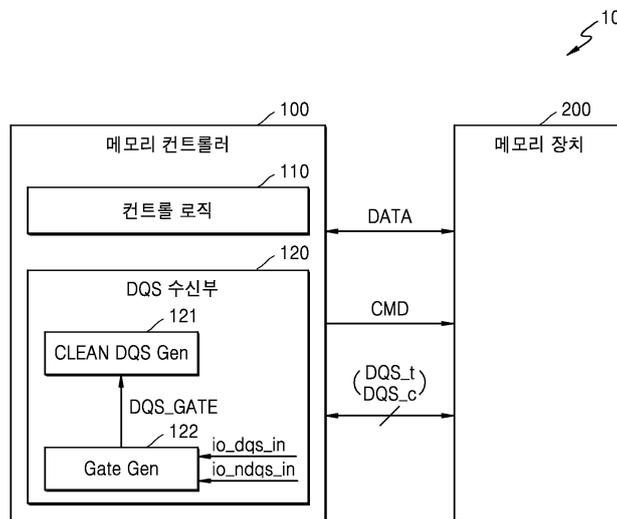
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 차동 데이터 스트로브 신호를 수신하는 메모리 컨트롤러 및 이를 포함하는 어플리케이션 프로세서

**(57) 요약**

차동 데이터 스트로브 신호를 수신하는 메모리 컨트롤러 및 이를 포함하는 어플리케이션 프로세서가 개시된다. 본 개시의 기술적 사상의 일 측면에 따른 메모리 컨트롤러는, 메모리 장치로부터 차동 데이터 스트로브 신호로서 제1 및 제2 스트로브 신호들을 수신하고, 상기 제1 및 제2 스트로브 신호의 레벨에 따라 제1 검출신호를 출력하는 스트로브 신호 수신기와, 상기 제2 스트로브 신호 및 기준 전압을 수신하고, 상기 제2 스트로브 신호 및 상기 기준 전압의 레벨을 비교하여 제2 검출신호를 출력하는 비교기 및 상기 제1 검출신호 및 상기 제2 검출신호를 이용하여 상기 차동 데이터 스트로브 신호의 일부의 구간을 마스킹하기 위한 게이트 신호를 생성하는 게이트 신호 생성기를 구비하는 것을 특징으로 한다.

**대표도 - 도1**



(72) 발명자

**박상훈**

경기도 성남시 분당구 미금로 215, 803동 904호 (금곡동, 청솔마을대원아파트)

**최종륜**

경기도 화성시 병점중앙로170번길 12-5, 204호 (진안동)

**최진호**

서울특별시 송파구 오금로40길 8, 52동 703호 (가락동)

## 명세서

### 청구범위

#### 청구항 1

메모리 장치로부터 차동 데이터 스트로브 신호로서 제1 및 제2 스트로브 신호들을 수신하고, 상기 제1 및 제2 스트로브 신호의 레벨에 따라 제1 검출신호를 출력하는 스트로브 신호 수신기;

상기 제2 스트로브 신호 및 기준 전압을 수신하고, 상기 제2 스트로브 신호 및 상기 기준 전압의 레벨을 비교하여 제2 검출신호를 출력하는 비교기; 및

상기 제1 검출신호 및 상기 제2 검출신호를 이용하여 상기 차동 데이터 스트로브 신호의 일부의 구간을 마스킹하기 위한 게이트 신호를 생성하는 게이트 신호 생성기를 구비하는 메모리 컨트롤러.

#### 청구항 2

제1항에 있어서,

상기 게이트 신호와 상기 스트로브 신호 수신기로부터의 제1 검출신호를 수신하고, 상기 메모리 장치로부터 제공되는 데이터를 래치하는 데 이용되는 클린 스트로브 신호를 생성하는 클린 스트로브 신호 생성기를 더 구비하는 메모리 컨트롤러.

#### 청구항 3

제2항에 있어서,

상기 메모리 장치로부터 데이터를 수신하고, 상기 클린 스트로브 신호에 응답하여 상기 데이터를 래치하는 하나 이상의 플립플롭들을 더 구비하는 것을 특징으로 하는 메모리 컨트롤러.

#### 청구항 4

제1항에 있어서,

독출 커맨드들에 대응하는 데이터 독출 구간들 사이에 아이들 구간 및 프리앰블 구간이 존재하고, 상기 게이트 신호에 의해 상기 아이들 구간 및 프리앰블 구간 중 적어도 일부의 구간에서 상기 차동 데이터 스트로브 신호가 마스킹되는 것을 특징으로 하는 메모리 컨트롤러.

#### 청구항 5

제4항에 있어서,

상기 게이트 신호 생성기는, 상기 프리앰블 구간의 시작 타이밍에서 상기 제2 검출신호에 응답하여 활성화되는 제1 내부 신호와, 상기 프리앰블 구간 내에서 상기 제1 검출신호에 응답하여 활성화되는 제2 내부 신호를 생성하고, 상기 제1 및 제2 내부 신호들 각각은 독출 버스트 길이에 대응하는 활성화 구간을 가지며,

상기 게이트 신호는 상기 제1 및 제2 내부 신호들 중 적어도 하나를 이용하여 생성되는 것을 특징으로 하는 메모리 컨트롤러.

#### 청구항 6

제5항에 있어서, 상기 게이트 신호 생성기는,

상기 제1 내부 신호와 상기 제2 내부 신호를 논리합 연산하여 제3 내부 신호를 더 생성하며,

상기 프리앰블 구간의 존재 여부에 따라, 상기 제2 내부 신호 또는 상기 제3 내부 신호를 선택적으로 상기 게이트 신호로서 출력하는 것을 특징으로 하는 메모리 컨트롤러.

#### 청구항 7

차동 데이터 스트로브 신호로서 제1 및 제2 스트로브 신호들을 수신하고, 상기 제1 및 제2 스트로브 신호의 레벨에 따라 제1 검출신호를 출력하는 스트로브 신호 수신기;

메모리 장치로 제공되는 독출 커맨드들 사이의 인터벌을 검출하여 인터벌 검출 결과를 출력하는 인터벌 검출 로직; 및

상기 제1 검출신호 및 상기 인터벌 검출 결과를 이용하여 상기 차동 데이터 스트로브 신호의 일부의 구간을 마스킹하기 위한 게이트 신호를 생성하는 게이트 신호 생성기를 구비하는 메모리 컨트롤러.

**청구항 8**

제7항에 있어서,

상기 독출 커맨드들 사이의 인터벌에 따라, 데이터 독출 구간들 사이에 아이들 구간 및 프리앰블 구간이 존재하고,

상기 게이트 신호 생성기는, 상기 인터벌 검출 결과에 기반하여 상기 아이들 구간 및 프리앰블 구간 중 적어도 일부의 구간을 마스킹하기 위한 비활성화 구간을 갖는 게이트 신호를 생성하는 것을 특징으로 하는 메모리 컨트롤러.

**청구항 9**

제7항에 있어서,

상기 게이트 신호 생성기는, 상기 제1 검출신호에 동기하여 활성화되고 상기 인터벌 검출 결과에 기반하여 비활성화되는 내부 신호를 생성하고,

상기 게이트 신호는 상기 내부 신호를 이용하여 생성되는 것을 특징으로 하는 메모리 컨트롤러.

**청구항 10**

제7항에 있어서,

상기 메모리 컨트롤러는, 상기 제2 스트로브 신호 및 기준 전압의 레벨을 비교하여 제2 검출신호를 출력하는 비교기를 더 구비하고,

상기 게이트 신호 생성기는 상기 제2 검출신호를 더 이용하여 상기 게이트 신호를 생성하는 것을 특징으로 하는 메모리 컨트롤러.

**발명의 설명**

**기술 분야**

[0001] 본 개시의 기술적 사상은 메모리 컨트롤러에 관한 것으로서, 상세하게는 차동 데이터 스트로브 신호를 수신하는 메모리 컨트롤러 및 이를 포함하는 어플리케이션 프로세서에 관한 것이다.

**배경 기술**

[0002] 일반적으로 메모리 컨트롤러는 그 내부 동작에 이용되는 차동 신호를 수신하고 이를 처리한다. 차동 신호의 일 종류로서, 고속 메모리 동작에서 메모리 동작의 품질을 보장하기 위해 차동 데이터 스트로브 신호(differential DQS signal)가 데이터 수신에 이용될 수 있으며, 차동 데이터 스트로브 신호는 일반적으로 서로 180도의 위상 차이를 가질 수 있다.

[0003] 그러나, 일반적으로 차동 데이터 스트로브 신호는 메모리 컨트롤러가 메모리에 제공하는 클럭과 비동기하게 제공되며, 일 예로 전압과 온도 등의 변화에 의하여 차동 데이터 스트로브 신호의 딜레이 편차가 발생함에 따라 데이터 수신 동작의 품질이 저하될 수 있다. 이와 같은 문제를 개선하기 위한 예로서 게이트 트레이닝 프로세스(Gate training process)를 이용한 DQS 클리닝(DQS cleaning)이 제안되었으나, DQS cleaning은 고속 메모리 인터페이스에서 고주파수의 클럭의 하나의 사이클 단위까지 정확도를 보장해야 하므로, 이를 위한 설계 난이도가 증가할 수 있으며 또한 반도체 장치의 사이즈를 증가시키는 요인이 된다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명의 기술적 사상이 해결하려는 과제는, 차동 DQS 신호의 딜레이 편차를 보상할 수 있는 메모리 컨트롤러 및 이를 포함하는 어플리케이션 프로세서를 제공하는 데 있다.

**과제의 해결 수단**

[0005] 상기와 같은 목적을 달성하기 위하여, 본 개시의 기술적 사상의 일 측면에 따른 메모리 컨트롤러는, 메모리 장치로부터 차동 데이터 스트로브 신호로서 제1 및 제2 스트로브 신호들을 수신하고, 상기 제1 및 제2 스트로브 신호의 레벨에 따라 제1 검출신호를 출력하는 스트로브 신호 수신기와, 상기 제2 스트로브 신호 및 기준 전압을 수신하고, 상기 제2 스트로브 신호 및 상기 기준 전압의 레벨을 비교하여 제2 검출신호를 출력하는 비교기 및 상기 제1 검출신호 및 상기 제2 검출신호를 이용하여 상기 차동 데이터 스트로브 신호의 일부의 구간을 마스킹하기 위한 게이트 신호를 생성하는 게이트 신호 생성기를 구비하는 것을 특징으로 한다.

[0006] 한편, 본 개시의 기술적 사상의 다른 일 측면에 따른 메모리 컨트롤러는, 차동 데이터 스트로브 신호로서 제1 및 제2 스트로브 신호들을 수신하고, 상기 제1 및 제2 스트로브 신호의 레벨에 따라 제1 검출신호를 출력하는 스트로브 신호 수신기와, 메모리 장치로 제공되는 독출 커맨드들 사이의 인터벌을 검출하여 인터벌 검출 결과를 출력하는 인터벌 검출 로직 및 상기 제1 검출신호 및 상기 인터벌 검출 결과를 이용하여 상기 차동 데이터 스트로브 신호의 일부의 구간을 마스킹하기 위한 게이트 신호를 생성하는 게이트 신호 생성기를 구비하는 것을 특징으로 한다.

**발명의 효과**

[0007] 본 발명의 기술적 사상의 메모리 컨트롤러 및 이를 포함하는 어플리케이션 프로세서에 따르면, 게이트 트레이닝을 위한 자원 소요나 성능 저하 없이 차동 DQS 신호의 딜레이 편차를 보상함으로써 데이터 수신 품질을 향상할 수 있는 효과가 있다.

[0008] 또한, 본 발명의 기술적 사상의 메모리 컨트롤러 및 이를 포함하는 어플리케이션 프로세서에 따르면, 데이터 독출 명령이 연속적으로 발생하는 경우나 수신된 차동 DQS 신호에 글리치(glitch)가 발생하는 경우에 있어서도 최적의 클린 DQS 신호를 생성함으로써 데이터 수신 품질을 향상할 수 있는 효과가 있다.

**도면의 간단한 설명**

[0009] 도 1은 본 발명의 예시적 실시예에 따른 메모리 시스템을 나타내는 블록도이다.  
 도 2a,b는 도 1의 메모리 컨트롤러의 구체적인 일 구현 예를 나타내는 블록도이다.  
 도 3은 도 2의 게이트 신호 생성기의 일 구현 예를 나타내는 블록도이다.  
 도 4는 본 발명의 일 실시예에 따른 메모리 컨트롤러의 동작을 나타내는 파형도이다.  
 도 5는 메모리 컨트롤러와 메모리 장치 사이에서 프리앰블 구간(trPRE)에서의 토글링이 정의되지 않은 경우의 동작 예를 나타내는 파형도이다.  
 도 6은 본 발명의 다른 예시적인 실시예에 따른 메모리 컨트롤러의 구현 예를 나타내는 블록도이다.  
 도 7 및 도 8은 인터벌 검출 결과의 저장 예를 나타내는 파형도이다.  
 도 9 내지 도 11은 메모리 컨트롤러의 구체적인 동작의 일 예를 나타내는 파형도이다.  
 도 12는 도 6의 게이트 신호 생성기의 일 구현 예를 나타내는 회로도이다.  
 도 13은 본 발명의 메모리 컨트롤러의 구체적인 동작의 다른 일 예를 나타내는 파형도이다.  
 도 14 및 도 15는 본 발명의 예시적인 실시예들에 따른 메모리 컨트롤러의 동작 방법을 나타내는 플로우차트이다.  
 도 16은 본 발명의 일 실시예에 따른 어플리케이션 프로세서를 포함하는 데이터 처리 시스템을 나타내는 블록도이다.

도 17은 본 발명의 실시예가 ModAP에 적용된 예를 나타내는 블록도이다.

도 18은 본 발명의 실시예들에 적용된 DQS 수신부가 메모리 장치 내에 구비되는 예를 나타내는 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0010] 이하, 첨부한 도면을 참조하여 본 발명의 실시 예에 대해 상세히 설명한다.
- [0011] 도 1은 본 발명의 예시적 실시예에 따른 메모리 시스템을 나타내는 블록도이다.
- [0012] 반도체 장치는 다양한 종류의 기능을 수행할 수 있으며, 그 내부 동작을 수행함에 있어서 외부로부터 제공되는 차동 신호를 이용하여 클럭 신호를 생성하고, 생성된 클럭 신호에 기반하여 반도체 장치 내부의 각종 기능들이 수행될 수 있다. 실시예들에 따라, 반도체 장치는 메모리 장치를 제어 또는 액세스할 수 있는 다양한 종류의 장치일 수 있다. 일 예로서, 반도체 장치는 메모리 컨트롤러 또는 어플리케이션 프로세서(Application Processor)일 수 있으며, 상기 어플리케이션 프로세서는 시스템 온 칩(System on Chip, SoC)으로 구현될 수 있다. 어플리케이션 프로세서는 내부 또는 외부의 메모리 장치를 제어 또는 액세스하기 위한 메모리 컨트롤 모듈을 포함할 수 있다.
- [0013] 또한, 실시예들에 따라, 반도체 장치는 메모리 셀 어레이를 포함하는 메모리 장치일 수 있다. 예컨대, 반도체 장치는 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory), LPDDR(Low Power Double Data Rate) SDRAM, GDDR(Graphics Double Data Rate) SDRAM, RDRAM(Rambus Dynamic Random Access Memory) 등과 같은 동적 랜덤 액세스 메모리(Dynamic Random Access Memory, DRAM)일 수 있다. 또는, 반도체 장치는 플래시 메모리 등의 불휘발성 메모리 장치일 수 있다.
- [0014] 또한, 실시예들에 따라, 반도체 장치는 통신에 관련된 각종 장치일 수 있다. 예컨대, 반도체 장치는 기저 대역의 신호를 처리하는 모뎀 칩에 해당할 수 있다. 또는, 반도체 장치는 어플리케이션 프로세서 내에 모뎀 기능이 집적된 ModAP 일 수 있다.
- [0015] 상기와 같은 다양한 종류의 장치로서 반도체 장치는 외부로부터 차동 신호를 수신할 수 있다. 이하의 실시예들에서는 반도체 장치가 메모리 컨트롤러 또는 어플리케이션 프로세서에 해당하고, 상기 차동 신호는 차동 데이터 스트로브 신호(차동 DQS 신호)에 해당하는 것으로 가정될 것이나, 본 발명의 실시예는 다양한 종류의 차동 신호들을 처리할 수 있는 반도체 장치에 적용될 수 있을 것이다.
- [0016] 도 1은 본 발명의 예시적인 실시예에 따른 메모리 컨트롤러 및 이를 포함하는 메모리 시스템을 나타내는 블록도이다.
- [0017] 도 1을 참조하면, 메모리 시스템(10)은 본 발명의 일 실시예에 따른 메모리 컨트롤러(100)와 메모리 장치(200)를 포함할 수 있다. 메모리 컨트롤러(100)는 컨트롤 로직(110)과 메모리 인터페이스를 포함하고, 메모리 인터페이스를 통해 각종 신호를 메모리 장치(200)로 제공하여 기록 및 독출 등의 메모리 동작을 제어하고, 메모리 장치(200)와의 사이에서 데이터(DATA)를 송수신할 수 있다. 예컨대, 메모리 컨트롤러(100)는 메모리 동작을 제어하기 위한 커맨드(CMD)를 메모리 장치(200)로 제공할 수 있다. 커맨드(CMD)는 데이터(DATA)를 기록하거나 독출하는 등의 노멀 메모리 동작을 위한 커맨드를 포함할 수 있다. 일 실시예에 따라, 메모리 인터페이스는 데이터 스트로브 신호 수신부(120)를 포함할 수 있다.
- [0018] 메모리 동작에 관련된 각종 클럭 신호들에 있어서, 고속 동작에서 클럭 신호의 품질(quality)을 보장하기 위한 일 예로서, 차동 신호에 해당하는 데이터 스트로브 신호(이하, 차동 DQS 신호(DQS\_t, DQS\_c)로 지칭됨)가 메모리 컨트롤러(100)로 제공될 수 있다. 차동 DQS 신호(DQS\_t, DQS\_c)는 제1 DQS 신호(DQS\_t)와 제2 DQS 신호(DQS\_c)를 포함하고, 정상적으로 데이터(DATA)가 수신되는 데이터 독출 구간에서 제1 DQS 신호(DQS\_t)와 제2 DQS 신호(DQS\_c)는 서로 상보적인 레벨의 신호(또는, 180 도의 위상차를 갖는 신호)에 해당할 수 있다.
- [0019] 또한 일 예로서, 데이터(DATA)는 싱글 엔디드 신호(single-ended signal)가 적용될 수 있다. 메모리 컨트롤러(100)는 메모리 장치(200)로부터 독출된 데이터(DATA)를 차동 DQS 신호(DQS\_t, DQS\_c)에 동기하여 래치함으로써 데이터(DATA)를 수신할 수 있다. 또한, 데이터 송수신에 있어서 채널당 데이터 대역폭(data bandwidth)을 최대화하기 위하여, 메모리 기록/독출 동작이 하프 듀플렉스 링크(half duplex link)로 구현될 수 있다. 이 때, 다수의 커맨드들(예컨대, 현재 독출 커맨드와 다음의 독출 커맨드) 사이에 아이들(idle) 구간이 존재할 수 있다.
- [0020] 메모리 컨트롤러(100)에서 차동 DQS 신호(DQS\_t, DQS\_c)를 수신하는 경로에는 온-다이 터미네이션(On Die Termination, ODT)이 적용될 수 있으며, 차동 DQS 신호(DQS\_t, DQS\_c)의 수신을 위해 아이들 구간의 일 시점에

서 ODT가 인에이블될 수 있다. 일 예로서, 차동 DQS 신호(DQS\_t, DQS\_c)를 수신하는 경로에 접지전압에 연결된 ODT가 적용될 수 있으며, 이 때 제1 DQS 신호(DQS\_t)와 제2 DQS 신호(DQS\_c)가 각각 로직 로우 레벨을 가짐에 따라 차동 DQS 신호(DQS\_t, DQS\_c)는 그 차동 특성을 잃어버리게 된다.

[0021] 또한, 메모리 시스템(10)의 동작에 있어서, 아이들(idle) 구간이 종료되고 실제 데이터가 수신되기 전(또는, 데이터 독출 구간이 수행되기 전)에 소정의 클럭 구간(예컨대, 2 클럭(2\*CLK)의 구간)에 해당하는 프리앰블(preamble) 구간이 존재할 수 있으며, 또한 데이터 수신이 종료된 후 소정의 클럭 구간에 해당하는 포스트앰블(postamble) 구간이 존재할 수 있다. 프리앰블(preamble) 구간이 시작되는 타이밍에서 차동 DQS 신호(DQS\_t, DQS\_c)는 차동 특성을 갖게 되며, 이 때 제1 DQS 신호(DQS\_t)와 제2 DQS 신호(DQS\_c)는 서로 다른 로직 레벨을 가질 수 있다. 또한, 프리앰블 구간에서 실제 데이터 수신과 무관하게 차동 DQS 신호(DQS\_t, DQS\_c)는 적어도 1회 토글링될 수 있다.

[0022] 또한, 메모리 컨트롤러(100)는 차동 DQS 신호(DQS\_t, DQS\_c)가 의도치 않은 구간에서 토글링됨에 따라 데이터 수신에 오류가 발생하는 것을 방지하기 위하여 게이트 신호(미도시)를 생성할 수 있다. 게이트 신호는 차동 DQS 신호(DQS\_t, DQS\_c)가 정상적으로 토글링하는 구간의 이외의 구간을 마스킹함으로써 데이터(DATA) 수신에 오류를 제거할 수 있다. 그러나, 메모리 장치(200) 내부의 전압 및 온도 변화 등 다양한 요인에 기인하여 메모리 컨트롤러(100)로 제공되는 차동 DQS 신호(DQS\_t, DQS\_c)에는 딜레이 편차(delay variation)가 존재할 수 있다. 이 때, 마스킹을 해제하기 위해 게이트 신호가 활성화되는 구간과 실제 데이터(DATA)가 수신되는 구간에 차이가 발생할 수 있으며, 이 경우 처음의 하나 이상의 데이터(DATA)의 수신이 실패하거나, 또는 마지막의 하나 이상의 데이터(DATA)의 수신이 실패할 수 있다.

[0023] 본 발명의 일 실시예에 따라, 데이터 스트로브 신호 수신부(120)는 클린 DQS 신호 생성기(121) 및 게이트 신호 생성기(122)를 포함할 수 있다. 클린 DQS 신호는 데이터(DATA)를 수신하여 저장하는 래치(또는, 플립플롭)를 제어하는 신호(예컨대, 래치 제어신호)를 생성하며, 일 예로서 차동 DQS 신호(DQS\_t, DQS\_c)와 게이트 신호 생성기(122)로부터의 게이트 신호를 이용하여 클린 DQS 신호를 상기 래치 제어신호로서 생성할 수 있다. 예컨대, 클린 DQS 신호는 게이트 신호에 따라 차동 DQS 신호(DQS\_t, DQS\_c)의 일부의 구간을 마스킹한 신호에 해당할 수 있다.

[0024] 한편, 게이트 신호 생성기(122)는 데이터(DATA)의 수신에 최적화된 클린 DQS 신호가 생성될 수 있도록 게이트 신호(DQS\_GATE)를 생성하고, 생성된 게이트 신호(DQS\_GATE)를 클린 DQS 신호 생성기(121)로 제공할 수 있다. 일 실시예에 따라, 게이트 신호 생성기(122)는 차동 DQS 신호(DQS\_t, DQS\_c)에 기인하는 하나 이상의 검출 신호들(io\_dqs\_in, io\_ndqs\_in)을 수신하고, 상기 검출 신호들(io\_dqs\_in, io\_ndqs\_in)을 처리함에 의해 하나 이상의 내부 신호들(미도시)을 생성하며, 또한 내부 신호들을 처리함에 의해 전술한 게이트 신호(DQS\_GATE)를 생성할 수 있다. 일 예로서, 제1 검출 신호(io\_dqs\_in)는 차동 DQS 신호(DQS\_t, DQS\_c)의 레벨을 비교(또는, 검출)한 결과에 따른 신호에 해당하고, 제2 검출 신호(io\_ndqs\_in)는 차동 DQS 신호(DQS\_t, DQS\_c) 중 어느 하나와 소정의 기준 전압(미도시)의 레벨을 비교(또는, 검출)한 결과에 따른 신호에 해당할 수 있다.

[0025] 상기와 같은 동작에 따라, 게이트 신호 생성기(122)는 메모리 장치(200)로부터 제공된 차동 DQS 신호(DQS\_t, DQS\_c)의 레벨의 비교 결과와 차동 DQS 신호(DQS\_t, DQS\_c) 중 어느 하나와 소정의 기준 전압의 레벨의 비교 결과에 기반하여 게이트 신호(DQS\_GATE)를 생성한다. 이에 따라, 메모리 장치(200)로부터 제공되는 차동 DQS 신호(DQS\_t, DQS\_c)에 딜레이 편차가 존재하더라도 딜레이 편차가 반영된 게이트 신호(DQS\_GATE)가 생성될 수 있으므로, 게이트 신호(DQS\_GATE)의 활성화 구간이 실제 데이터(DATA)가 수신되는 구간에 최적화될 수 있으며, 이에 따라 클린 DQS 신호에 의해 래치되는 데이터(DATA)의 수신 품질이 향상될 수 있다.

[0026] 한편, 도 1의 실시예에서는 메모리 컨트롤러(100)에 데이터 스트로브 신호 수신부(120)가 구비되는 예가 도시되었으나, 본 발명의 실시예는 이에 국한될 필요가 없다. 예컨대, 차동 DQS 신호(DQS\_t, DQS\_c)는 메모리 컨트롤러(100)와 메모리 장치(200) 사이에서 양방향으로 전송될 수 있으며, 데이터 기록시에는 차동 DQS 신호(DQS\_t, DQS\_c)가 메모리 컨트롤러(100)로부터 메모리 장치(200)로 제공될 수 있다. 이 때, 메모리 장치(200)의 인터페이스 회로에는 전술한 실시예에서와 동일 또는 유사한 동작을 수행하는 데이터 스트로브 신호 수신부가 구비될 수도 있을 것이다.

[0027] 도 2a,b는 도 1의 메모리 컨트롤러의 구체적인 일 구현 예를 나타내는 블록도이다.

[0028] 도 2a,b를 참조하면, 메모리 컨트롤러(100)는 클린 DQS 신호 생성기(121) 및 게이트 신호 생성기(122)를 포함할 수 있으며, 또한 데이터(DATA)의 수신 및 차동 DQS 신호(DQS\_t, DQS\_c)의 수신에 관련된 각종 구성요소들을 포

함할 수 있다. 일 예로서, 메모리 컨트롤러(100)는 데이터(DATA)를 수신하는 하나 이상의 데이터 수신기(125) 및 차동 DQS 신호(DQS\_t, DQS\_c)를 수신하는 DQS 수신기(123)를 더 포함할 수 있다. 상기 수신기들(123, 125)은 버퍼 또는 비교기 등 다양한 종류의 논리 회로로 구현될 수 있으며, 일 예로서 수신기들(123, 125) 각각은 입력단으로 제공되는 신호의 레벨을 비교하여 출력 신호를 생성하는 비교기로 구현될 수 있다.

[0029] 한편, 메모리 컨트롤러(100)는 차동 DQS 신호(DQS\_t, DQS\_c) 중 어느 하나의 신호와 기준 전압(Vref)을 비교하는 비교기(124)를 더 포함할 수 있다. 일 예로서, 비교기(124)는 제2 DQS 신호(DQS\_c)와 기준 전압(Vref)의 레벨을 비교하여 비교 결과를 출력할 수 있다. DQS 수신기(123)는 차동 DQS 신호(DQS\_t, DQS\_c)의 레벨을 비교하여 전술한 제1 검출 신호(io\_dqs\_in)를 출력할 수 있으며, 비교기(124)는 제2 DQS 신호(DQS\_c)와 기준 전압(Vref)의 레벨을 비교하여 전술한 제2 검출 신호(io\_ndqs\_in)를 출력할 수 있다. 일 예로서, 기준 전압(Vref)은 로직 로우 레벨과 로직 하이 레벨의 중간에 해당하는 레벨을 가질 수 있다.

[0030] 또한, 메모리 컨트롤러(100)는 수신된 독출 데이터(DATA)를 래치하는 하나 이상의 플립플롭들(126)을 더 포함할 수 있다. 예컨대, 클린 DQS 신호 생성기(121)로부터 제공되는 클린 DQS 신호(CLEAN\_DQS)는 소정의 지연 라인을 거쳐 플립플롭들(126)의 클록 단(CK, CKN)으로 제공될 수 있으며, 플립플롭들(126)은 클린 DQS 신호(CLEAN\_DQS)에 응답하여 독출 데이터(DATA)를 래치할 수 있다.

[0031] 도 1 및 도 2a, b에 도시된 메모리 컨트롤러(100)의 동작 예를 설명하면 다음과 같다.

[0032] 클린 DQS 신호 생성기(121)는 제1 검출 신호(io\_dqs\_in)와 게이트 신호(DQS\_GATE)를 이용하여 데이터(DATA) 래치에 이용되는 클린 DQS 신호(CLEAN\_DQS)를 생성할 수 있다. 예컨대, 제1 검출 신호(io\_dqs\_in)의 일부의 구간이 게이트 신호(DQS\_GATE)에 의해 마스킹됨으로써 클린 DQS 신호(CLEAN\_DQS)가 생성될 수 있다. 도 2a의 예에서는, 클린 DQS 신호 생성기(121)가 제1 검출 신호(io\_dqs\_in)와 게이트 신호(DQS\_GATE)에 대한 AND 연산을 수행하는 AND 로직을 포함하는 예가 도시되었으나, 본 발명의 실시예들은 다른 다양한 종류의 로직 회로들을 통해 클린 DQS 신호(CLEAN\_DQS)가 생성되도록 구현될 수도 있을 것이다.

[0033] 게이트 신호 생성기(122)는 제1 검출 신호(io\_dqs\_in) 및 제2 검출 신호(io\_ndqs\_in)의 조합에 기반하여 게이트 신호(DQS\_GATE)를 생성할 수 있다. 상기 제1 검출 신호(io\_dqs\_in) 및 제2 검출 신호(io\_ndqs\_in)는 차동 DQS 신호(DQS\_t, DQS\_c)에 기인한 신호에 해당하고, 이에 따라 차동 DQS 신호(DQS\_t, DQS\_c)에 딜레이 편차가 발생되더라도 제1 및 제2 검출 신호들(io\_dqs\_in, io\_ndqs\_in)에는 상기 딜레이 편차가 반영(또는, 보상)될 수 있다.

[0034] 일 예로서, 아이들 구간에서 제1 DQS 신호(DQS\_t)와 제2 DQS 신호(DQS\_c)가 동일한 로직 레벨(예컨대, 로직 로우 레벨)을 가짐에 따라 차동 DQS 신호(DQS\_t, DQS\_c)는 차동 특성을 잃게 되고, 이에 따라 DQS 수신기(123)로부터 출력되는 제1 검출 신호(io\_dqs\_in)는 삼-상태(Tri-state) 또는 미지 상태(unknown state)를 갖는다. 반면에, 상기 아이들 구간에서 비교기(124)는 로직 로우 레벨을 갖는 제2 DQS 신호(DQS\_c)와 기준 전압(Vref)의 비교 결과에 따라 로직 로우 레벨을 갖는 제2 검출 신호(io\_ndqs\_in)를 출력할 수 있다.

[0035] 이 때, 프리앰블 구간이 시작되면, 제1 DQS 신호(DQS\_t)와 제2 DQS 신호(DQS\_c)는 각각 특정 레벨을 가지며 메모리 컨트롤러(100)로 제공될 수 있으며, 일 예로서 프리앰블 구간의 시작 타이밍(제1 타이밍)에서 제1 DQS 신호(DQS\_t)는 로직 로우 레벨로 유지되고 제2 DQS 신호(DQS\_c)는 로직 하이 레벨로 변동될 수 있다. 제1 타이밍에서 제2 DQS 신호(DQS\_c)가 로직 로우에서 로직 하이 레벨로 변동됨에 따라, 비교기(124)에서 출력되는 제2 검출 신호(io\_ndqs\_in) 또한 로직 하이 레벨로 변동할 수 있으며, 이에 기반하여 상기 제1 타이밍(또는, 제2 검출 신호(io\_ndqs\_in)의 라이징 에지(rising edge 타이밍)에서 활성화되는 제1 내부 신호(미도시)가 생성될 수 있다. 또한, 메모리 컨트롤러(100)는 메모리 장치(200)로부터 소정의 버스트 길이(Burst Length, BL)에 해당하는 데이터(DATA)를 수신하므로, 상기 버스트 길이(BL)에 대응하여 제1 내부 신호의 활성화 구간이 조절될 수 있다.

[0036] 한편, 프리앰블 구간 내에서 차동 DQS 신호(DQS\_t, DQS\_c)는 적어도 1 회 토글링될 수 있다. 상기 차동 DQS 신호(DQS\_t, DQS\_c)의 토글링에 의해 DQS 수신기(123)로부터 출력되는 제1 검출 신호(io\_dqs\_in) 또한 토글링될 수 있으며, 일 예로서 제1 검출 신호(io\_dqs\_in)의 폴링 에지(falling edge)의 타이밍(제2 타이밍)에서 활성화되는 제2 내부 신호(미도시)가 생성될 수 있다. 상기 제2 내부 신호 또한 버스트 길이(BL)에 대응하는 활성화 구간을 포함할 수 있다.

[0037] 게이트 신호 생성기(122)는 전술한 바와 같은 과정을 갖는 제1 및 제2 검출 신호들(io\_dqs\_in, io\_ndqs\_in)에 기반하여 게이트 신호(DQS\_GATE)를 생성할 수 있으며, 일 예로서 적어도 제1 및 제2 내부 신호들을 이용하여 게이트 신호(DQS\_GATE)를 생성할 수 있다. 즉, 차동 DQS 신호(DQS\_t, DQS\_c)에 딜레이 편차가 존재하더라도, 게이

트 신호(DQS\_GATE)는 프리앰블 구간 내의 차동 DQS 신호(DQS\_t, DQS\_c)의 레벨 변화에 기반하여 생성될 수 있다. 이에 따라, 데이터(DATA) 수신 타이밍에 최적화된 게이트 신호(DQS\_GATE)가 생성될 수 있으며, 또한 최적화된 클린 DQS 신호(CLEAN\_DQS)가 생성될 수 있다.

- [0038] 한편, 도 2b에는 전술한 ODT가 DQS 수신기(123)에 적용된 예가 도시된다. 도 2b를 참조하면, 임피던스 미스매칭에 따른 신호 품질 저하를 보상하기 위해 DQS 수신기(123)의 입력단에 온-다이 터미네이션(ODT)이 적용될 수 있으며, 일 예로서 (a)에 도시된 바와 같이 DQS 수신기(123)의 입력단과 접지전압 사이에 연결되는 온다이 터미네이션(ODT) 저항이 배치될 수 있다. 또는, (b)에 도시된 바와 같이 DQS 수신기(123)의 입력단과 전원전압 사이에 연결되는 온다이 터미네이션(ODT) 저항이 배치될 수 있다. (b)에 도시된 바와 같은 터미네이션 방식은 의사 오픈 드레인(Pseudo Open Drain, POD) 터미네이션으로 지칭될 수 있으며, POD 터미네이션 방식에서 신호의 스윙폭은 통상의 풀스윙(0-VDDQ 스윙폭)이 아닌 하프 스윙으로 그 스윙폭이 감소된다.
- [0039] 온다이 터미네이션(ODT)이 인에이블된 경우, 전술한 아이들 구간에서 차동 DQS 신호(DQS\_t, DQS\_c)는 차동 특성을 잃어버리고 인-페이스(in phase) 관계를 가질 수 있다. 즉, DQS 수신기(123)의 입력단으로는 모두 로직 하이 레벨 또는 로직 로우 레벨의 차동 DQS 신호(DQS\_t, DQS\_c)가 입력될 수 있으며, 전술한 도 2a의 실시예에서는 접지전압에 연결된 ODT가 적용됨에 따라 차동 DQS 신호(DQS\_t, DQS\_c)가 모두 로직 로우 레벨을 갖는 예가 설명되었다.
- [0040] 전술한 본 발명의 실시예에 따르면, 게이트 신호(DQS\_GATE)를 클리닝하기 위한 별도의 트레이닝(training) 과정이 필요로 되지 않으므로, 클리닝 트레이닝에 소요되는 자원 소모가 감소될 수 있다. 또한, 클리닝 트레이닝에 필요한 별도의 회로가 필요치 않으므로, 메모리 컨트롤러(100) 또는 이를 포함하는 어플리케이션 프로세서를 구현하기 위한 칩 사이즈가 감소될 수 있다.
- [0041] 도 3은 도 2의 게이트 신호 생성기의 일 구현 예를 나타내는 블록도이다.
- [0042] 도 3을 참조하면, 게이트 신호 생성기(122)는 카운터(122\_1) 및 신호 처리 회로(122\_2)를 포함할 수 있다. 또한, 신호 처리 회로(122\_2)는 하나 이상의 내부 신호들을 생성하는 내부 신호 생성 회로(122\_21) 및 게이트 신호(DQS\_GATE)를 생성하는 게이트 신호 생성 회로(122\_22)를 포함할 수 있다. 카운터(122\_1)는 어느 하나의 검출 신호, 예컨대 제2 검출 신호(io\_ndqs\_in)를 이용한 카운팅 동작을 수행하고 카운팅 결과(Res\_CNT)를 신호 처리 회로(122\_2)로 제공할 수 있다. 신호 처리 회로(122\_2)는 제1 및 제2 검출 신호들(io\_dqs\_in, io\_ndqs\_in) 및 카운팅 결과(Res\_CNT)를 이용하여 게이트 신호(DQS\_GATE)를 생성할 수 있다.
- [0043] 일 예로서, 내부 신호 생성 회로(122\_21)는 제1 및 제2 검출 신호들(io\_dqs\_in, io\_ndqs\_in) 및 카운팅 결과(Res\_CNT)를 이용하여 각종 내부 신호들(DQS\_GATE\_NDQS, DQS\_GATE\_PDQS, DQS\_GATE\_DUMMY, DQS\_GATE\_REAL)을 생성할 수 있으며, 게이트 신호 생성 회로(122\_22)는 상기 내부 신호들(DQS\_GATE\_NDQS, DQS\_GATE\_PDQS, DQS\_GATE\_DUMMY, DQS\_GATE\_REAL) 중 적어도 하나를 이용하여 게이트 신호(DQS\_GATE)를 생성할 수 있다.
- [0044] 도 3에 도시된 각종 신호들의 예를 도 4를 참조하여 설명한다. 도 4는 본 발명의 일 실시예에 따른 메모리 컨트롤러의 동작을 나타내는 파형도이다.
- [0045] 도 4에서는 아이들 구간에서 DQS 수신기에 연결된 ODT(예컨대, 접지전압에 연결된 ODT)가 인에이블된 경우에, 제1 검출 신호(io\_dqs\_in)가 미지(unknown) 상태를 가지고 제2 검출 신호(io\_ndqs\_in)가 로직 로우 레벨을 가지는 예가 도시된다. 또한, 데이터 독출 구간 이전에 프리앰블 구간(tRPRE)이 존재하고, 데이터 독출 구간에서 버스트 길이(BL)에 따라 차동 DQS 신호(DQS\_t, DQS\_c)가 유효하게 토글링되며, 데이터 독출 구간 이후에 포스트앰블 구간(tPRST)이 존재하는 예가 도시된다. 다수의 독출 커맨드들이 연속하게 생성되는 경우, 포스트앰블 구간(tPRST) 이후 전술한 아이들 구간, 프리앰블 구간, 데이터 독출 구간 및 포스트앰블 구간이 반복될 수 있다. 또한, 도 4에서 버스트 길이(BL)는 16에 해당하는 예가 도시된다.
- [0046] 도 3 및 도 4를 참조하면, 카운터(122\_1)는 제2 검출 신호(io\_ndqs\_in)의 라이징 에지(rising edge)를 카운팅할 수 있으며, 2 CLK 구간을 갖는 프리앰블 구간(tRPRE)이 시작됨에 따라 제2 검출 신호(io\_ndqs\_in)가 로직 하이 레벨로 변동되고 카운터(122\_1)는 1 을 카운팅한다. 그리고, 프리앰블 구간(tRPRE)의 시작(또는, 제2 검출 신호(io\_ndqs\_in)의 로직 레벨의 변동) 타이밍에서 제1 내부 신호(DQS\_GATE\_NDQS)가 활성화될 수 있다. 또한, 제1 내부 신호(DQS\_GATE\_NDQS)는 버스트 길이(BL)에 기반하여 그 활성화 구간이 조절될 수 있으며, 일 예로서 제2 검출 신호(io\_ndqs\_in)의 토글링에 따라 카운터(122\_1)의 카운팅 값이 8 에 해당하면 제1 내부 신호(DQS\_GATE\_NDQS)가 비활성화될 수 있다.
- [0047] 한편, 제2 내부 신호(DQS\_GATE\_PDQS)는 그 활성화 시점과 비활성화 시점에 차이가 있으나, 제1 내부 신호

(DQS\_GATE\_NDQS)에 상응하는 파형을 가질 수 있다. 제2 내부 신호(DQS\_GATE\_PDQS)는 제1 검출 신호(io\_dqs\_in)에 응답하여 제1 내부 신호(DQS\_GATE\_NDQS)를 캡처링함에 의해 생성될 수 있으며, 일 예로서 제2 내부 신호(DQS\_GATE\_PDQS)는 프리앰블 구간(tRPRE) 내의 제1 검출 신호(io\_dqs\_in)의 폴링 에지(falling edge)에서 활성화될 수 있다.

[0048] 한편, 제3 내부 신호(DQS\_GATE\_DUMMY)는 상기 제1 내부 신호(DQS\_GATE\_NDQS) 및 제2 내부 신호(DQS\_GATE\_PDQS)를 이용하여 생성될 수 있으며, 일 예로서 제3 내부 신호(DQS\_GATE\_DUMMY)는 제1 내부 신호(DQS\_GATE\_NDQS)와 제2 내부 신호(DQS\_GATE\_PDQS)를 OR 연산하여 생성될 수 있다. 한편, 제4 내부 신호(DQS\_GATE\_REAL)는 전술한 제1 내지 제3 내부 신호들(DQS\_GATE\_NDQS, DQS\_GATE\_PDQS, DQS\_GATE\_DUMMY) 및 도 4에는 도시되지 않은 내부 신호 중 적어도 하나를 이용하여 생성되는 신호로서, 도 4에 도시된 실시예에서는 제4 내부 신호(DQS\_GATE\_REAL)는 상기 제2 내부 신호(DQS\_GATE\_PDQS)와 동일한 파형을 가질 수 있다.

[0049] 게이트 신호(DQS\_GATE)는 전술한 각종 내부 신호들(DQS\_GATE\_NDQS, DQS\_GATE\_PDQS, DQS\_GATE\_DUMMY, DQS\_GATE\_REAL)을 이용하여 생성될 수 있다. 일 예로서, 도 4에 도시된 바와 같이 메모리 컨트롤러와 메모리 장치 사이에서 데이터의 수신에 무관하게 차동 DQS 신호(DQS\_t, DQS\_c)가 적어도 1 회 토글링하는 프리앰블 구간(tRPRE)을 정의하는 것으로 협의된 경우, 제4 내부 신호(DQS\_GATE\_REAL)가 게이트 신호(DQS\_GATE)로서 생성될 수 있다. 반면에, 메모리 컨트롤러와 메모리 장치 사이에서 프리앰블 구간(tRPRE)이 정의되지 않은 경우에는, 각종 내부 신호들(DQS\_GATE\_NDQS, DQS\_GATE\_PDQS, DQS\_GATE\_DUMMY, DQS\_GATE\_REAL)을 이용한 다른 처리 방식을 통해 게이트 신호(DQS\_GATE)가 생성될 수 있다.

[0050] 한편, 메모리 컨트롤러가 다수의 독출 커맨드들을 연속하게 출력함에 따라, 도 4에 도시된 바와 같이 다수 회의 데이터 독출 구간들이 존재할 수 있으며, 다음의 독출 커맨드에 따른 독출 데이터를 수신하기 위해 상기 내부 신호들(DQS\_GATE\_NDQS, DQS\_GATE\_PDQS, DQS\_GATE\_DUMMY, DQS\_GATE\_REAL)의 파형이 변동될 것이다. 일 예로서, 게이트 신호(DQS\_GATE)는 다음의 데이터 독출 구간 이전의 아이들 구간 및 프리앰블 구간을 마스킹하기 위해 비활성화되는 구간을 가지며, 다음의 데이터 독출 구간 동안 활성화될 수 있을 것이다. 또한, 본 발명의 실시예에 따라 생성되는 각종 내부 신호들(DQS\_GATE\_NDQS, DQS\_GATE\_PDQS, DQS\_GATE\_DUMMY, DQS\_GATE\_REAL) 및 게이트 신호(DQS\_GATE)는, 전술한 방식 이외에도 동일 또는 유사한 파형을 갖는 범위 내에서 다양한 신호 처리 방식에 따라 생성될 수도 있을 것이다.

[0051] 상기와 같은 실시예에 따르면 차동 DQS 신호(DQS\_t, DQS\_c)에 딜레이 편차가 존재하더라도, 차동 DQS 신호(DQS\_t, DQS\_c)와 기준 전압(Vref)을 이용하여 생성되는 제1 및 제2 검출 신호들(io\_dqs\_in, io\_ndqs\_in)에 기반하여 게이트 신호(DQS\_GATE)의 활성화 구간이 조절되므로 데이터(DATA) 수신 품질이 향상될 수 있다.

[0052] 도 5는 메모리 컨트롤러와 메모리 장치 사이에서 프리앰블 구간(tRPRE)에서의 토글링이 정의되지 않은 경우의 동작 예를 나타내는 파형도이다. 도 5에 도시된 동작을 설명함에 있어서, 전술한 실시예에서와 동일 또는 유사한 동작에 대해서는 구체적인 설명이 생략될 것이다.

[0053] 도 5를 참조하면, 제1 내부 신호(DQS\_GATE\_NDQS)는 제2 검출 신호(io\_ndqs\_in)에 응답하여 활성화되고 제2 내부 신호(DQS\_GATE\_PDQS)는 제1 검출 신호(io\_dqs\_in)에 응답하여 활성화될 수 있다. 또한, 제3 내부 신호(DQS\_GATE\_DUMMY)는 상기 제1 내부 신호(DQS\_GATE\_NDQS) 및 제2 내부 신호(DQS\_GATE\_PDQS)를 OR 연산하여 생성될 수 있다. 또한, 도 5에 도시된 실시예에서 제4 내부 신호(DQS\_GATE\_REAL)는 상기 제2 내부 신호(DQS\_GATE\_PDQS)와 동일한 파형을 가질 수 있다.

[0054] 본 실시예에서, 프리앰블 구간(tRPRE) 내에서 별도의 토글링이 발생됨이 없이 유효한 차동 DQS 신호(DQS\_t, DQS\_c)가 바로 메모리 컨트롤러로 제공될 수 있다. 이에 따라, 카운터(122\_1)가 1의 값을 카운팅한 구간에서 데이터(DATA)가 유효하게 수신되며, 카운터(122\_1)의 카운팅 값이 7에 해당하면 제1 내부 신호(DQS\_GATE\_NDQS)가 비활성화될 수 있다. 또한, 프리앰블 구간(tRPRE)에서의 토글링이 정의되지 않은 경우 전술한 실시예에서와는 달리 제3 내부 신호(DQS\_GATE\_DUMMY)가 게이트 신호(DQS\_GATE)로서 생성될 수 있다.

[0055] 도 5에서는 프리앰블 구간(tRPRE) 내에 토글링이 정의되지 않은 경우의 동작이 예시되었으나, 데이터 독출 동작 시 프리앰블 구간(tRPRE)이 존재하지 않는 것으로 정의된 경우에도 메모리 컨트롤러는 도 5에 도시된 실시예에서와 동일 또는 유사한 파형에 따라 동작할 수도 있을 것이다.

[0056] 도 6은 본 발명의 다른 예시적인 실시예에 따른 메모리 컨트롤러의 구현 예를 나타내는 블록도이다. 도 6에 도시된 구성요소들 중 전술한 도 2에서와 동일한 구성요소는 그 동작 또한 동일 또는 유사하므로, 이에 대한 구체적인 설명은 생략된다.

- [0057] 도 6을 참조하면, 메모리 컨트롤러(300)는 데이터(DATA)를 수신하는 하나 이상의 데이터 수신기(311), 차동 DQS 신호(DQS\_t, DQS\_c)를 수신하는 DQS 수신기(312) 및 차동 DQS 신호(DQS\_t, DQS\_c) 중 어느 하나와 기준 전압(Vref)을 비교하는 비교기(313)를 포함할 수 있다. 상기 수신기들(311, 312) 및 비교기(313) 각각은 두 입력들을 수신하고 입력 신호들의 레벨 차이에 따른 출력을 발생하므로, 각각 차동 수신기로 지칭될 수 있다.
- [0058] 또한, 메모리 컨트롤러(300)는 클린 DQS 신호 생성기(330), 게이트 신호 생성기(340) 및 독출 데이터(DATA)를 래치하는 하나 이상의 플립플롭들(320)을 더 포함할 수 있다. 또한, 일 실시예에 따라, 메모리 컨트롤러(300)는 독출 커맨드 인터벌 검출기(350) 및 인터벌 검출 결과를 저장하는 저장 회로의 일 예로서 FIFO(360)를 더 포함할 수 있다. 일 실시예에 따라, 독출 커맨드 인터벌 검출기(350) 및 FIFO(360)는 시스템 클록(CLK)을 동작 클록으로 이용할 수 있다. 또한, 전술한 실시예에 따라 DQS 수신기(312)는 제1 검출 신호(io\_dqs\_in)를 출력하고, 비교기(313)는 제2 검출 신호(io\_ndqs\_in)를 출력하며, 게이트 신호 생성기(340)는 게이트 신호(DQS\_GATE)를 생성하고, 클린 DQS 신호 생성기(330)는 클린 DQS 신호(CLEAN\_DQS)를 생성할 수 있다.
- [0059] 메모리 컨트롤러(300)는 하나 이상의 독출 커맨드들(RD CMD)를 메모리 장치(미도시)로 제공할 수 있으며, 또한 독출 커맨드들(RD CMD) 사이의 인터벌을 검출하기 위하여 독출 커맨드들(RD CMD)은 독출 커맨드 인터벌 검출기(350)로 제공될 수 있다.
- [0060] 독출 커맨드들(RD CMD)의 인터벌은 다양한 값을 가질 수 있다. 일 예로서, 메모리 컨트롤러(300)가 독출 커맨드(RD CMD)를 출력한 후 다음의 독출 커맨드(RD CMD)의 출력까지의 인터벌로서 최소 시간(tCCDmin)이 정의되며, 일 예로 최소 시간(tCCDmin)은 메모리 장치의 시스템 클록의 8 CLK(또는, 메모리 컨트롤러의 시스템 클록(CLK)과 메모리 장치의 시스템 클록의 주파수 비가 1:2에 해당하는 경우, 메모리 컨트롤러의 시스템 클록의 4 CLK)으로 정의될 수 있다. 메모리 컨트롤러(300)는 최소 시간(tCCDmin) 또는 그 이상의 인터벌로서 독출 커맨드들(RD CMD)을 출력할 수 있으며, 독출 커맨드 인터벌 검출기(350)는 인터벌 검출 결과(CMD\_ITV)를 생성하여 FIFO(360)로 제공할 수 있다. 일 실시예에 따라, 독출 커맨드 인터벌 검출기(350)는 기록 인에이블 신호(WR\_FIFO\_EN)를 더 생성하고, FIFO(360)는 기록 인에이블 신호(WR\_FIFO\_EN)에 동기하여 인터벌 검출 결과(CMD\_ITV)를 저장할 수 있다.
- [0061] 한편, 전술한 실시예에 따라 게이트 신호 생성기(340)는 제1 및 제2 검출 신호들(io\_dqs\_in, io\_ndqs\_in)에 기반하여 게이트 신호(DQS\_GATE)를 생성할 수 있으며, 일 실시예에 따라 게이트 신호 생성기(340)는 독출 커맨드들(RD CMD)의 인터벌 검출 결과를 더 이용하여 게이트 신호(DQS\_GATE)를 생성할 수 있다. 일 예로서, 게이트 신호 생성기(340)는 독출 인에이블 신호(RD\_FIFO\_EN)를 생성하여 FIFO(360)로 제공하고, 게이트 신호 생성기(340)는 독출 인에이블 신호(RD\_FIFO\_EN)에 응답하여 독출된 인터벌 검출 결과(CMD\_ITV)를 수신할 수 있다. 일 실시예에 따라, 게이트 신호 생성기(340)는 제2 검출 신호(io\_ndqs\_in)에서 글리치(glitch)를 제거한 제어 신호(mem\_ndqs\_gated)를 더 생성하여 FIFO(360)로 제공할 수 있다. FIFO(360)에 정보가 저장되는 경우 전술한 시스템 클록(CLK)이 동작 클록으로 이용될 수 있으며, 또한 FIFO(360)로부터 정보가 독출되는 경우 제어 신호(mem\_ndqs\_gated)가 동작 클록으로 이용될 수 있다.
- [0062] 도 7 및 도 8은 인터벌 검출 결과(CMD\_ITV)의 저장 예를 나타내는 파형도이다. 도 7 및 도 8에서 메모리 컨트롤러의 시스템 클록(CLK)과 메모리 장치의 시스템 클록의 주파수 비가 1:2 인 경우가 예시된다. 또한, 도 7에서는 독출 커맨드(RD\_CMD)의 버스트 길이(RD\_BL)가 16에 해당하는 경우가 예시되고, 도 8에서는 독출 커맨드(RD\_CMD)의 버스트 길이(RD\_BL)가 16 또는 32를 갖는 경우가 예시된다.
- [0063] 도 6 및 도 7을 참조하면, 독출 커맨드 인터벌 검출기(350)는 독출 커맨드들(RD CMD)의 인터벌에 해당하는 구간을 카운팅하고, 카운팅 결과로서 인터벌 검출 결과(CMD\_ITV)를 생성할 수 있다. 독출 커맨드들(RD CMD)의 인터벌에 따라, 최소 시간(tCCDmin)에 해당하는 인터벌 검출 결과(CMD\_ITV)나 최소 시간(tCCDmin)보다 긴 시간(tCCDmin + 2, tCCDmin + 4 등)에 해당하는 인터벌 검출 결과(CMD\_ITV)가 생성될 수 있다. 인터벌 검출 결과(CMD\_ITV)의 생성 타이밍에 동기하게 기록 인에이블 신호(WR\_FIFO\_EN)가 생성되고, FIFO(360)에 독출 커맨드들(RD CMD)의 인터벌 검출 결과(CMD\_ITV)가 저장될 수 있다.
- [0064] 한편, 도 6 및 도 8을 참조하면, 버스트 길이(RD\_BL)가 32에 해당하는 경우에는 인터벌 검출 결과(CMD\_ITV)가 버스트 길이(RD\_BL)가 16인 경우를 기준으로 변환될 수 있다. 일 예로서, 버스트 길이(RD\_BL)가 32인 하나의 독출 커맨드(RD CMD)는 두 개의 16 BL의 독출 커맨드들(RD CMD)로 변환될 수 있다. 이 때, 32에 해당하는 버스트 길이(RD\_BL)의 독출 커맨드(RD CMD)에 따라 32 비트의 데이터들이 연속하게 독출되므로, 상기 32 BL의 독출 커맨드(RD CMD)는 최소 시간(tCCDmin) 인터벌에 따라 생성되는 16 BL의 독출 커맨드(RD CMD) 하나와, 최소 시간(tCCDmin) 또는 그 이상의 인터벌에 따라 생성되는 16 BL의 독출 커맨드(RD CMD) 하나로 변환될 수 있다. 도 8

에서는 32 BL의 독출 커맨드(RD CMD)에 대해 최소 시간(tCCDmin)에 해당하는 인터벌 검출 결과(CMD\_ITV)와 tCCDmin + 4 또는 그 이상의 인터벌 검출 결과(CMD\_ITV)가 FIFO(360)에 저장되는 예가 도시된다.

- [0065] 도 6 내지 도 8에 도시된 메모리 컨트롤러의 구체적인 동작의 일 예를 도 9 내지 도 11을 참조하여 설명하면 다음과 같다. 이하의 파형도들에 도시된 신호들 중 전술한 도 4에서와 동일한 신호는 그 파형 또한 동일 또는 유사하므로, 이에 대한 구체적인 설명은 생략될 것이다.
- [0066] 도 9에서는 16 BL의 독출 커맨드들(RD CMD)의 인터벌이 tCCDmin + 4에 해당하는 예가 도시된다. 즉, 독출 커맨드들(RD CMD)의 인터벌이 tCCDmin + 4에 해당함에 따라, 데이터 독출 구간들 사이에 아이들 구간 및 프리앰블 구간이 존재할 수 있다. 또는, 독출 커맨드들(RD CMD)의 인터벌이 tCCDmin + 4 보다 큰 경우에도 도 9에 도시된 파형도가 적용될 수 있을 것이다.
- [0067] 도 6 및 도 9를 참조하면, 게이트 신호 생성기(340) 내의 카운터(미도시)는 제2 검출 신호(io\_ndqs\_in)에 응답하여 카운팅 동작을 수행할 수 있으며, 일 예로서 제2 검출 신호(io\_ndqs\_in)의 라이징 에지(rising edge)에 응답하여 카운팅 동작을 수행할 수 있다. 또한, 일 실시예에 따라, 게이트 신호 생성기(340)는 FIFO(360)로부터 독출된 인터벌 검출 결과(CMD\_ITV)를 수신할 수 있으며, 인터벌 검출 결과(CMD\_ITV)는 지연되어 게이트 신호 생성기(340)로 제공될 수 있으므로 게이트 신호 생성기(340)는 지연된 인터벌 검출 결과(CMD\_ITV\_D)를 수신하는 것으로 설명될 수 있다. 일 동작 예로서, 카운팅 값이 9에 도달하기 전의 임의의 카운팅 값에서 독출 인에이블 신호(RD\_FIFO\_EN)가 활성화될 수 있으며, 도 9의 예에서는 카운터가 4 를 카운팅함에 따라 독출 인에이블 신호(RD\_FIFO\_EN)가 활성화되는 예가 도시된다. 지연된 인터벌 검출 결과(CMD\_ITV\_D)는 제2 검출 신호(io\_ndqs\_in)의 라이징 에지(rising edge)에서 인터벌 검출 결과(CMD\_ITV)를 캡처한 신호에 해당할 수 있다.
- [0068] 일 예로서, 독출 커맨드(RD CMD)의 버스트 길이(BL)가 16에 해당함에 따라, 카운터가 9 를 카운팅한 이후에 카운팅 값이 소정의 값으로 초기화될 수 있다. 상기 초기화 동작은 독출 커맨드(RD CMD)의 인터벌을 고려하여 수행될 수 있으며, 일 예로서 카운터가 9 를 카운팅했을 때 지연된 인터벌 검출 결과(CMD\_ITV\_D)가 tCCDmin + 4 또는 그 이상에 해당하는 경우에는 카운터는 다음의 카운팅 결과를 0으로 변경할 수 있다. 이후, 앞선 독출 커맨드(RD CMD)의 경우에서와 동일하게, 아이들 구간 후 프리앰블 구간(tRPRE)이 시작되면 제2 검출 신호(io\_ndqs\_in)는 다시 로직 하이 레벨로 변동되고, 상기 제2 검출 신호(io\_ndqs\_in)에 응답하여 카운팅 동작이 1에서 9 까지 수행될 수 있다.
- [0069] 제1 내부 신호(DQS\_GATE\_NDQS)는 로직 하이 레벨로 변동된 이후 16 버스트 독출(burst read) 후에 로직 로우 레벨로 변동되며, 다음의 독출 커맨드(RD CMD)에 따라 프리앰블 구간(tRPRE)의 시작 타이밍에서 다시 로직 하이 레벨로 변동된다. 전술한 실시예에서와 같이, 제2 내부 신호(DQS\_GATE\_PDQS)는 제1 검출 신호(io\_dqs\_in)에 응답하여 제1 내부 신호(DQS\_GATE\_NDQS)를 캡처링함에 의해 생성될 수 있으며, 메모리 컨트롤러(300)와 메모리 장치(미도시) 사이에서 프리앰블 구간(tRPRE)이 정의됨에 따라 제2 내부 신호(DQS\_GATE\_PDQS)가 게이트 신호(DQS\_GATE)로서 생성될 수 있다. 이 때, 도 9에 도시된 바와 같이, 제1 내부 신호(DQS\_GATE\_NDQS)에서 로직 로우 레벨을 갖는 구간이 형성되고, 이에 따라 제2 내부 신호(DQS\_GATE\_PDQS) 및 게이트 신호(DQS\_GATE)는 로직 로우 레벨을 갖는 구간을 포함할 수 있다. 즉, 아이들 구간과 프리앰블 구간(tRPRE)에 더미 토글(dummy toggle)이 발생하는 동안 게이트 신호(DQS\_GATE)는 비활성화될 수 있으며, 이로 인해 상기 더미 토글(dummy toggle)에 기인하는 데이터 수신 특성 저하가 방지될 수 있다.
- [0070] 도 10에서는 16 BL의 독출 커맨드들(RD CMD)의 처음의 인터벌이 tCCDmin + 2에 해당하고 다음의 인터벌이 tCCDmin + 4에 해당하는 예가 도시된다. 즉, 현재 독출 커맨드와(RD CMD) 다음의 독출 커맨드(RD CMD)의 인터벌이 tCCDmin + 2에 해당함에 따라, 다음의 독출 커맨드(RD CMD)에 따른 데이터 독출 구간의 직전에 아이들 구간은 존재하지 않는 반면에, 상기 데이터 독출 구간의 직전에 프리앰블 구간(tRPRE) 및 포스트앰블 구간(tPRST)은 존재할 수 있다.
- [0071] 도 6 및 도 10을 참조하면, 카운터가 4 를 카운팅함에 따라 독출 인에이블 신호(RD\_FIFO\_EN)가 활성화되고, 지연된 인터벌 검출 결과(CMD\_ITV\_D)가 tCCDmin + 2에 해당하는 것으로 판단될 수 있다. 이 경우에는 독출 커맨드들(RD CMD) 사이에 아이들 구간이 존재하지 않으므로, 다음의 독출 커맨드(RD CMD)와 관련하여 아이들 구간에서 프리앰블 구간(tRPRE)으로 변동하는 타이밍이 존재하지 않는다. 이에 따라, 도 9의 실시예에서와는 달리, 지연된 인터벌 검출 결과(CMD\_ITV\_D)가 tCCDmin + 2에 해당하는 경우에는 카운터가 8을 카운팅했을 때 제1 내부 신호(DQS\_GATE\_NDQS)는 로직 로우 레벨로 변동함이 없이 로직 하이 레벨을 유지한다. 또한, tCCDmin + 2에 해당하는 지연된 인터벌 검출 결과(CMD\_ITV\_D)에 따라, 카운터는 9 를 카운팅한 이후 다음의 카운팅 결과를 1 로 변경할 수 있다.

- [0072] 이 때, 프리앰블 구간(trPRE)에서 더미 토글(dummy toggle)에 의한 영향이 방지되도록, 추가 내부 신호(DQS\_GATE\_BB2)가 더 생성될 수 있다. 일 예로서, 추가 내부 신호(DQS\_GATE\_BB2)는 로직 하이 레벨을 유지하다가, 카운터의 카운팅 값이 9 에 해당하고 또한 지연된 인터벌 검출 결과(CMD\_ITV\_D)가 tCCDmin + 2에 해당하는 경우, 내부 신호(DQS\_GATE\_BB2)는 제1 검출 신호(io\_dqs\_in)의 폴링 에지(falling edge)에 응답하여 로직 로우 레벨로 변동될 수 있다. 또한, 내부 신호(DQS\_GATE\_BB2)는 소정 구간 동안 로직 로우 레벨을 유지한 후, 프리앰블 구간(trPRE)에서 제1 검출 신호(io\_dqs\_in)의 토글링의 폴링 에지(falling edge)에 응답하여 로직 하이 레벨로 변동될 수 있다. 일 예로서, 내부 신호(DQS\_GATE\_BB2)는 프리앰블 구간(trPRE) 및 포스트앰블 구간(tPRST)을 포함하는 구간 중 적어도 일부의 구간 동안 로직 로우 레벨을 가질 수 있다.
- [0073] 일 실시예에 따라, 제4 내부 신호(DQS\_GATE\_REAL)는 게이트 신호 생성기(340) 내의 각종 내부 신호들을 이용하여 생성될 수 있으며, 예컨대 제4 내부 신호(DQS\_GATE\_REAL)는 제2 내부 신호(DQS\_GATE\_PDQS)와 추가 내부 신호(DQS\_GATE\_BB2)를 AND 연산함으로써 생성될 수 있다. 또한, 메모리 컨트롤러(300)와 메모리 장치 사이에서 프리앰블 구간(trPRE)이 정의되므로, 제3 내부 신호(DQS\_GATE\_DUMMY) 대신에 제4 내부 신호(DQS\_GATE\_REAL)가 게이트 신호(DQS\_GATE)로 이용될 수 있다. 제4 내부 신호(DQS\_GATE\_REAL)가 전술한 로직 로우 레벨 구간을 가짐에 따라, 다음의 데이터 독출 구간이 수행되기 전의 프리앰블 구간(trPRE)에서 발생될 수 있는 더미 토글(dummy toggle)이 효과적으로 제거될 수 있다.
- [0074] 한편, 다음의 독출 커맨드(RD CMD)와 그 다음의 독출 커맨드(RD CMD) 사이의 인터벌은 tCCDmin + 4에 해당하므로, 다음의 독출 커맨드(RD CMD)에 따른 각종 내부 신호들의 파형은 전술한 도 9에 도시된 파형을 따를 수 있을 것이다. 또한, 전술한 도 9의 경우에는 추가 내부 신호(DQS\_GATE\_BB2)가 로직 로우 레벨로 변동되는 조건이 만족되지 않음에 따라, 도 9에 도시된 바와 같이 추가 내부 신호(DQS\_GATE\_BB2)는 로직 하이 레벨을 유지하는 파형을 가질 것이다.
- [0075] 도 11에서는 16 BL의 독출 커맨드들(RD CMD)의 처음의 인터벌이 tCCDmin에 해당하고 다음의 인터벌이 tCCDmin + 4에 해당하는 예가 도시된다. 즉, 현재 독출 커맨드와(RD CMD) 다음의 독출 커맨드(RD CMD)의 인터벌이 tCCDmin에 해당함에 따라, 데이터 독출 구간들 사이에 아이들 구간, 프리앰블 구간 및 포스트앰블 구간은 존재하지 않을 수 있다.
- [0076] 도 6 및 도 11을 참조하면, 카운터가 4 를 카운팅함에 따라 독출 인에이블 신호(RD\_FIFO\_EN)가 활성화되어, 지연된 인터벌 검출 결과(CMD\_ITV\_D)가 tCCDmin에 해당하는 것으로 판단될 수 있다. 이 경우에는 독출 커맨드들(RD CMD) 사이에 아이들 구간, 프리앰블 구간 및 포스트앰블 구간이 존재하지 않게 된다. 이에 따라, 카운터의 카운팅 동작이 달라지게 되고, 예컨대 tCCDmin에 해당하는 지연된 인터벌 검출 결과(CMD\_ITV\_D)에 따라, 카운터는 9 를 카운팅한 이후 다음의 카운팅 결과를 2 로 변경할 수 있다. 도 11에는 그 다음의 독출 커맨드들(RD CMD)의 인터벌 검출 결과(CMD\_ITV\_D)가 tCCDmin + 4에 해당하는 예가 더 도시되며, 이 경우에는 전술한 도 9의 실시예에서와 같이 카운터가 9 를 카운팅한 이후 다음의 카운팅 결과를 0 으로 변경할 것이다.
- [0077] 한편, 도 10에서의 실시예에서와 동일하게 카운터가 8 을 카운팅했을 때 제1 내부 신호(DQS\_GATE\_NDQS)는 로직 로우 레벨로 변동함이 없이 로직 하이 레벨을 유지할 수 있다. 또한, 프리앰블 구간이 존재하지 않으므로, 프리앰블 구간 내에서 더미 토글을 제거하기 위한 내부 신호(DQS\_GATE\_BB2)는 로직 로우 레벨로 변동함이 없이 로직 하이 레벨을 유지할 수 있다. 제4 내부 신호(DQS\_GATE\_REAL)는 제2 내부 신호(DQS\_GATE\_PDQS)와 추가 내부 신호(DQS\_GATE\_BB2)를 AND 연산함으로써 생성될 수 있으며, 제4 내부 신호(DQS\_GATE\_REAL)가 게이트 신호(DQS\_GATE)로 이용될 수 있다.
- [0078] 도 11에 도시된 실시예에 따르면, 데이터 독출 구간들 사이에 아이들 구간, 프리앰블 구간 및 포스트앰블 구간은 존재하지 않으므로 차동 DQS 신호(DQS\_t, DQS\_c)는 계속 유효하게 토글될 것이고, 데이터 독출 구간들 사이에서 더미 토글(dummy toggle)이 발생되지 않을 수 있다. 이에 대응하여, 도 11에 도시된 실시예에서와 같이 게이트 신호(DQS\_GATE)는 연속한 데이터 독출 구간들에 걸쳐 로직 하이 레벨을 유지할 수 있으며, 이에 따라 독출 커맨드들(RD CMD)이 최소 시간(tCCDmin)의 인터벌을 가지며 연속하게 생성되어도 메모리 컨트롤러(300)는 안정적으로 데이터를 수신할 수 있다.
- [0079] 도 12는 도 6의 게이트 신호 생성기의 일 구현 예를 나타내는 회로도이다.
- [0080] 도 12를 참조하면, 게이트 신호 생성기(340)는 다수의 로직 회로들을 포함할 수 있다. 일 예로서, 게이트 신호 생성기(340)는 제어 로직(341), 하나 이상의 플립플롭들(342\_1 ~ 342\_4), 하나 이상의 선택기들(343\_1, 343\_2), 하나 이상의 OR 게이트(OR1, OR2) 및 하나 이상의 AND 게이트(AND1, AND2)를 포함할 수 있다. 한편,

도 12에 도시된 AND 게이트(AND3)는 도 6의 클린 DQS 신호 생성기(330)에 구비되는 구성일 수 있다.

- [0081] 제어 로직(341)은 카운터를 포함할 수 있으며, 전술한 실시예들에 따라 내부 신호들 및 게이트 신호를 생성하기 위한 각종 제어 동작을 수행할 수 있다. 일 예로서, 제어 로직(341)은 제1 내부 신호(DQS\_GATE\_NDQS)를 생성하는 제2 플립플롭(342\_2)으로 신호를 제공할 수 있으며, 제2 플립플롭(342\_2)은 제2 검출 신호(io\_ndqs\_in)를 클럭단(CK)을 통해 수신할 수 있다. 제2 플립플롭(342\_2)은 제2 검출 신호(io\_ndqs\_in)에 응답하여 제어 로직(341)으로부터의 신호를 입력 및 출력함으로써 제1 내부 신호(DQS\_GATE\_NDQS)를 생성할 수 있다. 일 실시예에 따라, 제2 플립플롭(342\_2)은 제2 검출 신호(io\_ndqs\_in)를 수신할 수 있으며, 또는 제2 검출 신호(io\_ndqs\_in)에서 글리치(glitch)가 제거된 신호(mem\_ndqs\_gated)를 수신할 수 있다. 이를 위해, 제1 선택기(343\_1)는 글리치 제어 인에이블 신호(glitch\_removal\_en)에 응답하여 신호(mem\_ndqs\_gated)를 출력하고, 제1 OR 게이트(OR1)는 신호(mem\_ndqs\_gated) 또는 제2 검출 신호(io\_ndqs\_in)를 선택적으로 제2 플립플롭(342\_2)으로 제공할 수 있다.
- [0082] 또한, 제3 플립플롭(342\_3)은 전술한 제2 내부 신호(DQS\_GATE\_PDQS)를 생성할 수 있으며, 일 예로서 제2 플립플롭(342\_2)의 출력을 입력단을 통해 수신하고, 제1 검출 신호(io\_dqs\_in) 또는 글리치가 제어된 신호(mem\_dqs\_gated)를 선택적으로 클럭단(CKN)을 통해 수신할 수 있다. 이에 따라, 제3 플립플롭(342\_3)은 제1 검출 신호(io\_dqs\_in) 또는 신호(mem\_dqs\_gated)의 에지에 응답하여 제1 내부 신호를 캡처링한 제2 내부 신호(DQS\_GATE\_PDQS)를 생성할 수 있다. 도 12에서는 신호(mem\_dqs\_gated)가 이용되는 예가 도시되고, 이에 따라 신호(mem\_dqs\_gated)를 출력하는 제1 AND 게이트(AND1)가 구비되는 예가 도시된다.
- [0083] 한편, 제4 플립플롭(342\_4)은 전술한 추가 내부 신호(DQS\_GATE\_BB2)를 생성할 수 있으며, 일 예로 제어 로직(341)으로부터의 신호를 입력단(D)을 통해 수신하고, 제1 검출 신호(io\_dqs\_in) 또는 신호(mem\_dqs\_gated)를 클럭단(CKN)을 통해 수신할 수 있다. 제어 로직(341)으로부터 전술한 프리앰블 구간 동안 발생될 수 있는 더미 토글(dummy toggle)을 제거하기 위한 파형을 갖는 신호가 입력단(D)을 통해 수신되고, 이로부터 추가 내부 신호(DQS\_GATE\_BB2)가 생성될 수 있다.
- [0084] 한편, 제2 OR 게이트(OR2)는 제1 내부 신호(DQS\_GATE\_NDQS)와 제2 내부 신호(DQS\_GATE\_PDQS)를 OR 연산하여 제3 내부 신호(DQS\_GATE\_DUMMY)를 생성할 수 있으며, 제2 AND 게이트(AND2)는 제2 내부 신호(DQS\_GATE\_PDQS)와 추가 내부 신호(DQS\_GATE\_BB2)를 AND 연산하여 제4 내부 신호(DQS\_GATE\_REAL)를 생성할 수 있다. 제2 선택기(343\_2)는 프리앰블 구간이 존재하는 지를 나타내는 제어 신호(ctrl\_rpre\_opt)에 응답하여 제3 내부 신호(DQS\_GATE\_DUMMY) 또는 제4 내부 신호(DQS\_GATE\_REAL)를 게이트 신호(DQS\_GATE)로서 출력할 수 있다. 또한, 제3 AND 게이트(AND3)는 게이트 신호(DQS\_GATE)와 제1 검출 신호(io\_dqs\_in)를 AND 연산하여 클린 DQS 신호(CLEAN\_DQS)를 생성할 수 있다.
- [0085] 한편, 게이트 신호 생성기(340)는 포스트앰블 이후에 발생될 수 있는 글리치를 제거하는 로직 처리를 수행할 수 있다. 일 예로서, 제1 플립플롭(342\_1)은 제어 로직(341)으로부터의 신호를 입력단(D)을 통해 수신하고, 전술한 신호(mem\_ndqs\_gated)를 클럭단(CK)을 통해 수신할 수 있다. 또한, 제1 플립플롭(342\_1)의 출력은 글리치 제어 신호(RPST\_END)에 해당하고, 제1 플립플롭(342\_1)의 출력은 딜레이 라인을 거쳐 지연된 글리치 제어 신호(RPST\_END\_delayed)로서 제1 플립플롭(342\_1)의 리셋단(R)으로 제공될 수 있다. 딜레이 라인은 소정의 구간(예컨대, 1.5tCK) 만큼 딜레이 동작을 수행할 수 있으며, 상기와 같은 동작에 따라 제1 플립플롭(342\_1)은 상기 소정의 구간 동안 로직 하이 레벨을 갖는 글리치 제어 신호(RPST\_END)를 출력할 수 있다.
- [0086] 전술한 글리치 제거 동작과 관련하여 도 13을 참조하여 설명하면 다음과 같다. 도 13은 본 발명의 메모리 컨트롤러의 구체적인 동작의 다른 일 예를 나타내는 파형도이다. 도 13에서는 독출 커맨드들(RD\_CMD) 사이의 인터벌이 tCCDmin + 4에 해당하는 예가 도시되며, 이에 따라 전술한 각종 내부 신호들의 파형은 도 9에 도시된 파형과 동일 또는 유사하게 생성될 수 있다.
- [0087] 도 13을 참조하면, 글리치 제어 인에이블 신호(미도시)가 활성화됨에 따라 데이터 독출 구간 이외의 구간(예컨대, 아이들 구간)에서 발생될 수 있는 글리치가 제거될 수 있다. 예컨대, 포스트앰블 구간(tPRST) 이후 아이들 구간에서 제2 검출 신호(io\_ndqs\_in)에 글리치가 발생된 예가 도시된다.
- [0088] 일 실시예에 따라, 포스트앰블 구간(tPRST)이 시작되는 타이밍에서 제2 검출 신호(io\_ndqs\_in)에 동기하여 글리치 제어 신호(RPST\_END)가 로직 하이 레벨로 변동될 수 있으며, 도 12에서의 딜레이 라인에 의해 대략 1.5tCK 만큼 딜레이된 지연된 글리치 제어 신호(RPST\_END\_delayed)가 생성될 수 있다. 또한, 제1 플립플롭(342\_1)의 동작에 따라, 지연된 글리치 제어 신호(RPST\_END\_delayed)가 로직 하이 레벨로 변동하는 타이밍에서 글리치 제어

신호(RPST\_END)는 로직 로우 레벨로 변동할 수 있다. 이에 따라, 글리치가 발생될 수 있는 소정 구간 동안 로직 하이 레벨로 활성화되는 글리치 제어 신호(RPST\_END)가 생성될 수 있다. 이에 따라, 제2 검출 신호(io\_ndqs\_in)에서 글리치가 제거된 신호(mem\_ndqs\_gated)가 생성될 수 있다. 이후, 전술한 실시예들에서 제2 검출 신호(io\_ndqs\_in)를 이용한 동작은 상기 신호(mem\_ndqs\_gated)를 이용하여 수행될 수 있으며, 이에 따라 글리치가 제거된 게이트 신호(DQS\_GATE)가 생성될 수 있다.

- [0089] 도 14 및 도 15는 본 발명의 예시적인 실시예들에 따른 메모리 컨트롤러의 동작 방법을 나타내는 플로우차트이다. 도 14 및 도 15에서는 차동 DQS 신호와 기준 신호를 이용하여 게이트 신호를 생성하는 동작의 일 예가 도시된다.
- [0090] 도 14를 참조하면, 데이터 독출 동작시 메모리 장치로부터 메모리 컨트롤러로 데이터 및 차동 DQS 신호가 제공될 수 있다. 실제 데이터 독출 구간이 수행되기에 앞서 아이들 구간 및 프리앰블 구간이 존재할 수 있으며, 차동 DQS 신호를 수신하는 수신기의 입력단에는 접지전압에 연결된 ODT가 적용될 수 있다.
- [0091] 차동 DQS 신호를 수신하는 수신기는 차동 DQS 신호의 레벨에 따른 제1 검출신호를 생성한다(S11). 예컨대, 제1 DQS 신호와 제2 DQS 신호의 레벨 차이에 따라 로직 로우 레벨 또는 로직 하이 레벨을 갖는 제1 검출신호(예컨대, 도 6에서 io\_dqs\_in)를 생성할 수 있다. 이와 유사하게, 메모리 컨트롤러에 구비되는 비교기는 어느 하나의 DQS 신호(예컨대, 제2 DQS 신호)와 소정의 레벨을 갖는 기준 전압을 수신하고, 제2 DQS 신호와 기준 전압의 레벨 차이에 따라 로직 로우 레벨 또는 로직 하이 레벨을 갖는 제2 검출신호(예컨대, 도 6에서 io\_ndqs\_in)를 생성할 수 있다(S12).
- [0092] ODT가 인에이블된 아이들 구간에서, 차동 DQS 신호를 수신하는 수신기의 두 입력단으로 모두 로직 로우 레벨을 갖는 신호가 입력되고, 이에 따라 제1 검출신호는 삼-상태를 가질 수 있다. 반면에, 상기 기준 전압은 대략 로직 로우 레벨과 로직 하이 레벨의 중간에 해당하는 레벨을 가질 수 있으며, 상기 ODT가 인에이블된 아이들 구간에서 제2 검출신호는 로직 로우 레벨을 가질 수 있다.
- [0093] 이후, 소정의 클록 수 만큼의 구간을 갖는 프리앰블 구간이 시작될 수 있으며, 프리앰블 구간이 시작됨에 따라 제1 DQS 신호와 제2 DQS 신호는 차동 특성을 갖도록 구동될 수 있다. 예컨대, 프리앰블 구간의 시작 타이밍에서 제1 DQS 신호는 로직 로우 레벨로 구동되고 제2 DQS 신호는 로직 하이 레벨로 구동될 수 있다. 이 때, 프리앰블 구간의 시작 타이밍에서 제2 DQS 신호는 로직 로우 레벨에서 로직 하이 레벨로 변동하게 된다.
- [0094] 상기 제1 및 제2 검출신호들을 이용하여 각종 내부 신호들이 생성된다. 제1 내부 신호(예컨대, 도 6에서 DQS\_GATE\_NDQS)는 제2 검출신호에 응답하거나 동기하여 생성될 수 있으며(S13), 일 예로서 제1 내부 신호는 프리앰블 구간의 시작 타이밍에서의 제2 검출신호의 라이징 에지에 동기하여 활성화될 수 있으며, 독출 커맨드의 버스트 길이에 대응하는 활성화 구간을 가질 수 있다. 또한, 제2 내부 신호(예컨대, 도 6에서 DQS\_GATE\_PDQS)는 제1 검출신호에 동기하여 생성될 수 있으며(S14), 일 예로서 제2 내부 신호는 프리앰블 구간 내의 제1 검출신호의 폴링 에지에 동기하여 제1 내부 신호를 캡처링함에 의해 생성될 수 있다. 상기와 같이 생성된 제1 및 제2 내부 신호들을 이용하여 게이트 신호가 생성될 수 있다(S15). 일 예로서, 전술한 실시예들에 따라, 게이트 신호는 제2 내부 신호 및 메모리 컨트롤러 내에서 생성된 하나 이상의 다른 내부 신호들을 이용하여 생성될 수 있다.
- [0095] 상기 동작에서는 차동 DQS 신호를 수신하는 수신기에 접지전압에 연결된 ODT가 적용된 예가 설명되었으나, 본 발명의 실시예는 전원전압에 연결된 ODT(예컨대, POD Term)가 적용된 경우에도 전술한 실시예들과 동일 또는 유사하게 동작될 수 있다. 일 예로, POD Term이 적용된 경우에는, ODT가 인에이블된 아이들 구간에서 차동 DQS 신호를 수신하는 수신기의 두 입력단으로 모두 로직 하이 레벨을 갖는 신호가 입력되고, 이 때 제1 검출신호는 삼-상태를 갖는 반면에 제2 검출신호는 로직 하이 레벨을 가질 수 있다. 그리고, 프리앰블 구간이 시작됨에 따라 제1 DQS 신호와 제2 DQS 신호는 차동 특성을 갖도록 구동될 수 있다. 예컨대, 프리앰블 구간의 시작 타이밍에서 제1 DQS 신호는 로직 하이 및 로직 로우 중 어느 하나의 레벨을 가지며 제2 DQS 신호는 다른 하나의 레벨을 가질 수 있다. 그리고, 프리앰블 구간 내에서 차동 DQS 신호는 적어도 1 회 토글링될 수 있다. POD Term이 적용된 예에서, 상기와 같은 과형 특성을 갖는 차동 DQS 신호를 통해 전술한 방식에 기반하여 제1 및 제2 검출신호들을 생성하고, 또한 제1 및 제2 검출신호들을 통해 각종 내부 신호들을 생성함으로써 게이트 신호가 생성될 수 있을 것이다.
- [0096] 한편, 도 15에서는 독출 커맨드들의 인터벌을 검출함에 기반하여 게이트 신호가 생성되는 예가 도시된다.
- [0097] 도 15를 참조하면, 차동 DQS 신호를 수신하는 수신기는 차동 DQS 신호의 레벨에 따른 제1 검출신호(예컨대, 도 9에서 io\_dqs\_in)를 생성하고(S21), 또한 메모리 컨트롤러에 구비되는 비교기는 어느 하나의 DQS 신호(예컨대,

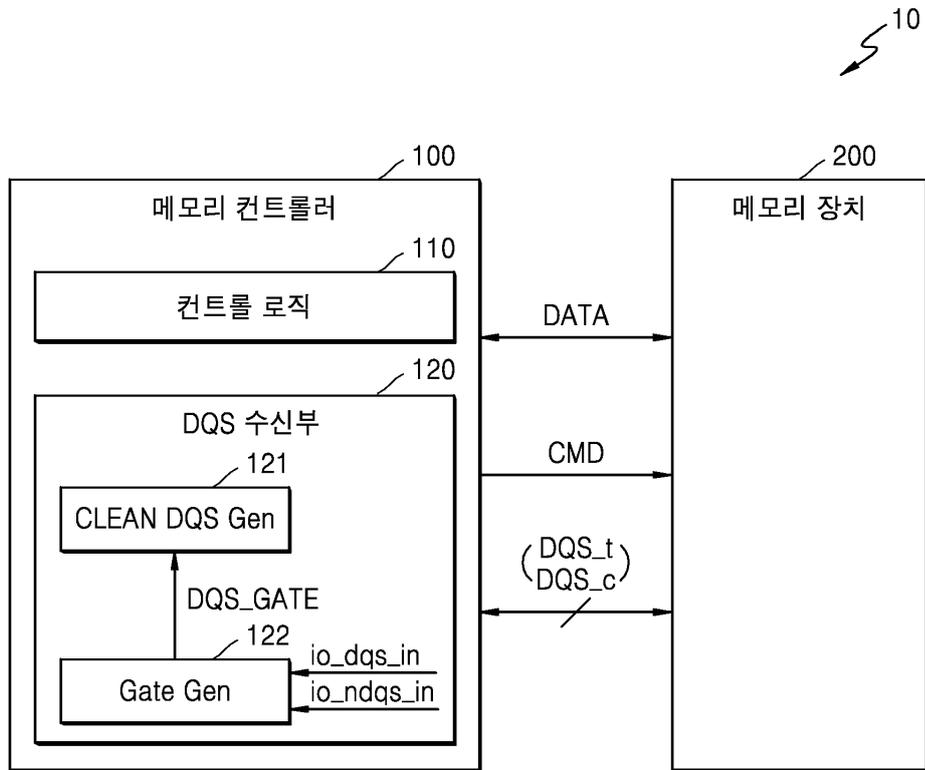
제2 DQS 신호)와 소정의 레벨을 갖는 기준 전압에 따른 제2 검출신호(예컨대, 도 9에서 io\_ndqs\_in)를 생성할 수 있다(S22).

- [0098] 또한, 메모리 컨트롤러 내에 구비되는 인터벌 검출 회로는 메모리 장치로 출력되는 독출 커맨드들을 피드백받아 그 인터벌을 검출하고 인터벌 검출 정보를 메모리 컨트롤러 내의 저장 수단(예컨대, FIFO)에 저장할 수 있다(S23). 또한, 메모리 컨트롤러 내의 카운터는 어느 하나의 검출신호(예컨대, 제2 검출신호)에 응답하는 카운팅 동작을 수행할 수 있으며(S24), 예컨대 카운터는 제2 검출신호의 라이징 에지에서 카운팅 동작을 수행하여 카운팅 값을 출력할 수 있다.
- [0099] 상기 제1 및 제2 검출신호들, 인터벌 검출 정보 및 카운팅 결과를 이용하여 각종 내부 신호들이 생성될 수 있다. 일 예로서, 제1 내부 신호(예컨대, 도 9에서 DQS\_GATE\_NDQS)는 제2 검출신호, 인터벌 검출 정보 및 카운팅 결과를 이용하여 생성될 수 있다(S25). 일 구현 예에 따라, 제1 내부 신호는 프리앰플 구간 시작 시에 제2 검출신호가 로직 로우 레벨에서 로직 하이 레벨로 변동하는 경우에 활성화될 수 있다. 또한, 제1 내부 신호는 독출 커맨드의 버스트 길이에 기반하는 소정의 카운팅 값이 카운팅 된 시점에서 인터벌 검출 정보에 기반하여 활성화 상태가 유지되거나 또는 비활성화 상태로 변동될 수 있다.
- [0100] 상기와 같은 동작에 따라, 인터벌 검출 정보에 기반하여 비활성화 구간이 존재하거나 또는 존재하지 않는 제1 내부 신호가 생성되고, 제2 내부 신호는 상기 제1 검출신호에 동기하여 제1 내부 신호를 캡처링함에 의해 생성될 수 있다(S26). 또한, 제2 내부 신호를 이용하여 게이트 신호가 생성될 수 있으며(S27), 제1 내부 신호의 비활성화 구간에 상응하게 제2 내부 신호에 비활성화 구간이 존재함에 따라 더미 토글을 제거하는 구간을 갖는 게이트 신호가 생성될 수 있다.
- [0101] 도 16은 본 발명의 일 실시예에 따른 어플리케이션 프로세서를 포함하는 데이터 처리 시스템을 나타내는 블록도이다.
- [0102] 데이터 처리 시스템(400)은 어플리케이션 프로세서(410)와 메모리 장치(420)를 포함할 수 있다. 어플리케이션 프로세서(410)는 시스템 온 칩(System on Chip, SoC)으로 구현될 수 있다. 시스템 온 칩(SoC)은 소정의 표준 버스 규격을 갖는 프로토콜이 적용된 시스템 버스(미도시)를 포함할 수 있으며, 상기 시스템 버스에 연결되는 각종 IP(Intellectual Property)들을 포함할 수 있다. 시스템 버스의 표준 규격으로서, ARM(Advanced RISC Machine) 사의 AMBA(Advanced Microcontroller Bus Architecture) 프로토콜이 적용될 수 있다. AMBA 프로토콜의 버스 타입에는 AHB(Advanced High-Performance Bus), APB(Advanced Peripheral Bus), AXI(Advanced eXtensible Interface), AXI4, ACE(AXI Coherency Extensions) 등이 포함될 수 있다. 이외에도, 소닉사(SONICs Inc.)의 uNetwork 이나 IBM의 CoreConnect, OCP-IP의 오픈 코어 프로토콜(Open Core Protocol) 등 다른 타입의 프로토콜이 적용되어도 무방하다.
- [0103] 어플리케이션 프로세서(410)는 프로세서(CPU, 411)와 메모리 컨트롤 유닛(412)을 포함할 수 있다. 메모리 컨트롤 유닛(412)은 전술한 실시예에서의 메모리 컨트롤러와 동일 또는 유사한 기능을 수행하고, 이에 따라 어플리케이션 프로세서(410) 외부에 배치되는 메모리 장치(420)를 액세스할 수 있다. 또한, 메모리 컨트롤 유닛(412)은 데이터 스트로브 신호 수신부를 포함할 수 있으며, 데이터 스트로브 신호 수신부는 클린 DQS 신호 생성기(412\_1) 및 게이트 신호 생성기(412\_2)를 포함할 수 있다.
- [0104] 메모리 컨트롤 유닛(412)은 메모리 장치(420)와 데이터(DATA)를 송수신할 수 있으며, 일 예로서 데이터 독출을 위한 커맨드(CMD)를 메모리 장치(420)로 제공하고, 메모리 장치(420)로부터 데이터(DATA)와 차동 DQS 신호(DQS\_t, DQS\_c)를 수신할 수 있다. 전술한 바와 같이, 메모리 컨트롤 유닛(412)은 차동 DQS 신호(DQS\_t, DQS\_c)를 이용하여 제1 검출 신호(io\_dqs\_in)를 생성할 수 있으며, 어느 하나의 DQS 신호와 기준 신호를 이용하여 제2 검출 신호(io\_ndqs\_in)를 생성할 수 있다. 게이트 신호 생성기(412\_2)는 제1 검출 신호(io\_dqs\_in) 및 제2 검출 신호(io\_ndqs\_in)를 이용하여 게이트 신호를 생성할 수 있으며, 클린 DQS 신호 생성기(412\_1)는 차동 DQS 신호(DQS\_t, DQS\_c)와 게이트 신호를 이용하여 클린 DQS 신호를 생성할 수 있다.
- [0105] 도 17은 본 발명의 실시예가 ModAP에 적용된 예를 나타내는 블록도이다. 어플리케이션 프로세서(Application Processor) 내에 모뎀 칩의 기능이 통합됨에 따라, 이와 같은 어플리케이션 프로세서는 ModAP으로 지칭될 수 있다.
- [0106] 도 17을 참조하면, ModAP(510)을 포함하는 데이터 처리 시스템(500)은 ModAP(510)과 통신하는 메모리 장치(520) 및 알 에프(RF) 칩(530)을 더 포함할 수 있다. ModAP(510)은 메모리 장치(520)와 통신하는 메모리 컨트롤 유닛(511)을 포함할 수 있으며, 또한 알 에프(RF) 칩(530)과 통신하는 모뎀 모듈(512)을 더 포함할 수 있다.

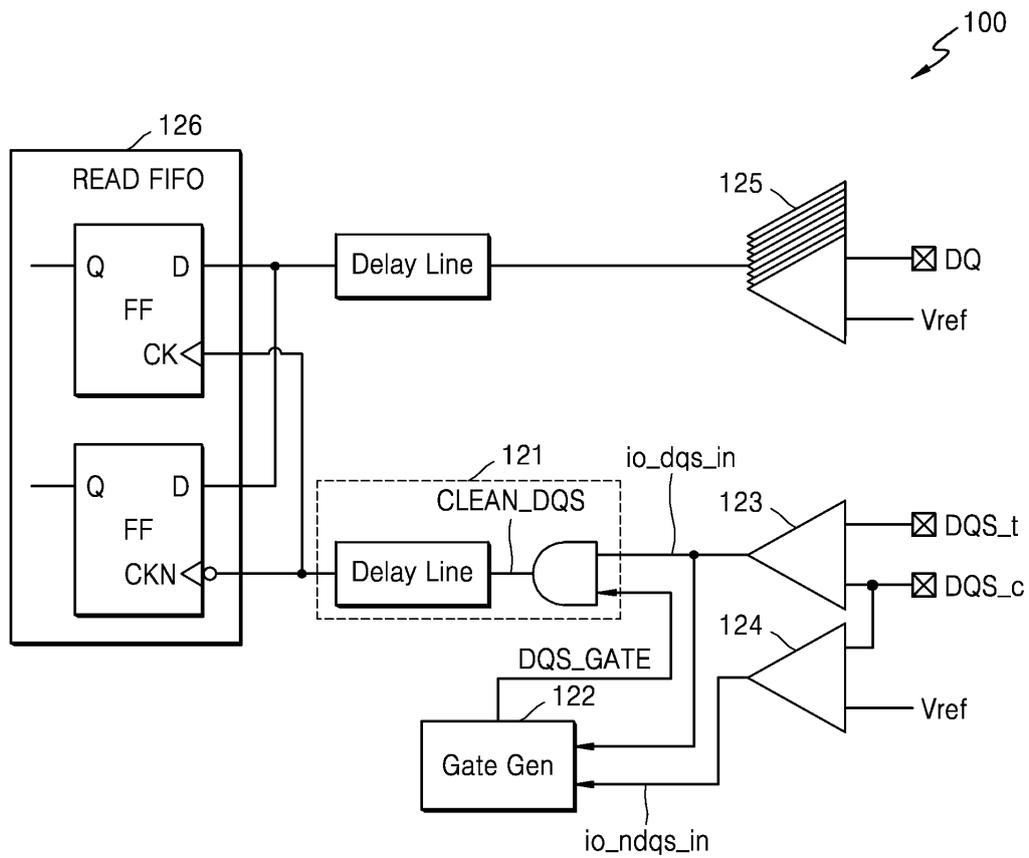
- [0107] 전술한 실시예에서와 같이, 메모리 컨트롤 유닛(511)은 메모리 장치(520)와 각종 신호들을 송수신하고, 예컨대 메모리 컨트롤 유닛(511)은 커맨드(CMD)를 메모리 장치(520)로 제공하고, 메모리 장치(520)로부터 데이터(DATA) 및 차동 DQS 신호(DQS\_t, DQS\_c)를 수신할 수 있다. 전술한 실시예에서와 같이, 메모리 컨트롤 유닛(511)은 클린 DQS 신호 생성기(511\_1) 및 게이트 신호 생성기(511\_2)를 포함할 수 있다.
- [0108] 또한, 모뎀 모듈(512)은 알 에프(RF) 칩(530)과 각종 신호들을 송수신하고, 예컨대 모뎀 모듈(512)은 알 에프(RF) 칩(530)으로부터 데이터(DATA)를 수신할 수 있으며, 또한 모뎀 모듈(512)은 그 내부의 각종 동작들에 이용되는 클록 신호들로서 차동 클록(CLK\_P, CLK\_N)을 알 에프(RF) 칩(530)으로부터 수신할 수 있다. 모뎀 모듈(512)은 데이터(DATA)를 수신하기 위해 차동 클록(CLK\_P, CLK\_N)을 이용할 수 있으며, 전술한 실시예들에서의 메모리 컨트롤러의 기능과 유사하게 차동 클록(CLK\_P, CLK\_N)을 이용한 각종 처리 동작에 기반하여 실제 데이터(DATA)를 래치하는 데 이용되는 신호가 생성될 수 있다.
- [0109] 일 예로서, 모뎀 모듈(512)은 클린 신호 생성기(512\_1) 및 게이트 신호 생성기(512\_2)를 포함할 수 있으며, 모뎀 모듈(512)은 차동 클록(CLK\_P, CLK\_N)을 이용한 제1 검출신호와 차동 클록(CLK\_P, CLK\_N) 중 어느 하나와 소정의 기준 신호를 이용한 제2 검출신호를 생성할 수 있다. 게이트 신호 생성기(512\_2)는 상기 제1 및 제2 검출신호들을 이용하여 게이트 신호를 생성하고, 클린 신호 생성기(512\_1)는 차동 클록(CLK\_P, CLK\_N)과 게이트 신호를 이용하여 실제 데이터(DATA)를 래치하는 데 이용되는 신호를 생성할 수 있을 것이다.
- [0110] 도 18은 본 발명의 실시예들에 적용된 DQS 수신부가 메모리 장치 내에 구비되는 예를 나타내는 블록도이다. 전술한 바와 같이, 데이터 기록 동작에서 메모리 장치는 메모리 컨트롤러로부터 기록 데이터를 수신할 수 있으며, 또한 차동 DQS 신호(DQS\_t, DQS\_c)가 메모리 장치로 함께 제공될 수 있다.
- [0111] 도 18을 참조하면, 메모리 시스템(600)은 메모리 컨트롤러(610)와 메모리 장치(620)를 포함하고, 메모리 장치(620)는 DQS 수신부(621)를 포함할 수 있다. 또한, DQS 수신부(621)는 클린 DQS 신호 생성기(621\_1) 및 게이트 신호 생성기(621\_2)를 포함할 수 있다. 도 18에 도시된 클린 DQS 신호 생성기(621\_1) 및 게이트 신호 생성기(621\_2)는 전술한 실시예들에서 설명된 게이트 신호 및 클린 DQS 신호를 생성할 수 있다. 일 예로, DQS 수신부(621)는 차동 DQS 신호(DQS\_t, DQS\_c) 및 기준 전압을 이용하여 제1 및 제2 검출 신호들을 생성하고, 또한, 제1 및 제2 검출 신호들을 처리함에 의해 하나 이상의 내부 신호들을 생성하며, 내부 신호들을 처리함에 의해 전술한 게이트 신호(DQS\_GATE)를 생성할 수 있을 것이다.
- [0112] 또한, 도 18에는 도시되지 않았으나, DQS 수신부(621)에는 다양한 방식에 따른 ODT가 적용될 수 있으며, 예컨대 전술하였던 바와 같이 접지전압 또는 전원전압에 연결된 ODT가 차동 DQS 신호(DQS\_t, DQS\_c)의 수신에 적용될 수 있을 것이다.
- [0113] 이상에서와 같이 도면과 명세서에서 예시적인 실시예들이 개시되었다. 본 명세서에서 특정한 용어를 사용하여 실시예들을 설명되었으나, 이는 단지 본 개시의 기술적 사상을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 개시의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 개시의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

도면

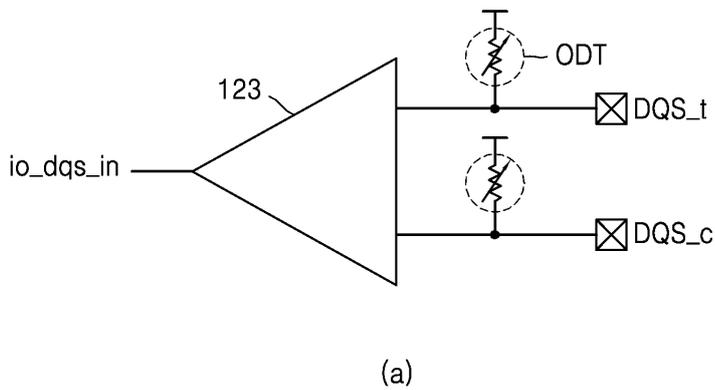
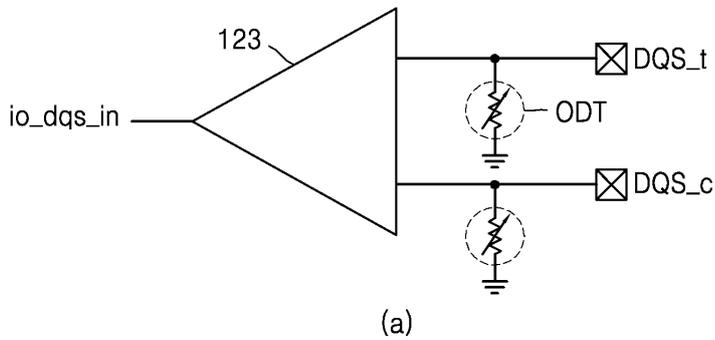
도면1



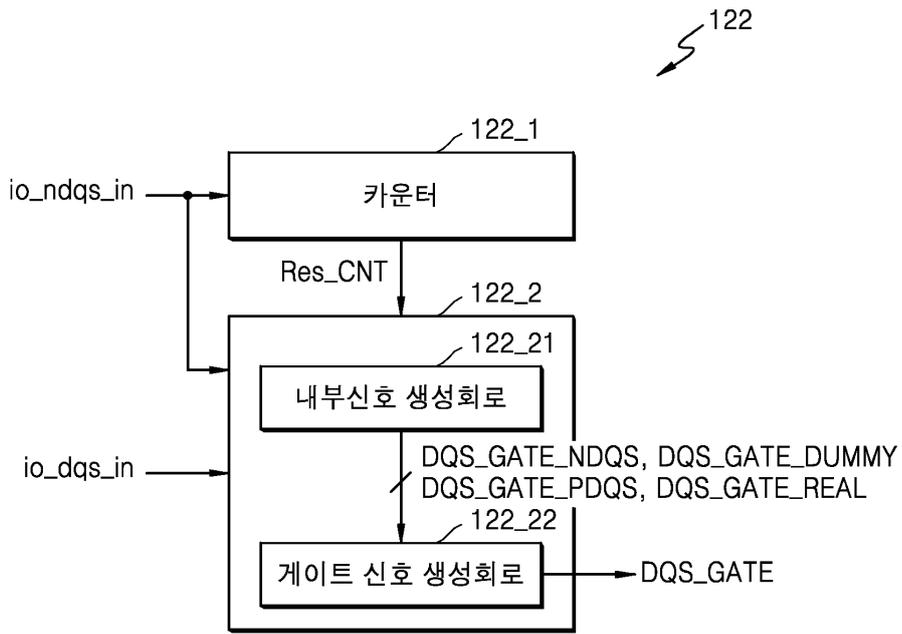
도면2a



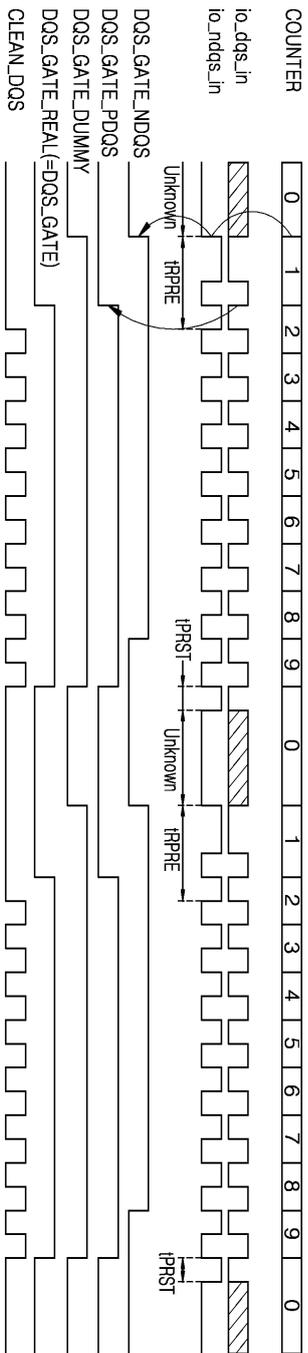
도면2b



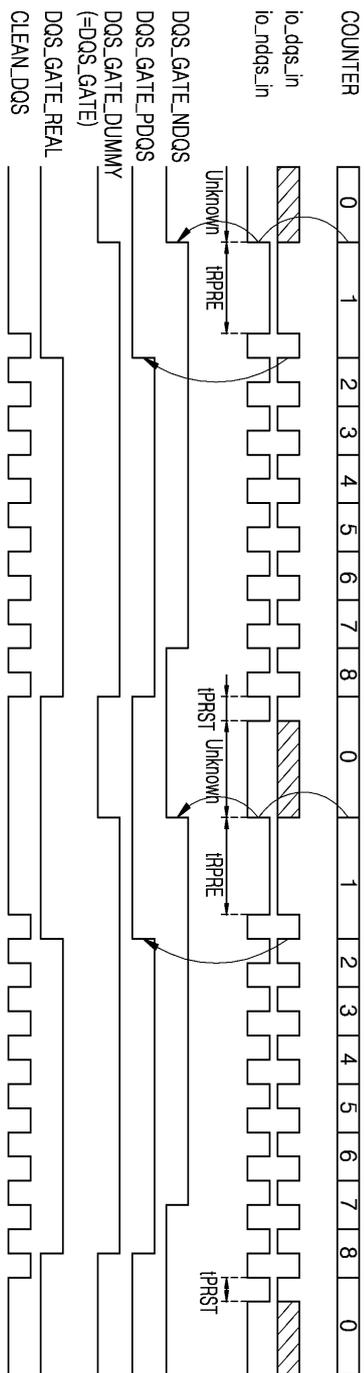
도면3



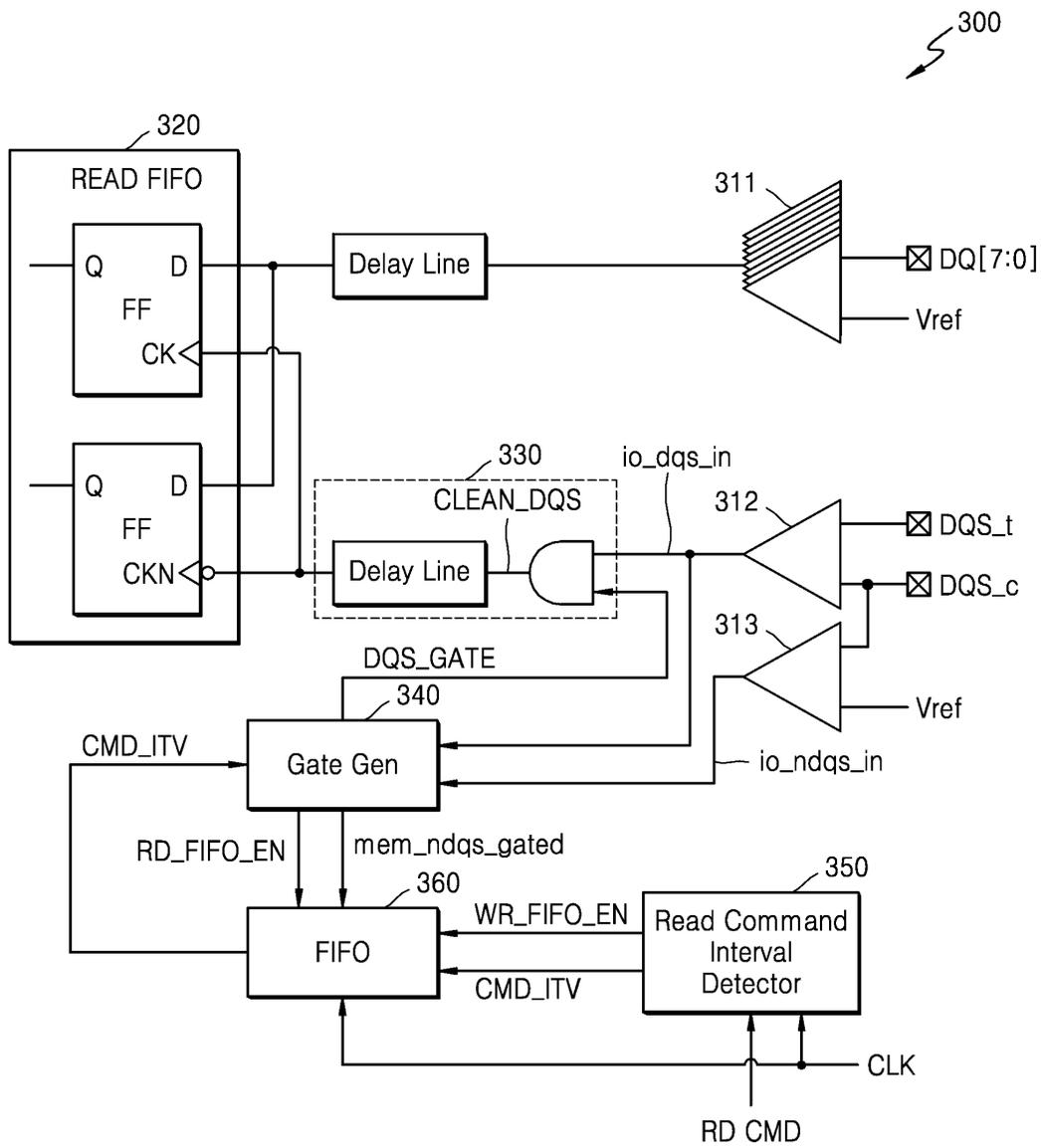
도면4



도면5

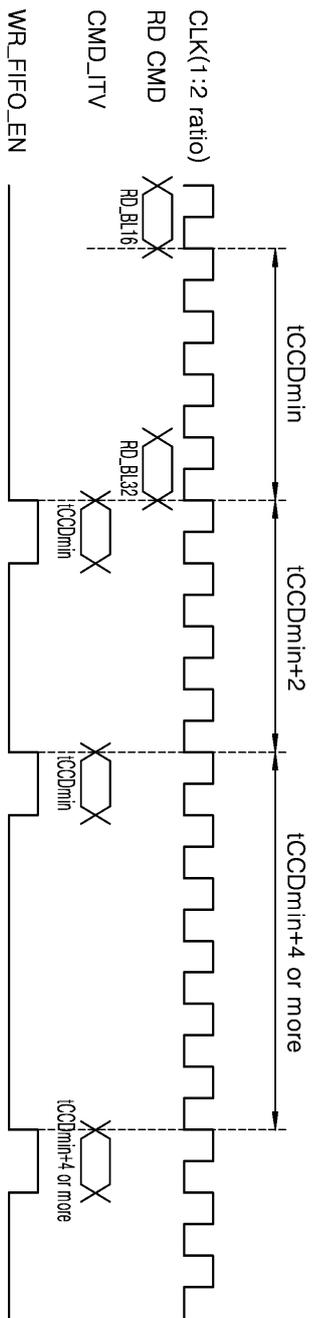


도면6

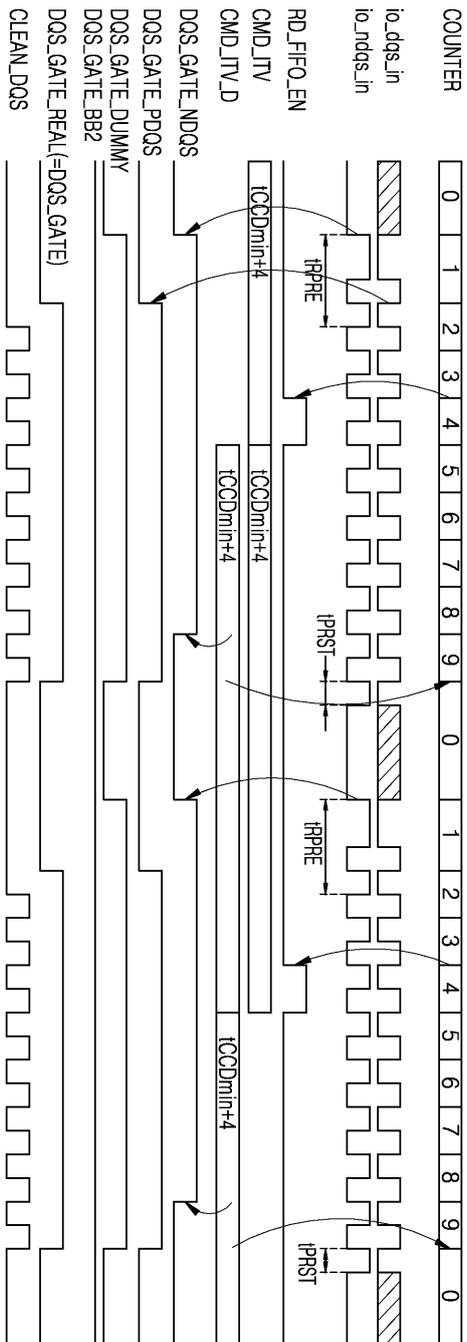




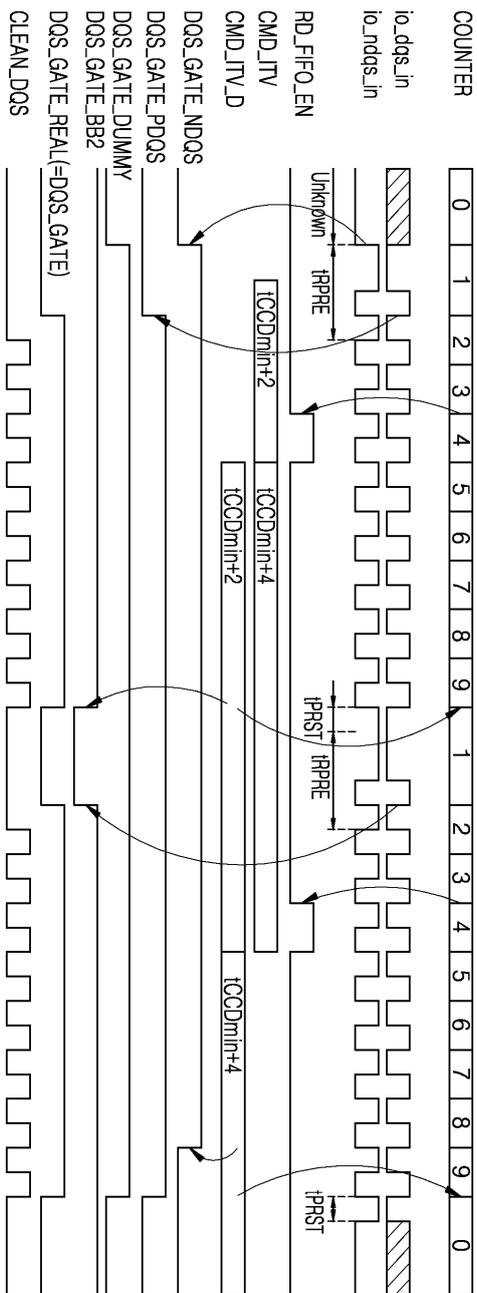
도면8



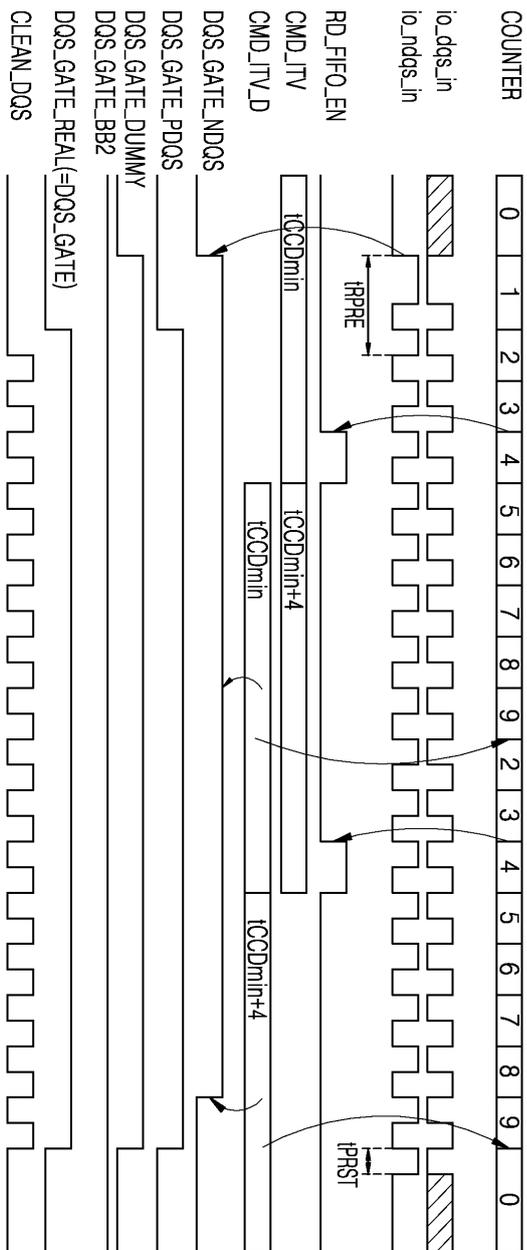
도면9



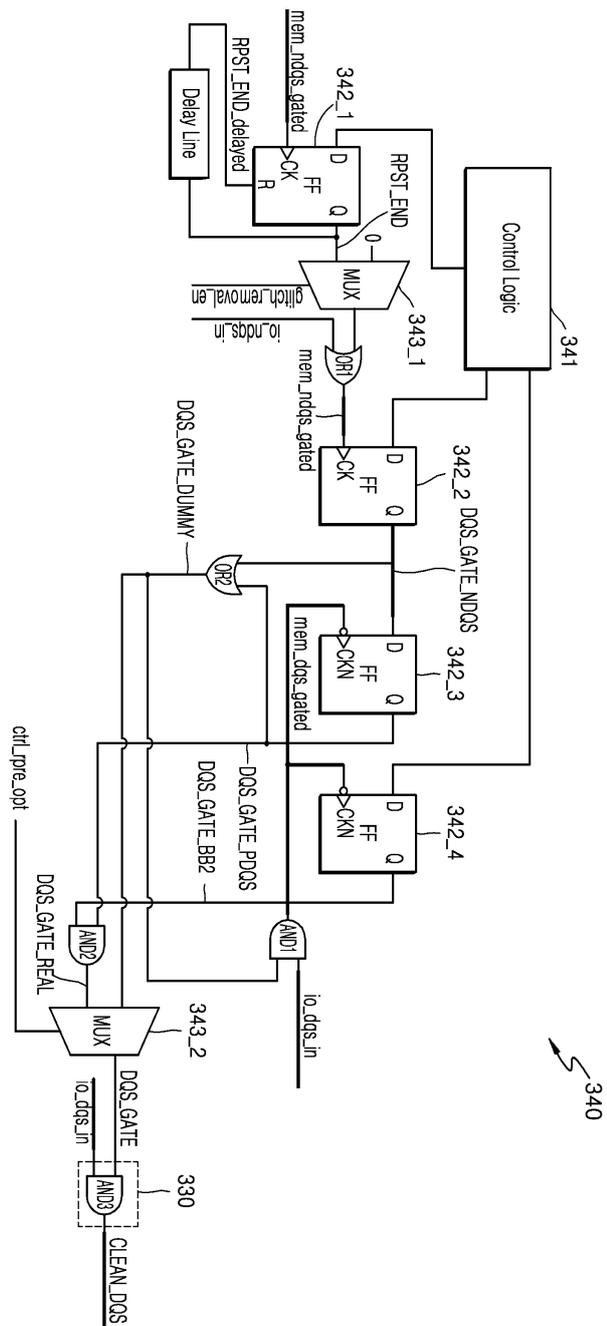
도면10



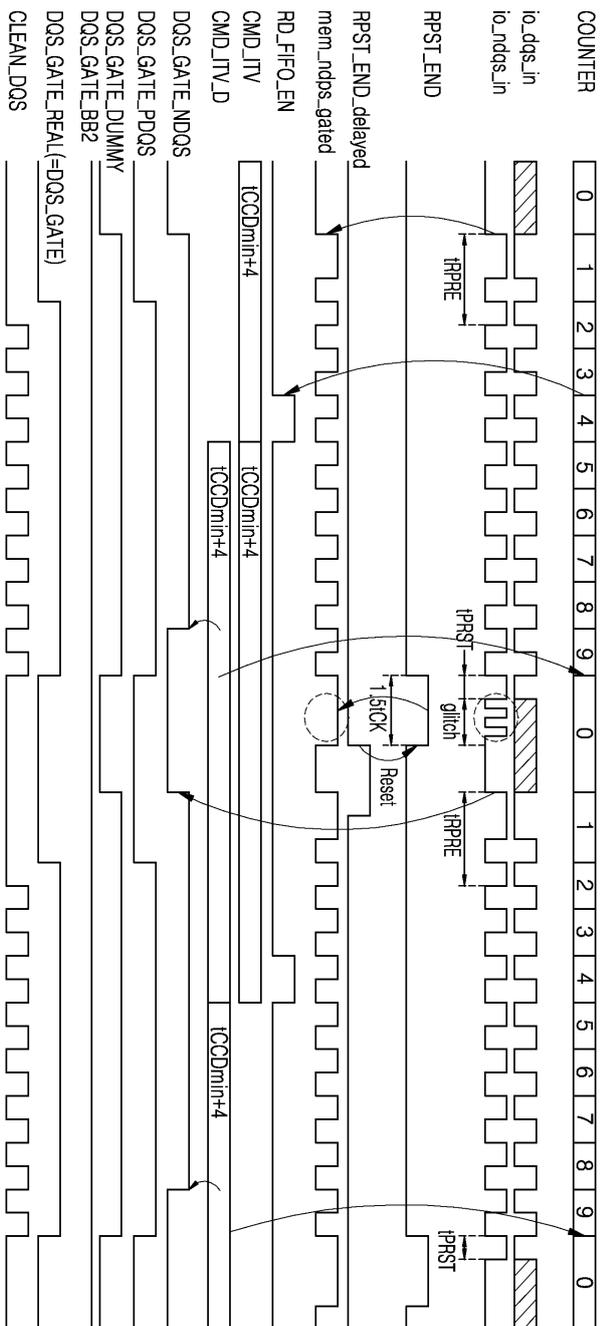
도면11



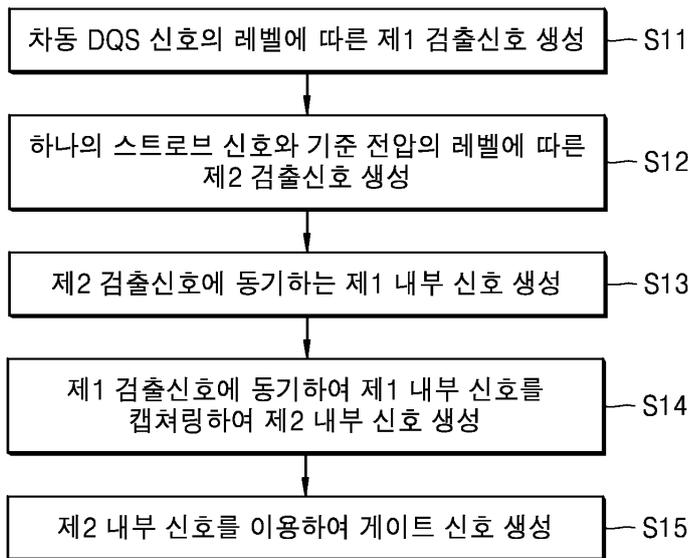
도면12



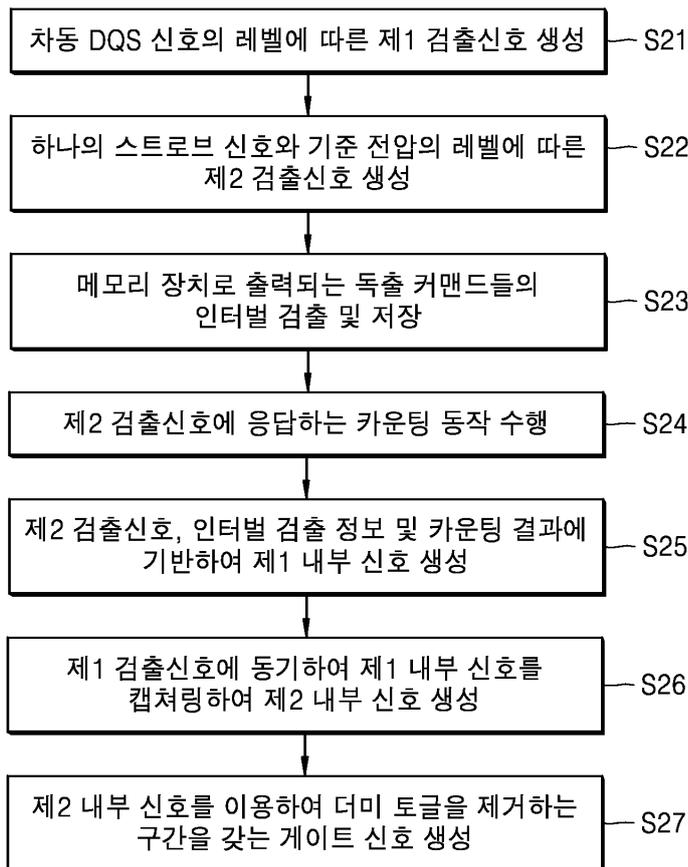
도면13



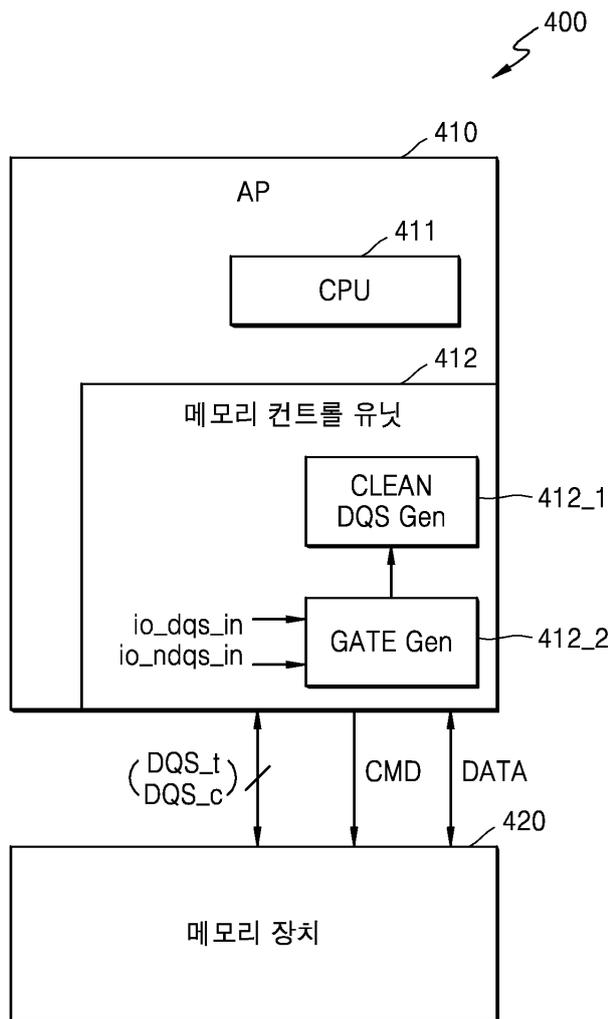
도면14



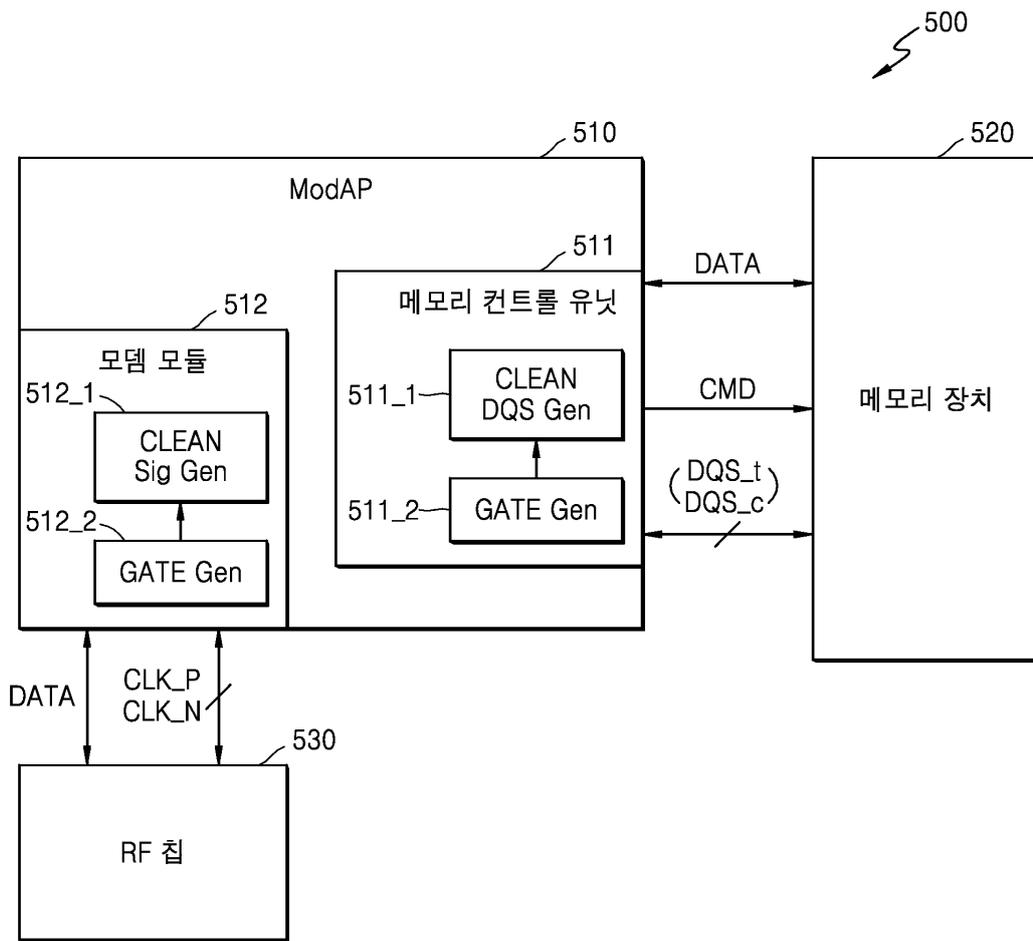
도면15



도면16



도면17



도면18

