

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3756485号
(P3756485)

(45) 発行日 平成18年3月15日(2006.3.15)

(24) 登録日 平成18年1月6日(2006.1.6)

(51) Int. Cl.		F I		
HO4L	7/02	(2006.01)	HO4L	7/02 Z
HO4L	7/04	(2006.01)	HO4L	7/04 B
HO4L	25/08	(2006.01)	HO4L	25/08 B

請求項の数 12 (全 15 頁)

(21) 出願番号	特願2002-564881 (P2002-564881)	(73) 特許権者	399011195
(86) (22) 出願日	平成13年12月25日(2001.12.25)		ザインエレクトロニクス株式会社
(86) 国際出願番号	PCT/JP2001/011358		東京都中央区日本橋本町三丁目3番6号
(87) 国際公開番号	W02002/065690	(74) 代理人	100110777
(87) 国際公開日	平成14年8月22日(2002.8.22)		弁理士 宇都宮 正明
審査請求日	平成15年8月20日(2003.8.20)	(72) 発明者	岡村 淳一
(31) 優先権主張番号	特願2001-36657 (P2001-36657)		東京都中央区日本橋本町三丁目3番6号
(32) 優先日	平成13年2月14日(2001.2.14)		ザインエレクトロニクス株式会社内
(33) 優先権主張国	日本国(JP)		
		審査官	阿部 弘

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

入力クロック信号に同期したN相のクロック信号を発生する第1のクロック信号発生回路と、

前記第1のクロック信号発生回路によって発生されたN相のクロック信号の内の選択された1つに同期したM相のクロック信号を発生する第2のクロック信号発生回路であって、

ここでN=Mである、前記第2のクロック信号発生回路と、

N相のクロック信号及びM相のクロック信号を用いてサンプリングされたシリアル伝送データの論理値に基づいて、N相のクロック信号の内の1つを選択するために用いる制御値を求める計算回路と、

を具備する半導体集積回路。

【請求項2】

前記第2のクロック信号発生回路が、前記計算回路が求めた制御値に基づいて、前記第1のクロック信号発生回路によって発生されたN相のクロック信号の内の1つを基準位相として選択する、請求項1記載の半導体集積回路。

【請求項3】

前記第1のクロック信号発生回路が、等間隔のN相のクロック信号を発生し、前記第2のクロック信号発生回路が、等間隔のM相のクロック信号を発生する、請求項1記載の半導体集積回路。

【請求項4】

10

20

前記第1のクロック信号発生回路と前記第2のクロック信号発生回路との内の少なくとも一方が、フェーズロックドループ回路とディレイロックドループ回路との内の一方を含む、請求項1記載の半導体集積回路。

【請求項5】

前記第1のクロック信号発生回路が、フェーズロックドループ回路を含み、前記第2のクロック信号発生回路が、ディレイロックドループ回路を含む、請求項1記載の半導体集積回路。

【請求項6】

前記第1のクロック信号発生回路が、ディレイロックドループ回路を含み、前記第2のクロック信号発生回路が、フェーズロックドループ回路を含む、請求項1記載の半導体集積回路。

10

【請求項7】

入力クロック信号に同期したN相のクロック信号を発生する第1のクロック信号発生回路と、

入力クロック信号に同期したM相のクロック信号を発生する第2のクロック信号発生回路と、

N相のクロック信号及びM相のクロック信号を用いてサンプリングされたシリアル伝送データの論理値に基づいて、N相のクロック信号とM相のクロック信号との位相関係を変化させるために用いる制御値を求める計算回路と、

を具備し、前記第2のクロック信号発生回路が、前記計算回路が求めた制御値に基づいて、M相のクロック信号の位相をN相のクロック信号の1位相差期間を単位としてずらすことを特徴とする半導体集積回路。

20

【請求項8】

入力クロック信号に同期したN相のクロック信号を発生する第1のクロック信号発生回路と、

入力クロック信号に同期したM相のクロック信号を発生する第2のクロック信号発生回路と、

N相のクロック信号及びM相のクロック信号を用いてサンプリングされたシリアル伝送データの論理値に基づいて、N相のクロック信号とM相のクロック信号との位相関係を変化させるために用いる制御値を求める計算回路と、

を具備し、前記第1及び第2のクロック信号発生回路がそれぞれ発生するN相のクロック信号及びM相のクロック信号が、入力クロック信号の1周期において1個の共通のサンプリング点を含む(N+M-1)個の異なるサンプリング点を与えることを特徴とする半導体集積回路。

30

【請求項9】

前記計算回路が、(N+M-1)個の異なるサンプリング点においてシリアル伝送データをサンプリングすることにより得られたパラレルデータの(N+M-1)ビットの内の所定の2ビットの複数の組合せにそれぞれ対応する値の総和を求めることにより、シリアル伝送データのM相クロック信号に対する位相アライメントの変位を表す制御値を求める、請求項8記載の半導体集積回路。

40

【請求項10】

前記計算回路が、パラレルデータの所定の2ビットとして、N相のクロック信号が表すN個のサンプリング点の内の第1のサンプリング点と、M相のクロック信号が表すM個のサンプリング点の内の該第1のサンプリング点に隣接する第2のサンプリング点とにおいてサンプリングされた2ビットを用いる、請求項9記載の半導体集積回路。

【請求項11】

前記計算回路が、(N+M-1)個の異なるサンプリング点においてシリアル伝送データをサンプリングすることにより得られたパラレルデータの(N+M-1)ビットの内の所定の2ビットの複数の組合せにそれぞれ対応する値の絶対値の総和を求めることにより、シリアル伝送データの品位に関する値を求める、請求項8記載の半導体集積回路。

50

【請求項 1 2】

可変ゲインを有する増幅器と、
前記計算回路が求めたシリアル伝送データの品位に関する値に基づいて、前記増幅器のゲインを変化させる制御回路と、
をさらに具備する請求項 1 1 記載の半導体集積回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、一般的に半導体集積回路に関し、特に、シリアル伝送データを受信する受信回路を実現するための半導体集積回路に関する。

10

【背景技術】**【0002】**

従来、デジタル信号（データ）の高速シリアル伝送において、シリアル伝送データを受信する際には、シリアル伝送データのビットレートと等しい周波数を有しシリアル伝送データに同期したサンプリングクロック信号を用いてシリアル伝送データをサンプリングする方式が一般的に用いられていた。

【0003】

しかしながら、このように単純なサンプリング方式によれば、サンプリングクロック信号を用いてシリアル伝送データのサンプリングを行う際に、伝送路における信号の遅延の偏りによって、シリアル伝送データの位相がサンプリングクロック信号の位相に対してずれたり（スキュー）、シリアル伝送データ自体の波形が劣化することにより、シンボル値を完全に検出できないことがある。

20

【0004】

そこで、高速シリアル伝送されるデジタル信号を受信する受信回路の設計においては、そのように劣化したシリアル伝送データを受信した場合でも、シンボル値を安定して検出できる回路技術が重要となっている。

【0005】

近年において、伝送路において波形が劣化したシリアル伝送データを受信する場合においてもシンボル値を安定して検出するために有効なサンプリング方式として、シリアル伝送データのビット数よりも多いサンプリング点においてシンボル値を検出するオーバーサンプリング方式が用いられている。

30

【0006】

例えば、U . S . P . 5 , 8 0 2 , 1 0 3 号は、高速シリアル伝送において、オーバーサンプリング方式を用いて受信データを検出する全二重（fully duplexed）伝送システムの一例を開示している。この文献に開示されているように、3倍オーバーサンプリング方式を用いると、シリアル伝送データの位相がサンプリングクロック信号の位相に対してずれたとしても、シンボルピリオド（クロック周波数に1つのデータブロックのビット数をかけた数の逆数）に対して最大±30%の位相のずれを許容できるようになる。

【0007】

40

図1は、オーバーサンプリング方式を用いた従来の受信回路の一例を示すブロック図である。この例においては、1つのデータブロックのビット数が8ビットであり、シリアル伝送データのビットレートに対して3倍のオーバーサンプリングを行っている。

【0008】

図1に示すように、この受信回路は、入力クロック信号から、シリアル伝送データのビットレートの3倍のサンプリングレートを与える多相クロック信号を発生するPLL又はDLL回路210と、この多相クロック信号を用いてシリアル伝送データをオーバーサンプリングするサンプリングレジスタ220と、オーバーサンプリングの結果に基づいて、1つのデータブロックに含まれる8ビットのシンボル値を決定する論理値決定回路230とを含んでいる。

50

【0009】

サンプリングレジスタ220に入力された1ブロック(8ビット)のシリアル伝送データは、シンボルビット数の3倍の24個のサンプリング点においてオーバーサンプリングされて、24ビットの平行データとして出力される。

【0010】

論理値決定回路230は、これらの平行データを用いて確率計算を行うことにより、シリアル伝送データの遷移点を求める。さらに、論理値決定回路230は、これらの遷移点に基づいて、オーバーサンプリングによって得られた24ビットの平行データの内から適切な8ビットの平行データを選択する再サンプリングを行うことにより、最終的に8ビットのシンボル値を決定する。

10

【0011】

図2は、図1に示す受信回路の動作を論理値で説明するための図である。受信回路に入力されたシリアル伝送データの1データブロックは、そのビットレートの3倍の周波数を有する多相クロック信号でオーバーサンプリングされた結果、シリアル伝送データの論理値を反映した24ビットの平行データとして出力される。

【0012】

これらの平行データを用いて確率計算を行うことにより、遷移点201~205が決定される。例えば、サンプリングされた平行データにおいて、同じ論理値が2回連続すれば、遷移点が存在すると決定される。このようにして決定された遷移点に基づいて、24ビットの平行データの内から8ビットのシンボル値が決定される。

20

【0013】

しかしながら、オーバーサンプリング方式によれば、サンプリングクロック数及びサンプリング回路数が増加するので、半導体集積回路において必要となる基板面積や消費電流が増大してしまう。そのため、3~4倍以上のオーバーサンプリング方式を用いる半導体集積回路の設計においては、より微細な半導体テクノロジーを用いることによりこの問題に対処しているが、製造コストが増大してしまうという問題があった。

【発明の開示】

【発明が解決しようとする課題】

【0014】

そこで、上記の点に鑑み、本発明の目的は、シリアル伝送データの受信に際し、伝送路における信号の遅延の偏りによってシリアル伝送データの位相がサンプリングクロック信号に対してずれたりシリアル伝送データの波形が劣化した場合においてもシンボル値を安定して検出できると共に、サンプリングクロック数やサンプリング回路数の増加を抑えた受信回路を実現する半導体集積回路を提供することである。

30

【課題を解決するための手段】

【0015】

以上の課題を解決するため、本発明の第1の観点に係る半導体集積回路は、入力クロック信号に同期したN相のクロック信号を発生する第1のクロック信号発生回路と、第1のクロック信号発生回路によって発生されたN相のクロック信号の内を選択された1つに同期したM相のクロック信号を発生する第2のクロック信号発生回路であって、ここでN=Mである、第2のクロック信号発生回路と、N相のクロック信号及びM相のクロック信号を用いてサンプリングされたシリアル伝送データの論理値に基づいて、N相のクロック信号の内1つを選択するために用いる制御値を求める計算回路とを具備する。

40

【0016】

また、本発明の第2の観点に係る半導体集積回路は、入力クロック信号に同期したN相のクロック信号を発生する第1のクロック信号発生回路と、入力クロック信号に同期したM相のクロック信号を発生する第2のクロック信号発生回路と、N相のクロック信号及びM相のクロック信号を用いてサンプリングされたシリアル伝送データの論理値に基づいて、N相のクロック信号とM相のクロック信号との位相関係を変化させるために用いる制御値を求める計算回路とを具備し、第2のクロック信号発生回路が、計算回路が求めた制御値

50

に基づいて、M相のクロック信号の位相をN相のクロック信号の1位相差期間を単位とし
てずらすことを特徴とする。

さらに、本発明の第3の観点に係る半導体集積回路は、入力クロック信号に同期したN相
のクロック信号を発生する第1のクロック信号発生回路と、入力クロック信号に同期した
M相のクロック信号を発生する第2のクロック信号発生回路と、N相のクロック信号及び
M相のクロック信号を用いてサンプリングされたシリアル伝送データの論理値に基づいて
、N相のクロック信号とM相のクロック信号との位相関係を変化させるために用いる制御
値を求める計算回路とを具備し、第1及び第2のクロック信号発生回路がそれぞれ発生す
るN相のクロック信号及びM相のクロック信号が、入力クロック信号の1周期において1
個の共通のサンプリング点を含む(N + M - 1)個の異なるサンプリング点を与えること
を特徴とする。

10

【発明の効果】

【0017】

本発明は、入力クロック信号に同期し、且つ、単位時間当りのパルス数の異なる、即ち、
周波数の異なる2種類の多相クロック信号を用いることを特徴とする。第1群の多相ク
ロック信号は、シリアル伝送データの位相アライメントを測定するために用いられ、第2群
の多相クロック信号は、シリアル伝送データの位相アライメントを測定するためと、シリ
アル伝送データのシンボル値を求めるために用いられる。位相アライメントの測定結果を
用いて第2群の多相クロック信号の位相を調整することにより、伝送データに対して常に
最適なサンプリングクロック信号の位相を確保することができる。

20

【0018】

その結果、シリアル伝送データの受信に際し、伝送路における信号の遅延の偏りによって
シリアル伝送データの位相がサンプリングクロック信号に対してずれたりシリアル伝送デ
ータの波形が劣化した場合においても、シンボル値を安定して検出できると共に、サン
プリングクロック数やサンプリング回路数の増加を抑えることができる。

【発明を実施するための最良の形態】

【0019】

本発明の利点及び特徴は、以下の詳細な説明と図面とを関連させて考察すれば明らかになる。
これらの図面において、同じ参照番号は同じ構成要素を指している。

図3は、本発明の第1の実施形態に係る半導体集積回路によって実現される受信回路の構
成を示すブロック図である。本実施形態においては、1つのデータブロックのビット数が
8ビットであり、シリアル伝送データのビットレートに対して3倍のオーバーサンプリ
ングを行った場合と同等以上の位相調整能力を実現している。

30

【0020】

この受信回路は、入力クロック信号から等間隔のN相のクロック信号を発生する第1のP
L L又はD L L回路10と、これらN相のクロック信号が有するN種類の位相の内の1種
類の位相に同期した等間隔のM相のクロック信号を発生する第2のP L L又はD L L回路
20とを含んでいる。N相のクロック信号は、シリアル伝送データの位相アライメントを
測定するために用いられ、M相のクロック信号は、シリアル伝送データの位相アライ
メントを測定するためと、シリアル伝送データのシンボル値を求めるために用いられる。本実
施形態においては、N相のクロック信号として7相クロック信号を用い、M相のクロック
信号として、8相クロック信号を用いている。

40

【0021】

また、この受信回路は、7相クロック信号と8相クロック信号とにおいて重複しない14
(= N + M - 1) 個のサンプリング点においてシリアル伝送データをサンプリングするサ
ンプリングレジスタ30を含んでいる。サンプリングレジスタ30に入力されたシリアル
伝送データは、シンボルビット数の1.75倍のビットレートでパラレル化され、14ピ
ットのサンプルデータとして出力される。

【0022】

さらに、この受信回路は、入力された14ビットのサンプルデータを用いて確率計算を行

50

うことにより、最終的に8ビットのシンボル値と、アライメント変位値と、伝送品位値とを決定するアライメント計算回路40を含んでいる。アライメント計算回路40から出力されるアライメント変位値は、第2のPLL又はDLL回路20に供給される。

【0023】

図4は、図3に示す受信回路の動作を論理値で説明するための図である。入力されたシリアル伝送データは、1データブロック(8ビット)の期間を7等分する第1群のサンプリング点11~17と、1データブロックの期間を8等分する第2群のサンプリング点21~28とにおいてサンプリングされた結果、14ビットのサンプルデータ31、32a、32b、33a、33b、34a、34b、35、36a、36b、37a、37b、38a、38bとして出力される。

10

【0024】

図3に示すアライメント計算回路40は、これら14ビットのサンプルデータを用いて、シリアル伝送データの適切な位相アライメント位置からの変位値を計算する。以下に、シリアル伝送データの適切な位相アライメント位置からの変位値を計算する方法の一例について説明する。

【0025】

まず、アライメント計算回路の内部レジスタ41~47における値が「0」にリセットされる。次に、アライメント計算回路は、サンプルデータ32aの論理値がサンプルデータ32bの論理値と等しいか否かを判定し、これらが等しければ「-1」を内部レジスタ42に格納する。同様に、アライメント計算回路は、サンプルデータ33aの論理値がサンプルデータ33bの論理値と等しいか否かを判定し、これらが等しければ「-1」を内部レジスタ43に格納する。同様に、アライメント計算回路は、サンプルデータ34aの論理値がサンプルデータ34bの論理値と等しいか否かを判定し、これらが等しければ「-1」を内部レジスタ44に格納する。

20

【0026】

一方、アライメント計算回路は、サンプルデータ36aの論理値がサンプルデータ36bの論理値と等しいか否かを判定し、これらが等しければ「+1」を内部レジスタ45に格納する。同様に、アライメント計算回路は、サンプルデータ37aの論理値がサンプルデータ37bの論理値と等しいか否かを判定し、これらが等しければ「+1」を内部レジスタ46に格納する。同様に、アライメント計算回路は、サンプルデータ38aの論理値がサンプルデータ38bの論理値と等しいか否かを判定し、これらが等しければ「+1」を内部レジスタ47に格納する。

30

【0027】

内部レジスタ41~47にそれぞれ格納されている値の総和を求めることにより、シリアル伝送データの適切な位相アライメント位置からの変位量を表すアライメント変位値を計算することができる。シリアル伝送データが適切な位相アライメント位置に存在する場合には、アライメント変位値が「0」となる。また、内部レジスタ41~47にそれぞれ格納されている値の絶対値の総和を求めることにより、伝送路の品位を表す品位値を計算することができる。伝送路の品位が良好である場合には、伝送品位値が「6」となる。

【0028】

同時に、1データブロックの期間を8等分する第2群のサンプリング点21~28においてシリアル伝送データをサンプリングすることにより得られたシンボル値が、検出信号として出力される。

40

【0029】

次に、シリアル伝送データの適切な位相アライメント位置からの変位値を計算する方法の他の例について説明する。

先の例においては内部レジスタ41~47に「0」、「-1」、又は、「+1」を格納したが、本例においては内部レジスタ41~47に「0」又は「1」を格納する。即ち、アライメント計算回路は、比較すべき2つのサンプルデータの論理値が等しければ、「1」をそれぞれの内部レジスタに格納する。その後、アライメント計算回路は、内部レジスタ

50

41～44にそれぞれ格納されている値の和SUM1と内部レジスタ45～47にそれぞれ格納されている値の和SUM2とを求め、これらの差(SUM2 - SUM1)を求めることにより、シリアル伝送データの適切な位相アライメント位置からの変位量を表すアライメント変位値を計算することができる。

【0030】

図5は、本実施形態に係る受信回路において、入力されるシリアル伝送データの位相がサンプリングクロック信号の位相に対してずれている場合の動作を論理値レベルで説明するための図である。このような状況は、伝送路における信号遅延時間がシリアル伝送データとクロック信号との間で異なることにより生じる劣化の一例である。

【0031】

入力されたシリアル伝送データは、1つのサンプリング点を共有する第1群のサンプリング点11～17と第2群のサンプリング点21～28とにおいてサンプリングされた結果、14ビットのサンプルデータ51、52a、52b、53a、53b、54a、54b、55、56a、56b、57a、57b、58a、58bとして出力される。

【0032】

シリアル伝送データのサンプリングクロック信号に対する位相アライメントがずれている為に、アライメント計算回路において内部レジスタ41～47にそれぞれ格納されている値の総和、即ち、アライメント変位値を求めると、アライメント変位値が「0」とならず「+2」となる。このアライメント変位値に基づいて、サンプリングクロック信号を発生する第2のPLL又はDLL回路20(図3)において、入力される7相クロック信号の内から基準位相として選択されるクロック信号を変更することにより、位相アライメントの調整が行われる。また、アライメント計算回路において、内部レジスタ41～47にそれぞれ格納されている値の絶対値の総和、即ち、伝送品位値を求めると、伝送品位値が「6」とならず「4」となる。これは、伝送路等の影響により受信データの品位が低下していることを表している。

【0033】

図6は、図5に示す位相ずれを調整した後の動作を論理値レベルで説明するための図である。図5において、計算されたアライメント変位値が「+2」であったので、第2のPLL又はDLL回路20(図3)において選択されるクロック信号を「-2」だけずらして、サンプリング点11を与えるクロック信号からサンプリング点16を与えるクロック信号に変更すると共に、内部レジスタ41～47をリセットする。あるいは、計算されたアライメント変位値を所定の時間に渡って積分して平均化した後に、選択されるクロック信号を決定するようによっても良い。

【0034】

入力されたシリアル伝送データは、新たに配列されたサンプリング点においてサンプリングされた結果、14ビットのサンプルデータ63a、63b、64a、64b、65、66a、66b、67a、67b、68a、68b、61、62a、62bとして出力される。その後、内部レジスタ41～47にそれぞれ格納された値を用いてアライメント変位値を再度計算する。基準となるサンプリング点が「-2」だけずれたことにより、アライメント変位値は再び「0」となる。また、伝送品位値が「6」に戻る。

【0035】

以上のように、アライメント計算回路の計算結果を用いてシリアル伝送データとサンプリングクロック信号との位相関係を常に調整することにより、少ないデータサンプリング数によって、伝送路における信号波形の劣化(スキュー等)に対してシンボル値を安定に検出することが可能となる。

【0036】

図7Aは、本発明において用いられるN相クロック信号及びM相クロック信号を用いたサンプリング方式において、最低限必要なサンプル数とシリアル伝送データの位相調整範囲とを示している。一方、図7Bは、従来例において用いられるX倍のオーバーサンプリング方式において、最低限必要なサンプル数とシリアル伝送データの位相調整範囲とを示し

10

20

30

40

50

ている。両者を比較すると、 $N = M$ の場合に、 $(M/N - 1)$ が $1/3$ よりも小さければ、本発明において用いられる方式の方が、従来例において用いられる3倍オーバーサンプリング方式よりも細かい位相調整が可能であることが分る。なお、 $N > M$ としても良く、その場合には、 $(N/M - 1)$ が $1/3$ よりも小さければ、本発明において用いられる方式の方が、従来例において用いられる3倍オーバーサンプリング方式よりも細かい位相調整が可能となる。

【0037】

図8は、図3に示す受信回路において、入力されるシリアル伝送データの位相がサンプリングクロック信号の位相に対して非平衡にずれている場合の動作を論理値レベルで説明するための図である。このような状況は、平衡伝送路において信号遅延時間がシリアル伝送データとクロック信号との間で異なることに加えて、平衡伝送路に含まれる2つの伝送路間においても信号遅延時間に違いが生じることにより生じる劣化の一例である。

10

【0038】

入力されたシリアル伝送データは、1データブロックの期間を7等分する第1群のサンプリング点11～17と、その内の1つのサンプリング点(図8においてはサンプリング点11)に同期して1データブロックの期間を8等分する第2群のサンプリング点21～28とにおいてサンプリングされた結果、14ビットのサンプルデータ71、72a、72b、73a、73b、74a、74b、75、76a、76b、77a、77b、78a、78bとして出力される。

【0039】

図8においては、入力されたシリアル伝送データの立下りエッジがサンプリングクロック信号の位相に対してずれている為に、アライメント計算回路40(図3)において、入力された14ビットのサンプルデータに基づいてアライメント変位値を計算した結果、アライメント変位値が「0」にならず「+1」になる。このアライメント変位値に基づいて、サンプリングクロック信号を発生する第2のPLL又はDLL回路20におけるクロック信号の選択を変更することにより、位相アライメントの調整が行われる。

20

【0040】

図9は、図8に示す非平衡な位相ずれを調整した後の動作を論理値レベルで説明するための図である。計算されたアライメント変位値が「+1」であったので、サンプリング点11～17を与える7相クロック信号の中で選択されるクロック信号を「-1」だけずらして、サンプリング点11を与えるクロック信号からサンプリング点17を与えるクロック信号に変更する。あるいは、計算されたアライメント変位値を所定の時間に渡って積分して平均化した後に、選択されるクロック信号を変更するようにしても良い。

30

【0041】

入力されたシリアル伝送データは、新たに配列されたサンプリング点においてサンプリングされた結果、14ビットのサンプルデータ82a、82b、83a、83b、84a、84b、85、86a、86b、87a、87b、88a、88b、81として出力される。これらのサンプルデータを用いてアライメント変位値を計算すると、サンプリングクロック信号の位相が「-1」だけずれたことで、アライメント変位値は再び「0」となる。

40

【0042】

図9において、アライメント変位値は「0」となったものの、内部レジスタ41～47に保持されている値の絶対値の総和である伝送品位値が、図4及び図6における「6」と異なり、「4」であることに注意してほしい。平衡伝送路においてシリアル伝送データが単にサンプリングクロック信号に対して遅延している図5に示す場合と異なり、平衡伝送路に含まれる2つの伝送路間においても遅延時間に違いが生じているような劣悪な波形を有するシリアル伝送データを受信している場合には、位相アライメントが合った状態においても伝送品位値が小さくなる。

【0043】

このように、本実施形態によれば、アライメント計算回路の内部レジスタに格納されてい

50

る値の総和を求めることにより、位相アライメントの修正方向を知ることができるのに加えて、アライメント計算回路の内部レジスタに格納されている値の絶対値の総和を求めることにより、伝送路の品位を把握することが可能となる。

【0044】

一般のシリアル伝送路においては、その伝送路の品位がダイナミックに変動することが容易に起こり得る。この場合に、簡易な方法で伝送路の品位（劣化程度）を測定することができれば、伝送路の品位に対応した送信方法を選択することが可能になる。例えば、劣化の激しい伝送路においては、ビットレートを下げてシリアル伝送データを送信するように送信回路を制御することにより、シリアル伝送データを安定に送信することが可能になる。同様に、伝送路の品位に対応した受信方法を選択することも可能である。例えば、劣化の激しい伝送路においては、受信回路において増幅器の初段のゲインを増加させたり波形等化を行うことにより、シリアル伝送データを安定に受信することが可能になる。

10

【0045】

本実施形態によれば、従来のオーバーサンプリング方式と同等以上の位相調整能力を有する受信回路を、オーバーサンプリング方式に必要なクロック信号数よりも大幅に少ないクロック信号を用いて実現することが可能となる。これにより、オーバーサンプリング方式と同等以上の性能を、より少ない消費電力で実現することができる。

【0046】

さらに、従来のオーバーサンプリング方式においてはシリアル伝送データの品位をダイナミックに測定することは困難であったが、本実施形態によれば、これが容易に可能となる。これにより、伝送路の品位にダイナミックに適応することができる。

20

【0047】

本実施形態においては、入力クロック信号に同期するN相のクロック信号を発生するためにPLL又はDLL回路を用いると共に、N相の多相クロック信号の内の選択された1つのクロック信号に同期するM相のクロック信号を発生するためにPLL又はDLL回路を用いた例を説明したが、等間隔の多相クロック信号を発生することができる他の回路を用いても、本発明は実現可能且つ有効である。また、多相クロック信号の数については、N/Mであれば、如何なるNとMの値を用いても、本発明は実現可能且つ有効である。

【0048】

次に、本発明の第2の実施形態に係る半導体集積回路について説明する。本実施形態は、本発明をRGBデジタル画像信号用の3チャンネルの受信回路に適用したものである。本実施形態においては、1データブロックのビット数を10ビットとし、4倍のオーバーサンプリングと同等以上の位相調整能力を付与している。

30

【0049】

図10は、本発明の第2の実施形態に係る半導体集積回路によって実現される受信回路の構成を示すブロック図である。

この受信回路は、共通回路ブロック100C、Rチャンネル回路ブロック100R、Gチャンネル回路ブロック100G、及び、Bチャンネル回路ブロック100Bを含んでいる。

【0050】

入力された平衡クロック信号と3チャンネルの平衡シリアル伝送データは、差動増幅器90～93によってそれぞれ増幅される。差動増幅器90～93の各々は、制御回路50から供給される制御信号に従って、初段のゲインを調整する機能を有する。増幅された平衡クロック信号は、第1のDLL回路110において、入力された平衡クロック信号と同期した等間隔の9相のアライメント測定用クロック信号に変換される。

40

【0051】

位相アライメント回路60によって制御されるクロック信号選択回路70において、第1のDLL回路110から出力される9相クロック信号の内の1つのクロック信号が選択される。第2のDLL回路120は、選択されたクロック信号に基づいて、入力された平衡クロック信号に同期した10相のシンボルサンプリング用クロック信号を出力する。

50

【 0 0 5 2 】

ローカルバッファ 8 0 において波形整形された 9 相クロック信号と、第 2 の D L L 回路 1 2 0 から出力された 1 0 相クロック信号は、サンプリング回路 1 3 0 に入力される。サンプリング回路 1 3 0 は、これらのクロック信号に基づいて、差動増幅器 9 1 によって増幅されたシリアル伝送データをサンプリングし、 $18 (= 10 + 9 - 1)$ ビットのサンプルデータを出力する。

【 0 0 5 3 】

位相アライメント回路 6 0 は、18 ビットのサンプリングデータに基づいて、シリアル伝送データの位相アライメントに関する情報を表すアライメント変位値を求め、これをクロック信号選択回路 7 0 にフィードバックする。

10

【 0 0 5 4 】

同時に、位相アライメント回路 6 0 は、18 ビットのサンプリングデータに基づいて、シリアル伝送データの伝送品位に関する情報を表す伝送品位値を求め、これを制御回路 5 0 にフィードバックする。制御回路 5 0 は、3 チャンネル分の伝送品位値に基づいて差動増幅器 9 0 ~ 9 3 の初段のゲインを設定することにより、シリアル伝送データの伝送品位に応じたゲイン調整を行うことができる。

【 0 0 5 5 】

一方、第 2 の D L L 回路 1 2 0 から出力されるサンプリングクロック信号によってサンプルされた 1 0 ビットのデータは、ワードアライメント回路 9 0 によってビット位置合わせされた後、パラレルデータとして出力される。

20

【 0 0 5 6 】

以上、R G B の 3 つのチャンネルの回路ブロックの内の R チャンネル回路ブロックについて説明したが、残りの 2 つのチャンネルも同様の回路ブロックで構成されている。これにより、3 チャンネルのシリアル伝送データが独立にクロック信号に対して位相遅延を生じたとしても、本実施形態に係る受信装置を用いることで安定にデータを受信することができる。

以上、本発明は実施形態に基づいて説明されたが、本発明はこれらの実施形態に限定されることなく、請求の範囲に記載されている範囲内で自由に变形及び変更が可能である。

【 産業上の利用可能性 】

【 0 0 5 7 】

本発明に係る半導体集積回路は、シリアル伝送データを受信する受信回路を有する液晶ディスプレイ等の装置において、利用することが可能である。

30

【 図面の簡単な説明 】

【 0 0 5 8 】

【 図 1 】 オーバーサンプリング方式を用いた従来の受信回路の一例を示すブロック図である。

【 図 2 】 図 1 に示す受信回路の動作を論理値で説明するための図である。

【 図 3 】 本発明の第 1 の実施形態に係る半導体集積回路によって実現される受信回路の構成を示すブロック図である。

【 図 4 】 図 3 に示す受信回路の動作を論理値で説明するための図である。

40

【 図 5 】 図 3 に示す受信回路において、入力されるシリアル伝送データの位相がサンプリングクロック信号の位相に対してずれている場合の動作を論理値レベルで説明するための図である。

【 図 6 】 図 5 に示す位相ずれを調整した後の動作を論理値レベルで説明するための図である。

【 図 7 A 】 本発明において用いられるサンプリング方式において最低限必要なサンプル数とシリアル伝送データの位相調整範囲とを示す図であり、

【 図 7 B 】 従来例において用いられるオーバーサンプリング方式において最低限必要なサンプル数とシリアル伝送データの位相調整範囲とを示す図である。

【 図 8 】 図 3 に示す受信回路において、入力されるシリアル伝送データの位相がサンプリ

50

ングクロック信号の位相に対して非平衡にずれている場合の動作を論理値レベルで説明するための図である。

【図9】図8に示す非平衡な位相ずれを調整した後の動作を論理値レベルで説明するための図である。

【図10】本発明の第2の実施形態に係る半導体集積回路によって実現される受信回路の構成を示すブロック図である。

【符号の説明】

【0059】

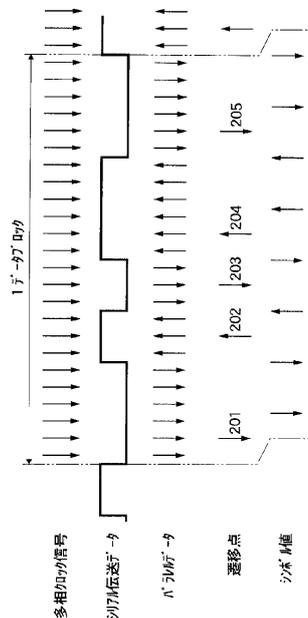
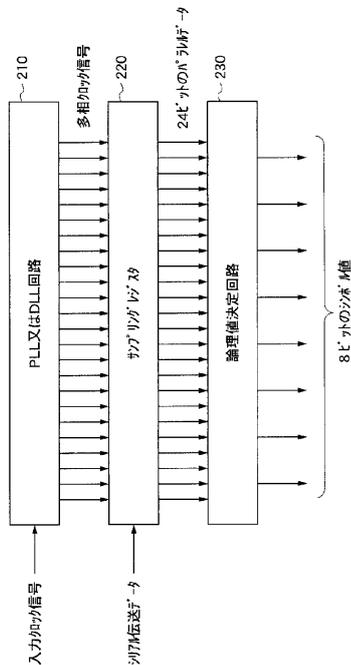
- 10 第1のPLL又はDLL回路
- 20 第2のPLL又はDLL回路
- 30 サンプリングレジスタ
- 40 アライメント計算回路
- 41～47 アライメント計算回路の内部レジスタ
- 50 制御回路
- 60 位相アライメント回路
- 70 クロック信号選択回路
- 80 ローカルバッファ
- 90～93 差動増幅器
- 100C 共通回路ブロック
- 100R Rチャンネル回路ブロック
- 100G Gチャンネル回路ブロック
- 100B Bチャンネル回路ブロック
- 110 第1のDLL回路
- 120 第2のDLL回路
- 130 サンプリング回路

10

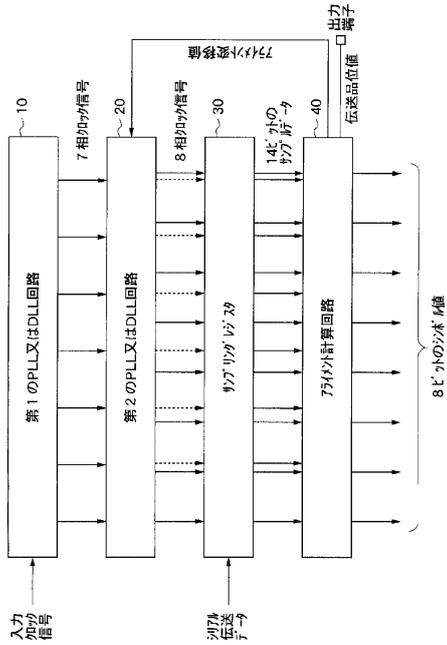
20

【図1】

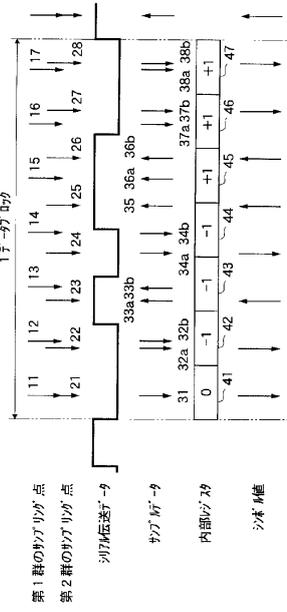
【図2】



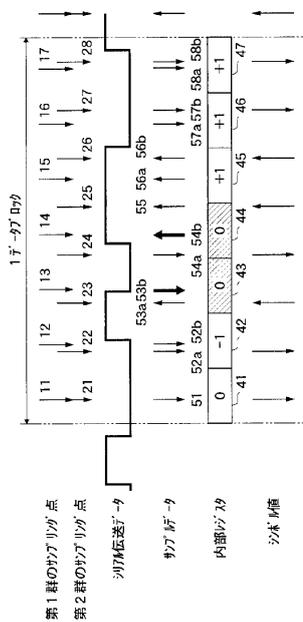
【 図 3 】



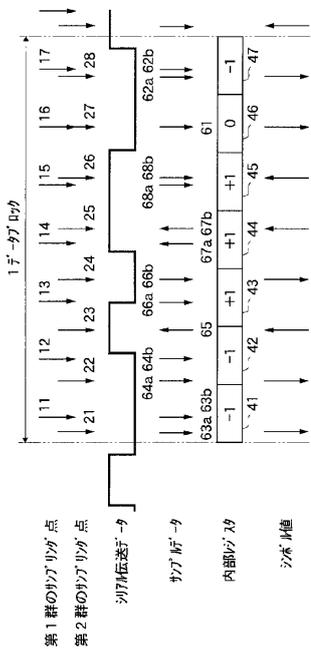
【 図 4 】



【 図 5 】



【 図 6 】



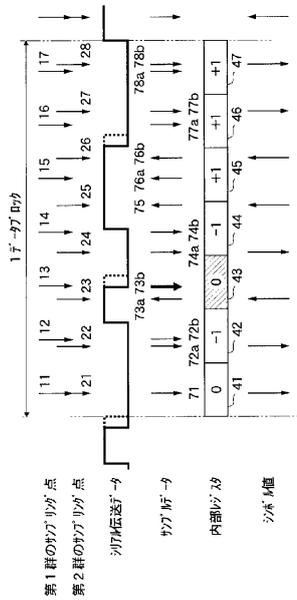
【 図 7 A 】

N	M	M/N-1	リッパリッパ ポイント数	λ _{t1} - (deg)
5	8	0.60	10	27.00
6	8	0.33	12	15.00
7	8	0.14	14	6.43

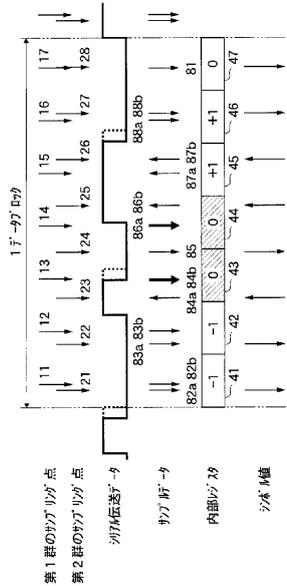
【 図 7 B 】

X	M	リッパリッパ ポイント数	λ _{t1} - (deg)
3	8	24	15.00
4	8	32	11.25

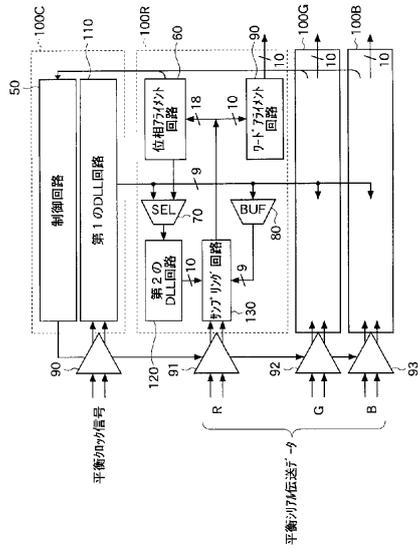
【 図 8 】



【 図 9 】



【図10】



フロントページの続き

- (56)参考文献 特開2000-031951(JP,A)
特開平11-88447(JP,A)
特開平11-98130(JP,A)
特開平8-56240(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04L 7/02

H04L 7/04

H04L 25/08