



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년07월31일
(11) 등록번호 10-0849794
(24) 등록일자 2008년07월25일

(51) Int. Cl.

G11C 11/22 (2006.01) G11C 7/10 (2006.01)

(21) 출원번호 10-2007-0067038

(22) 출원일자 2007년07월04일

심사청구일자 2007년07월04일

(56) 선행기술조사문헌

JP11261017 A

KR1020040070054 A

US6711048 B2

US20030206430 A1

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

강희복

충청북도 청주시 흥덕구 가경동 762 벽산아파트
106-801

홍석경

경기도 과천시 부림동 주공아파트 809-505

(74) 대리인

특허법인태평양

전체 청구항 수 : 총 14 항

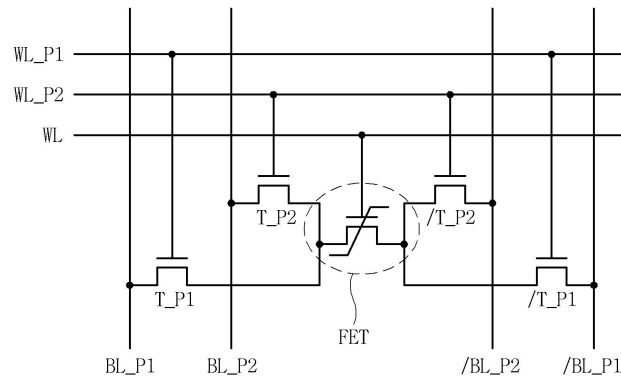
심사관 : 이보형

(54) 강유전체 소자를 적용한 반도체 메모리 장치

(57) 요약

본 발명은 강유전체 소자를 적용한 반도체 메모리 장치에 관한 것으로서, 불휘발성 특성을 갖는 1T-FET 형(1 transistor-Field Effect Transistor Type) 강유전체 소자를 이용한 멀티-포트 디램 셀을 구현하기 위한 기술을 개시한다. 이러한 본 발명은 비트라인 쌍 사이에 연결되어 워드라인에 의해 제어되며, 강유전체층의 극성 상태에 따라 채널영역에 서로 다른 채널 저항이 유도되는 1-T(One-Transistor) FET(Field Effect Transistor) 형 강유전체 소자와, 강유전체 소자의 양단과 비트라인 쌍 사이에 연결된 복수개의 액세스 트랜지스터, 및 복수개의 액세스 트랜지스터를 선택하기 위한 복수개의 포트 워드라인을 포함한다.

대표도 - 도5



특허청구의 범위

청구항 1

비트라인 쌍 사이에 연결되어 워드라인에 의해 제어되며, 강유전체층의 극성 상태에 따라 채널영역에 서로 다른 채널 저항이 유도되는 1-T(One-Transistor) FET(Field Effect Transistor) 형 강유전체 소자;

상기 강유전체 소자의 양단과 상기 비트라인 쌍 사이에 연결된 복수개의 액세스 트랜지스터; 및

상기 복수개의 액세스 트랜지스터를 선택하기 위한 복수개의 포트 워드라인을 포함하는 것을 특징으로 하는 강유전체 소자를 적용한 반도체 메모리 장치.

청구항 2

제 1항에 있어서, 상기 복수개의 액세스 트랜지스터는 비트라인의 개수와 동일하게 형성됨을 특징으로 하는 강유전체 소자를 적용한 반도체 메모리 장치.

청구항 3

제 1항에 있어서, 상기 복수개의 액세스 트랜지스터는 2개씩 쌍을 이루어 상기 복수개의 포트 워드라인에 각각 연결되는 것을 특징으로 하는 강유전체 소자를 적용한 반도체 메모리 장치.

청구항 4

제 1항에 있어서, 상기 복수개의 액세스 트랜지스터는

제 1비트라인 쌍과 상기 강유전체 소자의 양단 사이에 각각 연결되어 제 1포트 워드라인에 의해 제어되는 제 1,2액세스 트랜지스터 쌍; 및

제 2비트라인 쌍과 상기 강유전체 소자의 양단 사이에 연결되어 제 2포트 워드라인에 의해 제어되는 제 3,4액세스 트랜지스터 쌍을 포함하는 것을 특징으로 하는 강유전체 소자를 적용한 반도체 메모리 장치.

청구항 5

제 1항에 있어서, 상기 복수개의 액세스 트랜지스터는 각각 쌍을 이루어 서로 다른 비트라인 쌍과 연결되며, 상기 복수개의 포트 워드라인에 의해 독립적으로 동작하는 것을 특징으로 하는 강유전체 소자를 적용한 반도체 메모리 장치.

청구항 6

로오 방향으로 복수개 구비되는 멀티 포트 워드라인;

컬럼 방향으로 복수개 구비되어 쌍을 이루는 멀티 포트 비트라인; 및

상기 멀티 포트 워드라인과 상기 멀티 포트 비트라인이 교차하는 영역에 형성된 복수개의 단위 셀을 포함하고,

상기 복수개의 단위 셀 각각은

강유전체층의 극성 상태에 따라 채널영역에 서로 다른 채널 저항이 유도되는 1-T(One-Transistor) FET(Field Effect Transistor) 형 강유전체 소자;

상기 강유전체 소자의 양단과 상기 멀티 포트 비트라인 사이에 연결되어, 상기 멀티 포트 워드라인에 의해 제어되는 복수개의 액세스 트랜지스터; 및

상기 강유전체 소자를 제어하기 위한 워드라인을 포함하는 것을 특징으로 하는 강유전체 소자를 적용한 반도체 메모리 장치.

청구항 7

제 6항에 있어서, 상기 멀티 포트 비트라인으로부터 인가된 데이터를 센싱 및 증폭하는 센스앰프부를 더 포함하는 것을 특징으로 하는 강유전체 소자를 적용한 반도체 메모리 장치.

청구항 8

제 7항에 있어서, 상기 멀티 포트 비트라인 중 동일한 포트에 연결된 비트라인들은 하나의 센스앰프부를 공유하는 것을 특징으로 하는 강유전체 소자를 적용한 반도체 메모리 장치.

청구항 9

제 6항에 있어서, 상기 복수개의 액세스 트랜지스터는 2개씩 쌍을 이루어 상기 강유전체 소자와 연결되는 것을 특징으로 하는 강유전체 소자를 적용한 반도체 메모리 장치.

청구항 10

제 6항에 있어서, 상기 멀티 포트 비트라인은 상기 복수개의 액세스 트랜지스터와 동일한 개수로 형성되는 것을 특징으로 하는 강유전체 소자를 적용한 반도체 메모리 장치.

청구항 11

제 6항에 있어서, 상기 복수개의 액세스 트랜지스터는 각각 쌍을 이루어 서로 다른 멀티 포트 비트라인과 연결되며, 상기 멀티 포트 워드라인에 의해 독립적으로 동작하는 것을 특징으로 하는 강유전체 소자를 적용한 반도체 메모리 장치.

청구항 12

제 6항에 있어서, 상기 복수개의 액세스 트랜지스터는 제 1멀티 포트 비트라인 쌍과 상기 강유전체 소자의 양단 사이에 각각 연결되어 제 1멀티 포트 워드라인에 의해 제어되는 제 1,2액세스 트랜지스터 쌍; 및 제 2멀티 포트 비트라인 쌍과 상기 강유전체 소자의 양단 사이에 각각 연결되어 제 2멀티 포트 워드라인에 의해 제어되는 제 3,4액세스 트랜지스터 쌍을 포함하는 것을 특징으로 하는 강유전체 소자를 적용한 반도체 메모리 장치.

청구항 13

워드라인에 의해 제어되며, 강유전체층의 극성 상태에 따라 채널영역에 서로 다른 채널 저항이 유도되는 1-T(One-Transistor) FET(Field Effect Transistor) 형 강유전체 소자;

제 1비트라인과 상기 강유전체 소자 사이에 연결되고 제 1포트 워드라인에 의해 제어되는 제 1액세스 트랜지스터;

제 2비트라인과 상기 강유전체 소자 사이에 연결되고 제 2포트 워드라인에 의해 제어되는 제 2액세스 트랜지스터;

제 3비트라인과 상기 강유전체 소자 사이에 연결되고 제 1포트 워드라인에 의해 제어되는 제 3액세스 트랜지스터; 및

제 4비트라인과 상기 강유전체 소자 사이에 연결되고 제 2포트 워드라인에 의해 제어되는 제 4액세스 트랜지스터를 포함하는 것을 특징으로 하는 강유전체 소자를 적용한 반도체 메모리 장치.

청구항 14

제 13항에 있어서, 상기 워드라인의 전압 레벨에 응답하여 리드 동작과 라이트 동작이 이루어지는 것을 특징으로 하는 강유전체 소자를 적용한 반도체 메모리 장치.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 강유전체 소자를 적용한 반도체 메모리 장치에 관한 것으로서, 불휘발성 특성을 갖는 1T-FET 형 (1

tansistor-Field Effect Transistor Type) 강유전체 소자를 이용하여 멀티-포트 디램 셀을 구현하기 위한 기술이다.

배정 기술

- <2> 일반적으로 디램(DRAM)은 휘발성 메모리로서 데이터를 저장하기 위해서는 전력 공급이 지속 되어야 한다. 전력이 순간적으로 끊어지게 되면 램(RAM)이 지니고 있던 데이터가 손실될 수 있다. 이는 디램의 메모리 셀이 충전된 전력을 보관하는 작은 충전자 중심으로 설계되었기 때문이다. 이 충전자들은 매우 작은 충전지와 같은 것으로 계속 재충전이 되지 않으며 미리 충전된 전력마저도 잃게 된다.
- <3> 리프레쉬(Refresh) 동작이란, 바로 이러한 메모리 칩 안에 있는 메모리 셀의 재충전 과정을 말하는 것으로, 한 번의 리프레쉬 사이클마다 한 열(Row)의 메모리 셀이 충전될 수가 있다. 이러한 리프레쉬 동작은 시스템의 메모리 제어에 의해 이루어지나 몇몇 칩들은 자가 리프레쉬 동작을 할 수 있도록 설계되어 있다.
- <4> 예를 들어, 디램 칩의 경우 자가 리프레쉬 제어 회로를 가지고 있어 CPU(Central Processing Unit)나 외부 리프레쉬 회로의 개입 없이 자생적으로 리프레쉬를 할 수 있도록 하는 기술이 개시된 바 있다. 이러한 자가 리프레쉬 방식은 전력 소모를 현저히 줄여주어 휴대용 컴퓨터에 자주 쓰이게 된다.
- <5> 이러한 종래의 디램은 휘발성이면서 리프레쉬 주기가 짧기 때문에 리프레쉬 동작을 자주 수행하게 된다. 이에 따라, 리프레쉬 동작으로 인한 전력 소모가 크고 동작 성능이 저하된다.
- <6> 한편, 일반적으로 불휘발성 강유전체 메모리 즉, FeRAM(Ferroelectric Random Access Memory)은 디램(DRAM:Dynamic Random Access Memory) 정도의 데이터 처리 속도를 갖고, 전원의 오프시에도 데이터가 보존되는 특성 때문에 차세대 기억 소자로 주목받고 있다.
- <7> 이러한 FeRAM은 디램과 거의 유사한 구조를 갖는 기억소자로서 커패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류 분극을 이용한 것이다. 이와 같은 잔류 분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.
- <8> 이러한 종래의 불휘발성 강유전체 메모리 장치의 1T1C(1-Transistor 1-Capacitor) 형 단위 셀은, 워드라인의 상태에 따라 스위칭 동작하여 비트라인과 불휘발성 강유전체 커패시터를 연결시키는 하나의 스위칭 소자와, 스위칭 소자의 일단과 플레이트 라인 사이에 연결된 하나의 불휘발성 강유전체 캐패시터를 구비하여 이루어진다. 여기서, 종래의 불휘발성 강유전체 메모리 장치의 스위칭 소자는 게이트 제어 신호에 의해 스위칭 동작이 제어되는 NMOS트랜지스터를 주로 사용한다.
- <9> 도 1은 종래의 2T1C 디램 셀을 듀얼 포트로 구현한 회로도이다.
- <10> 종래의 디램 셀은 2개의 워드라인 WL_P1,WL_P2에 의해 조정되는 2개의 액세스 트랜지스터 T_P1,T_P2와, 하나의 커패시터 C를 포함한다. 여기서, 2개의 액세스 트랜지스터 T_P1,T_P2는 모스 트랜지스터로 이루어진다.
- <11> 액세스 트랜지스터 T_P1,T_P2의 각각의 드레인 단자는 두 개의 비트라인 BL_P1,BL_P2에 연결된다. 그리고, 액세스 트랜지스터 T_P1,T_P2의 다른 쪽 소스 단자는 커패시터 C의 한쪽 전극, 즉 저장 노드(Storage Node) SN와 연결된다. 여기서, 저장 노드 SN는 라이트된 전하(charge)가 저장되는 노드를 의미한다.
- <12> 커패시터 C의 또 다른 전극은 공통 셀 플레이트 라인 PL에 연결되고 셀 플레이트 전압(VCP)이 인가된다. 여기서, 셀 플레이트 전압(VCP)은 하프 전원전압(Half VDD)으로 정의한다. 그리고, 전원전압(VDD)은 셀의 하이 동작 전압으로 정의한다.
- <13> 또한, 제 1포트에는 워드라인 WL_P1이 연결되고, 제 2포트에는 워드라인 WL_P2이 연결된다. 그리고, 제 1포트에는 비트라인 BL_P1이 연결되고, 제 2포트에는 비트라인 BL_P2이 연결된다.
- <14> 근래에 들어, 시스템 성능이 향상되면서 메모리 셀의 액세스 성능의 향상을 요구하게 되었다. 그런데, 종래의 메모리 셀에서는 한 개의 포트만 구비되어 있기 때문에 복수개의 동작(리드/라이트)을 동시에 수행할 수 없게 된다.
- <15> 상술된 구성을 갖는 종래의 2T1C 디램 셀은 멀티 포트를 구비하여 복수개의 동작을 동시에 수행할 수는 있다. 하지만, 종래의 멀티 포트 셀은 커패시터 노드를 이용하여 전하 분배(charge sharing) 방식을 통해 데이터를 저장하게 되어 데이터 액세스시 동작 속도에 한계가 있다. 그리고, 커패시터의 구현을 위해 커패시터 공정이 필요하게 되어 공정 과정이 복잡해진다. 또한, 비교적 사이즈가 큰 커패시터의 형성으로 인하여 전체적인 셀 사

이즈가 커지게 된다.

발명의 내용

해결 하고자하는 과제

- <16> 본 발명은 상기와 같은 문제점을 해결하기 위하여 창출된 것으로서, 불휘발성 특성을 갖는 1T-FET 형(1 transistor-Field Effect Transistor Type) 강유전체 소자를 이용한 멀티-포트 디램 셀을 구현하여 데이터 액세스 속도를 향상시킬 수 있도록 하는데 그 목적이 있다.
- <17> 또한, 1T-FET 형 디램에서 복수개의 포트를 이용하여 각 포트들이 독립적으로 리드/라이트 동작을 수행할 수 있도록 하는데 그 목적이 있다.
- <18> 또한, 1T-FET 형 디램에서 복수개의 포트를 이용하여 각 포트들이 독립적으로 리프레쉬 동작을 수행할 수 있도록 하는데 그 목적이 있다.
- <19> 또한, 1-FET 형 강유전체 소자를 이용하여 커패시터 공정을 없앴으로써 비교적 간단한 공정으로 멀티 포트 셀을 구현할 수 있도록 하는데 그 목적이 있다.
- <20> 또한, 1-FET 형 강유전체 소자를 이용하여 멀티-포트 셀을 구현함으로써 비교적 사이즈가 큰 커패시터를 형성하지 않고 셀의 면적을 줄일 수 있도록 하는데 그 목적이 있다.

과제 해결수단

- <21> 상기한 목적을 달성하기 위한 본 발명의 강유전체 소자를 적용한 반도체 메모리 장치는, 비트라인 쌍 사이에 연결되어 워드라인에 의해 제어되며, 강유전체층의 극성 상태에 따라 채널영역에 서로 다른 채널 저항이 유도되는 1-T(One-Transistor) FET(Field Effect Transistor) 형 강유전체 소자; 강유전체 소자의 양단과 비트라인 쌍 사이에 연결된 복수개의 액세스 트랜지스터; 및 복수개의 액세스 트랜지스터를 선택하기 위한 복수개의 포트 워드라인을 포함하는 것을 특징으로 한다.
- <22> 또한, 본 발명은 로오 방향으로 복수개 구비되는 멀티 포트 워드라인; 컬럼 방향으로 복수개 구비되어 쌍을 이루는 멀티 포트 비트라인; 및 멀티 포트 워드라인과 멀티 포트 비트라인이 교차하는 영역에 형성된 복수개의 단위 셀을 포함하고, 복수개의 단위 셀 각각은 강유전체층의 극성 상태에 따라 채널영역에 서로 다른 채널 저항이 유도되는 1-T(One-Transistor) FET(Field Effect Transistor) 형 강유전체 소자; 강유전체 소자의 양단과 멀티 포트 비트라인 사이에 연결되어, 멀티 포트 워드라인에 의해 제어되는 복수개의 액세스 트랜지스터; 및 강유전체 소자를 제어하기 위한 워드라인을 포함하는 것을 특징으로 한다.
- <23> 또한, 본 발명은 워드라인에 의해 제어되며, 강유전체층의 극성 상태에 따라 채널영역에 서로 다른 채널 저항이 유도되는 1-T(One-Transistor) FET(Field Effect Transistor) 형 강유전체 소자; 제 1비트라인과 강유전체 소자 사이에 연결되고 제 1포트 워드라인에 의해 제어되는 제 1액세스 트랜지스터; 제 2비트라인과 강유전체 소자 사이에 연결되고 제 2포트 워드라인에 의해 제어되는 제 2액세스 트랜지스터; 제 3비트라인과 강유전체 소자 사이에 연결되고 제 1포트 워드라인에 의해 제어되는 제 3액세스 트랜지스터; 및 제 4비트라인과 강유전체 소자 사이에 연결되고 제 2포트 워드라인에 의해 제어되는 제 4액세스 트랜지스터를 포함하는 것을 특징으로 한다.

효과

- <24> 본 발명은 다음과 같은 효과를 제공한다.
- <25> 첫째, 불휘발성 특성을 갖는 1T-FET 형(1 transistor-Field Effect Transistor Type) 강유전체 소자를 이용한 멀티-포트 디램 셀을 구현하여 데이터 액세스 속도를 향상시킬 수 있도록 한다.
- <26> 둘째, 1T-FET 형 디램에서 복수개의 포트를 이용하여 각 포트들이 독립적으로 리드/라이트 동작을 수행할 수 있도록 한다.
- <27> 셋째, 1T-FET 형 디램에서 복수개의 포트를 이용하여 각 포트들이 독립적으로 리프레쉬 동작을 수행할 수 있도록 한다.
- <28> 넷째, 1-FET 형 강유전체 소자를 이용하여 커패시터 공정을 없앴으로써 비교적 간단한 공정으로 멀티 포트 셀을

구현할 수 있도록 한다.

<29> 다섯째, 1-FET 형 강유전체 소자를 이용하여 멀티-포트 셀을 구현함으로써 비교적 사이즈가 큰 커패시터를 형성하지 않고 셀의 면적을 줄일 수 있도록 하는 효과를 제공한다.

<30> 아울러 본 발명의 바람직한 실시예는 예시의 목적을 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구 범위에 속하는 것으로 보아야 할 것이다.

발명의 실시를 위한 구체적인 내용

<31> 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다.

<32> 도 2는 본 발명에 따른 반도체 메모리 장치의 셀 단면도이다.

<33> 본 발명의 1-T(One-Transistor) FET(Field Effect Transistor)형 강유전체 메모리 셀은 P형영역 기판(1) 상에 메모리 셀의 P형 채널영역과, N형 드레인영역(2) 및 N형 소스영역(3)이 형성된다. 그리고, 채널 영역의 상부에 강유전체층(Ferroelectric layer;4)이 형성되고, 강유전체층(4)의 상부에 워드라인(5)이 형성된다.

<34> 여기서, 공정의 안정화를 위해 채널 영역과 강유전체층(4)의 사이에 버퍼 절연층(6)을 형성할 수도 있다. 즉, 버퍼 절연층(6)은 채널 영역과 강유전체층(4) 사이의 공정적 및 재료적인 차이점을 극복하기 위해 형성된다.

<35> 이러한 구성을 갖는 반도체 메모리 장치는 강유전체층(4)의 분극(Polarization) 극성 상태에 따라 메모리 셀의 채널 저항이 달라지는 특성을 이용하여 데이터를 리드/라이트 한다.

<36> 즉, 강유전체층(4)의 극성이 채널에 양(+)의 전하를 유도할 경우 메모리 셀은 고저항 채널 상태가 되어 오픈된다. 반대로, 강유전체층(4)의 극성이 채널에 음(-)의 전하를 유도할 경우 메모리 셀은 저저항 채널 상태가 되어 턴온된다. 이와 같이, 강유전체 메모리 셀은 강유전체층(4)의 분극 극성 종류를 선택하여 셀에 데이터를 라이트 함으로써 비휘발성 메모리 셀이 된다.

<37> 도 3a 및 도 3b는 본 발명에 따른 반도체 메모리 장치의 리드 모드에서의 비트라인 BL 전류를 나타낸 그래프이다.

<38> 도 3a에서와 같이, P형 채널영역이 온/오프가 되는 상태에서의 전압 값을 워드라인 리드전압 Vrd으로 설정하는 것이 바람직하다. 즉, 워드라인 리드전압 Vrd은 채널영역이 온 상태일 경우 가장 많은 비트라인 BL 전류가 흐르게 되고, 채널영역이 오프 상태일 경우 가장 적은 비트라인 BL 전류가 흐르게 된다.

<39> 그리고, 도 3b에서와 같이, 동일한 워드라인 리드전압 Vrd이 인가된 상태에서 비트라인 BL의 전압을 변경할 경우 메모리 셀에 저장된 셀 데이터의 값에 따라 서로 다른 비트라인 BL 전류 값을 갖게 된다. 즉, 메모리 셀에 데이터 "0"이 저장된 경우 비트라인 BL 전압의 증가시 비트라인 BL 전류가 많이 흐르게 된다. 반면에, 메모리 셀에 데이터 "1"이 저장된 경우 비트라인 BL 전압의 증가에도 불구하고 비트라인 BL 전류는 변하지 않고 적게 흐르게 된다.

<40> 도 4는 본 발명에 따른 반도체 메모리 장치의 리프레쉬 사이클 타이밍을 설명하기 위한 도면이다.

<41> 먼저, t0 구간에서는 선택된 로오 어드레스의 모든 셀들에 대해 셀 데이터를 리드하여 증폭한 후 레지스터에 저장한다. 이후에, t1 구간에서는 선택된 로오 어드레스의 해당 셀들에 대해 데이터 "0"을 복구하기 위한 리프레쉬 "0" 동작을 수행한다. 또한, t2 구간에서는 선택된 로오 어드레스의 해당 셀들에 대해 데이터 "1"을 복구하기 위한 리프레쉬 "1" 동작을 수행한다.

<42> 도 5는 본 발명에 따른 반도체 메모리 장치를 듀얼 포트에 구현한 회로도이다.

<43> 본 발명은 워드라인 WL_P1에 의해 조정되는 한 쌍의 액세스 트랜지스터 T_P1,/T_P1와, 워드라인 WL_P2에 의해 조정되는 한 쌍의 액세스 트랜지스터 T_P2,/T_P2와, 하나의 1T-FET 형(1 transistor-Field Effect Transistor Type) 강유전체 소자 FET를 포함한다. 여기서, 각각의 액세스 트랜지스터 T_P1,/T_P1,T_P2,/T_P2는 포트를 선택하기 위한 선택 스위칭 소자로서 MOS 트랜지스터로 구조를 갖는다.

<44> 액세스 트랜지스터 T_P1,T_P2의 드레인 단자는 두 개의 비트라인 BL_P1,BL_P2에 각각 연결된다. 그리고, 액세스 트랜지스터 T_P1,T_P2의 다른 쪽 소스 단자는 1T-FET 형(1 transistor-Field Effect Transistor Type) 강유전체 소자 FET의 한쪽 전극과 연결된다.

- <45> 또한, 액세스 트랜지스터 /T_{P1}/T_{P2}의 드레인 단자는 두 개의 비트라인 /BL_{P1}/BL_{P2}에 각각 연결된다. 그리고, 액세스 트랜지스터 /T_{P1}/T_{P2}의 다른 쪽 소스 단자는 1T-FET 형 강유전체 소자 FET의 다른 한쪽 전극과 연결된다. 그리고, 1T-FET 형 강유전체 소자 FET는 액세스 트랜지스터 T_{P1}/T_{P1}의 사이에 연결되어 게이트 단자가 워드라인 WL에 연결된다.
- <46> 또한, 제 1포트에는 워드라인 WL_{P1}이 연결되고, 제 2포트에는 워드라인 WL_{P2}이 연결된다. 그리고, 제 1포트에는 한 쌍의 비트라인 BL_{P1}/BL_{P1}이 연결되고, 제 2포트에는 한 쌍의 비트라인 BL_{P2}/BL_{P2}이 연결된다.
- <47> 도 6은 본 발명에 따른 반도체 메모리 장치를 듀얼 포트 셀 어레이로 구현한 회로도이다.
- <48> 본 발명의 셀 어레이는 2 쌍의 액세스 트랜지스터 T_{P1}/T_{P1},T_{P2}/T_{P2}와, 하나의 1T-FET 형 강유전체 소자 FET를 포함하는 단위 셀(Unit Cell) UC이 로오 및 컬럼 방향으로 복수개 구비된다.
- <49> 즉, 로오 방향으로 멀티 포트 워드라인 WLO_{P1},WLO_{P2},WL1_{P1},WL1_{P2}이 복수개 배열되고, 컬럼 방향으로 멀티 포트 비트라인 쌍 BLO_{P1}/BLO_{P1},BLO_{P2}/BLO_{P2},BL1_{P1}/BL1_{P1},BL1_{P2}/BL1_{P2}이 복수개 배열된다. 그리고, 멀티 포트 워드라인 WLO_{P1},WLO_{P2},WL1_{P1},WL1_{P2}과 멀티 포트 비트라인 쌍 BLO_{P1}/BLO_{P1},BLO_{P2}/BLO_{P2},BL1_{P1}/BL1_{P1},BL1_{P2}/BL1_{P2}이 교차하는 영역에 복수개의 단위 셀 UC1~UC4이 구비된다.
- <50> 여기서, 단위 셀 UC1,UC2은 제 1포트에 해당하는 비트라인 쌍 BLO_{P1}/BLO_{P1}과 제 2포트에 해당하는 비트라인 쌍 BLO_{P2}/BLO_{P2} 사이에 각각 연결된다. 상하로 배치된 단위 셀 UC1,UC2들은 동일한 포트끼리 각각의 비트라인들을 공유하게 된다.
- <51> 그리고, 단위 셀 UC3,UC4은 제 1포트에 해당하는 비트라인 쌍 BL1_{P1}/BL1_{P1}과 제 2포트에 해당하는 비트라인 쌍 BL1_{P2}/BL1_{P2} 사이에 각각 연결된다. 상하로 배치된 단위 셀 UC3,UC4들은 동일한 포트끼리 각각의 비트라인들을 공유하게 된다.
- <52> 여기서, 단위 셀 UC1,UC2의 액세스 트랜지스터 쌍 T_{P1}/T_{P1}과 연결된 제 1포트의 비트라인들 BLO_{P1}/BLO_{P1}은 제 1포트 센스앰프부(40)와 연결된다. 그리고, 단위 셀 UC1,UC2의 액세스 트랜지스터 쌍 T_{P2}/T_{P2}과 연결된 제 2포트의 비트라인들 BLO_{P2}/BLO_{P2}은 제 2포트 센스앰프부(20)와 연결된다.
- <53> 그리고, 단위 셀 UC3,UC4의 액세스 트랜지스터 쌍 T_{P1}/T_{P1}과 연결된 제 1포트의 비트라인들 BL1_{P1}/BL1_{P1}은 제 1포트 센스앰프부(50)와 연결된다. 그리고, 단위 셀 UC3,UC4의 액세스 트랜지스터 쌍 T_{P2}/T_{P2}과 연결된 제 2포트의 비트라인들 BL1_{P2}/BL1_{P2}은 제 2포트 센스앰프부(30)와 연결된다.
- <54> 도 7은 본 발명에 따른 반도체 메모리 장치를 2개 이상의 멀티 포트로 구현한 회로도이다.
- <55> 본 발명은 복수개의 워드라인 WL_{P1}~WL_{P4}에 의해 조정되는 복수개의 액세스 트랜지스터 쌍 T_{P1}~T_{P4}/T_{P1}~T_{P4}과, 하나의 1T-FET 형 강유전체 소자 FET를 포함한다. 여기서, 복수개의 액세스 트랜지스터 쌍 T_{P1}~T_{P4}/T_{P1}~T_{P4}은 여러 개의 포트 중 해당 포트를 선택하기 위한 선택 스위칭 소자로서 모스 트랜지스터로 구조를 갖는다.
- <56> 액세스 트랜지스터 쌍 T_{P1}~T_{P4}/T_{P1}~T_{P4}의 각각의 드레인 단자는 이와 대응하는 비트라인 쌍 BL_{P1}~BL_{P4}/BL_{P1}~BL_{P4}에 각각 연결된다. 그리고, 액세스 트랜지스터 T_{P1}~T_{P4}의 다른 쪽 소스 단자는 1T-FET 형 강유전체 소자 FET의 한쪽 전극과 연결된다. 그리고, 액세스 트랜지스터 /T_{P1}~T_{P4}의 다른 쪽 소스 단자는 1T-FET 형 강유전체 소자 FET의 다른 한쪽 전극과 연결된다.
- <57> 1T-FET 형 강유전체 소자 FET는 액세스 트랜지스터 쌍 T_{P1}~T_{P4}/T_{P1}~T_{P4} 사이에 연결되어 게이트 단자가 워드라인 WL과 연결된다.
- <58> 또한, 제 1포트에는 워드라인 WL_{P1}이 연결되고, 제 2포트에는 워드라인 WL_{P2}이 연결된다. 그리고, 제 3포트에는 워드라인 WL_{P3}이 연결되고, 제 4포트에는 워드라인 WL_{P4}이 연결된다.
- <59> 또한, 제 1포트에는 비트라인 쌍 BL_{P1}/BL_{P1}이 연결되고, 제 2포트에는 비트라인 쌍 BL_{P2}/BL_{P2}이 연결된다. 그리고, 제 3포트에는 비트라인 쌍 BL_{P3}/BL_{P3}이 연결되고, 제 4포트에는 비트라인 쌍 BL_{P4}/BL_{P4}이 연결된다.
- <60> 이러한 멀티 포트 디램 셀은 복수개의 포트에 해당하는 워드라인 WL과 비트라인 쌍 BL/BL 들로 구성되고, 1개의 1T-FET 형 강유전체 소자 FET를 구비하게 된다. 이에 따라, 본 발명은 복수개의 워드라인 WL_P에 의해 해당

하는 액세스 트랜지스터 T_P를 선택하여 각 포트별로 독립적인 리드/라이트 동작 및 리프레쉬 동작을 수행할 수 있도록 한다.

- <61> 즉, 제 1포트에 해당하는 워드라인 WL₀P₁이 활성화되면 액세스 트랜지스터 쌍 T_{P1}/T_{P1}가 선택된다. 이에 따라, 액세스 트랜지스터 쌍 T_{P1}/T_{P1}에 의해 1T-FET 형 강유전체 소자 FET에 저장된 데이터를 리드할 수 있다.
- <62> 이와 동시에, 제 2포트에 해당하는 워드라인 WL₀P₂이 활성화되면 액세스 트랜지스터 쌍 T_{P2}/T_{P2}가 선택된다. 이에 따라, 액세스 트랜지스터 T_{P2}/T_{P2}에 의해 1T-FET 형 강유전체 소자 FET에 데이터를 저장할 수 있다.
- <63> 본 발명의 실시예에서는 4개의 포트 구성되는 멀티 포트 셀을 설명하였지만, 본 발명은 이에 한정되는 것이 아니라 4개 이상의 포트 구성될 수도 있다. 이러한 경우 포트의 수에 대응하는 액세스 트랜지스터가 구비될 수 있다.
- <64> 도 8은 본 발명에 따른 반도체 메모리 장치의 리드 동작에 관한 타이밍도이다. 본 발명에서는 포트 워드라인 WL₀P₁과 포트 비트라인 BL₀P₁이 선택되는 경우를 그 실시예로 설명한다.
- <65> 먼저, t₀ 구간에서는 포트 워드라인 WL₀P₁, 워드라인 WL, 비트라인 쌍 BL₀P₁/BL₀P₁이 그라운드 전압 GND 레벨을 유지한다.
- <66> 이후에, t₁ 구간에서 선택된 포트 워드라인 WL₀P₁이 그라운드 전압 GND 레벨에서 하이 전압(High) 레벨로 천이하고, 선택된 워드라인 WL이 그라운드 전압 GND 레벨에서 리드전압 V_{rd} 레벨로 천이한다.
- <67> 그리고, 포트 비트라인 쌍 BL₀P₁/BL₀P₁ 중 비트라인 BL₀P₁이 그라운드 전압 GND 레벨에서 센싱 바이어스 전압 V_{sen} 레벨로 천이한다. 이때, 포트 비트라인 쌍 BL₀P₁/BL₀P₁ 중 비트라인 /BL₀P₁은 그라운드 전압 GND 레벨을 유지한다.
- <68> 이러한 경우 액세스 트랜지스터 T_{P1}이 턴온되어 비트라인 BL₀P₁을 통해 흐르는 셀 센싱 전류 I_{sen}의 값을 제 1 포트 센스앰프부 S/A를 통해 센싱하고 증폭하여 레지스터 REG에 저장하게 된다.
- <69> 이어서, t₂ 구간에서 선택된 포트 워드라인 WL₀P₁이 하이 전압(High) 레벨에서 그라운드 전압 GND 레벨로 천이하고, 선택된 워드라인 WL이 리드전압 V_{rd} 레벨에서 그라운드 전압 GND 레벨로 천이한다. 또한, 비트라인 BL₀P₁이 센싱 바이어스 전압 V_{sen} 레벨에서 그라운드 전압 GND 레벨로 천이한다.
- <70> 도 9는 본 발명에 따른 반도체 메모리 장치의 라이트 동작에 관한 타이밍도이다.
- <71> 먼저, t₀ 구간에서는 포트 워드라인 WL₀P₁, 워드라인 WL, 비트라인 쌍 BL₀P₁/BL₀P₁이 그라운드 전압 GND 레벨을 유지한다.
- <72> 이후에, t₁ 구간에서 선택된 포트 워드라인 WL₀P₁이 그라운드 전압 GND 레벨에서 하이 전압(High) 레벨로 천이하고, 선택된 워드라인 WL이 그라운드 전압 GND 레벨에서 리드전압 V_{rd} 레벨로 천이한다.
- <73> 그리고, 포트 비트라인 쌍 BL₀P₁/BL₀P₁ 중 비트라인 BL₀P₁이 그라운드 전압 GND 레벨에서 센싱 바이어스 전압 V_{sen} 레벨로 천이한다. 이때, 포트 비트라인 쌍 BL₀P₁/BL₀P₁ 중 비트라인 /BL₀P₁은 그라운드 전압 GND 레벨을 유지한다.
- <74> 이후에, t₂ 구간에서 선택된 포트 워드라인 WL₀P₁이 하이 전압(High) 레벨을 유지한다. 그리고, 선택된 워드라인 WL이 리드전압 V_{rd} 레벨에서 전원전압 VDD 레벨로 천이한다. 여기서, 리드 전압 V_{rd}은 임계 전압 V_c 보다 작고 전원전압 VDD은 임계전압 V_c 보다 크다. 그리고, 센싱 바이어스 전압 V_{sen}은 리드 전압 V_{rd} 보다 작은 것이 바람직하다.
- <75> 또한, 비트라인 BL₀P₁이 센싱 바이어스 전압 V_{sen} 레벨에서 리드전압 V_{rd} 또는 그라운드 전압 GND 레벨로 천이한다. 그리고, 비트라인 /BL₀P₁이 그라운드 전압 GND 레벨을 유지하거나 리드전압 V_{rd} 레벨로 천이한다. 이러한 경우 선택된 로오(Row)의 모든 셀 들에 대하여 데이터 '0'을 라이트할 수 있게 된다.
- <76> 이어서, t₃ 구간에서 선택된 포트 워드라인 WL₀P₁이 하이 전압 레벨을 유지한다. 그리고, 선택된 워드라인 WL이 전원전압 VDD 레벨에서 음의 리드전압 -V_{rd} 레벨로 천이한다.
- <77> 그리고, 포트 비트라인 쌍 BL₀P₁/BL₀P₁ 중 비트라인 BL₀P₁이 리드전압 V_{rd} 또는 그라운드 전압 GND 레벨을 유지한다. 그리고, 비트라인 /BL₀P₁이 그라운드 전압 GND 레벨을 유지하거나 리드전압 V_{rd} 레벨로 천이한다. 이

러한 경우 레지스터 REG에 저장된 데이터를 다시 메모리 셀에 라이트하여 데이터를 복구하거나, 외부로부터 인가된 새로운 데이터를 라이트할 수도 있다.

<78> 이때, 데이터 '0'은 이미 t1 구간에서 라이트된 상태이므로, t3 구간에서는 데이터 '0' 유지 모드가 되며, 데이터 '1'에 대해서는 새로운 라이트 동작이 수행된다.

<79> 이어서, t4 구간에서 선택된 포트 워드라인 WL_P1이 하이 전압(High) 레벨에서 그라운드 전압 GND 레벨로 천이하고, 선택된 워드라인 WL이 음의 리드전압 -Vrd 레벨에서 그라운드 전압 GND 레벨로 천이한다. 또한, 비트라인 BL_P1이 리드 전압 Vrd 레벨에서 그라운드 전압 GND 레벨로 천이한다.

<80> 이상에서와 같이 선택된 포트 워드라인 WL_P에 공급되는 양의 리드전압 Vrd, 전원전압 VDD, 음의 리드전압 -Vrd 또는 기타 전압은 로오 디코더로부터 공급되는 전압인 것이 바람직하다. 이러한 전압을 공급하는 로오 디코더에 관한 구성은 본 발명과 동일 발명자에 의해 출원된 출원번호 제 2007-0065033호에 개시된 바와 같다.

도면의 간단한 설명

<81> 도 1은 종래의 2T1C 디램 셀을 듀얼 포트로 구현한 회로도.

<82> 도 2는 본 발명에 따른 반도체 메모리 장치의 셀 단면도.

<83> 도 3a 및 도 3b는 본 발명에 따른 반도체 메모리 장치의 리드 모드에서의 비트라인 전류를 나타낸 그래프.

<84> 도 4는 본 발명에 따른 반도체 메모리 장치의 리프레쉬 사이클 타이밍을 설명하기 위한 도면.

<85> 도 5는 본 발명에 따른 반도체 메모리 장치를 듀얼 포트로 구현한 회로도.

<86> 도 6은 본 발명에 따른 반도체 메모리 장치를 듀얼 포트 셀 어레이로 구현한 회로도.

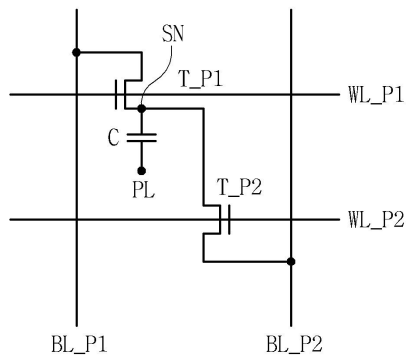
<87> 도 7은 본 발명에 따른 반도체 메모리 장치를 멀티 포트로 구현한 회로도.

<88> 도 8은 본 발명에 따른 반도체 메모리 장치의 리드 동작에 관한 타이밍도.

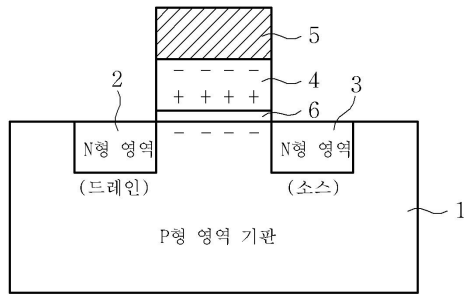
<89> 도 9는 본 발명에 따른 반도체 메모리 장치의 라이트 동작에 관한 타이밍도.

도면

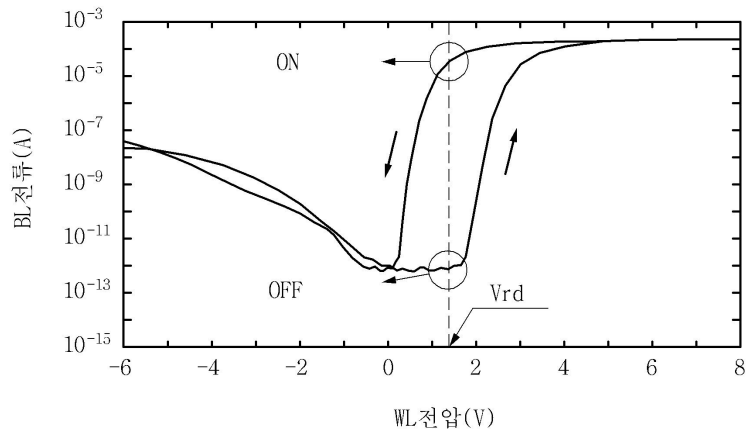
도면1



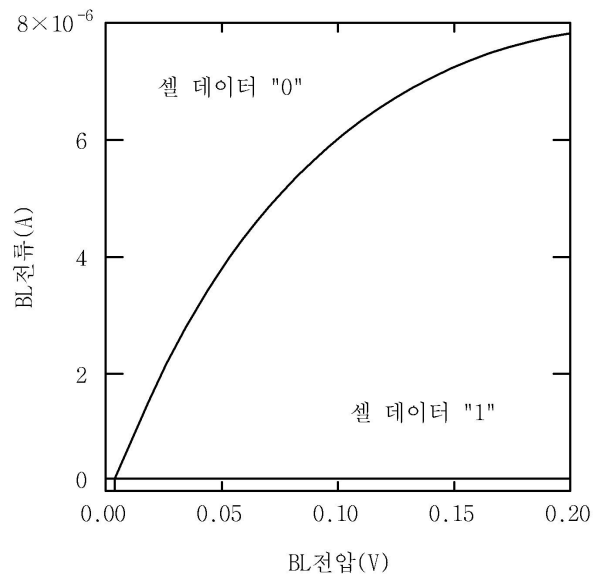
도면2



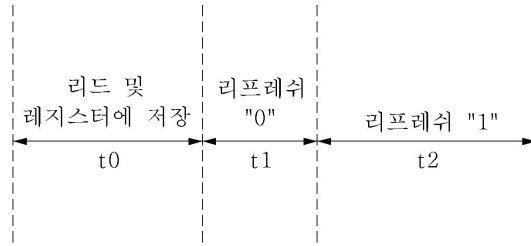
도면3a



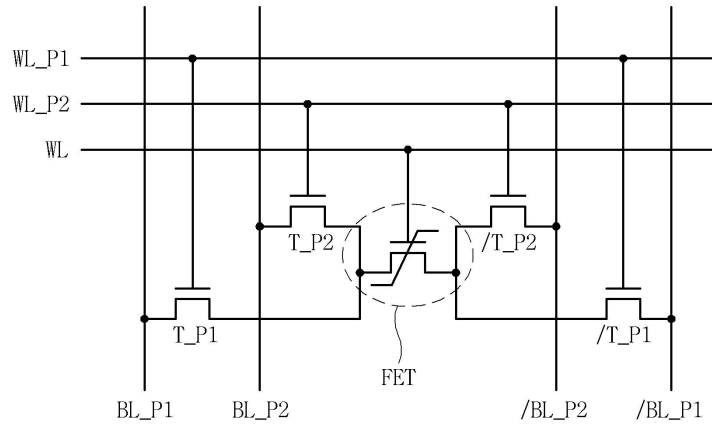
도면3b



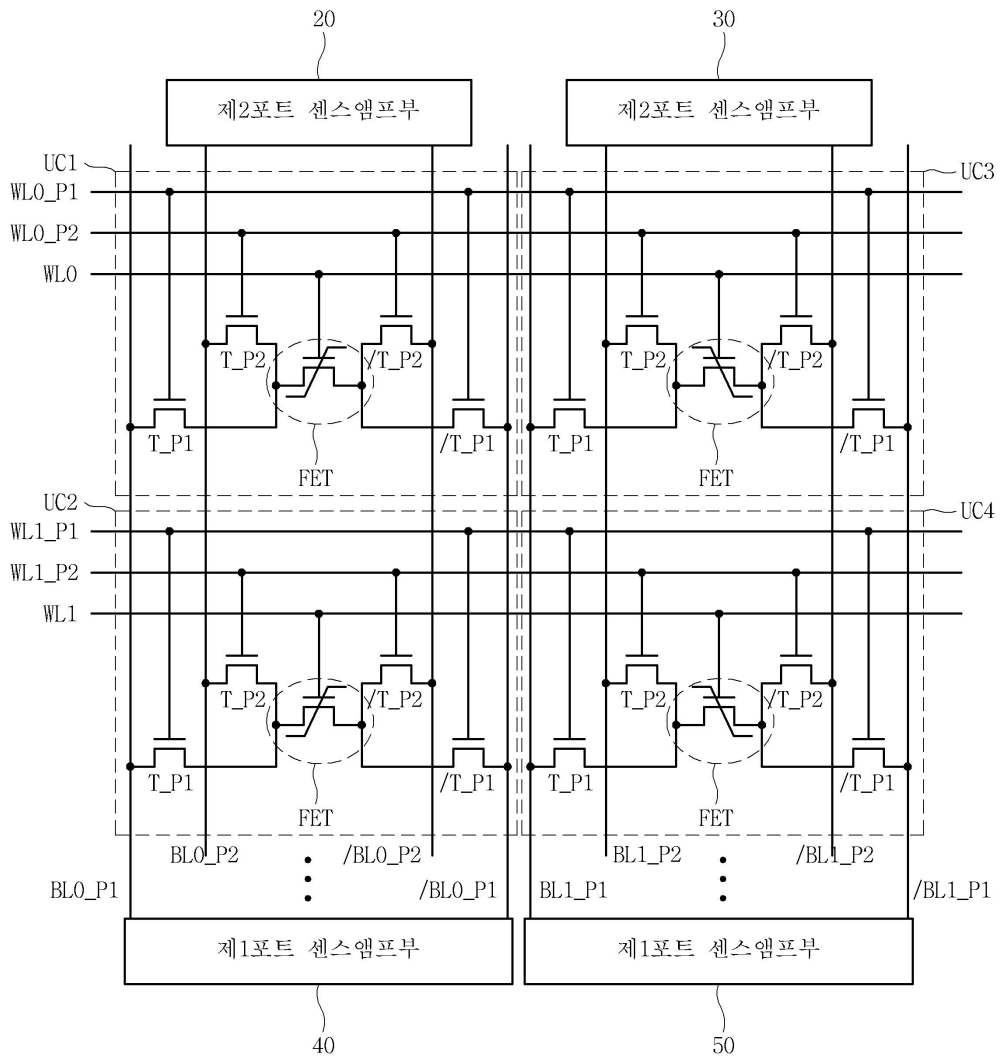
도면4



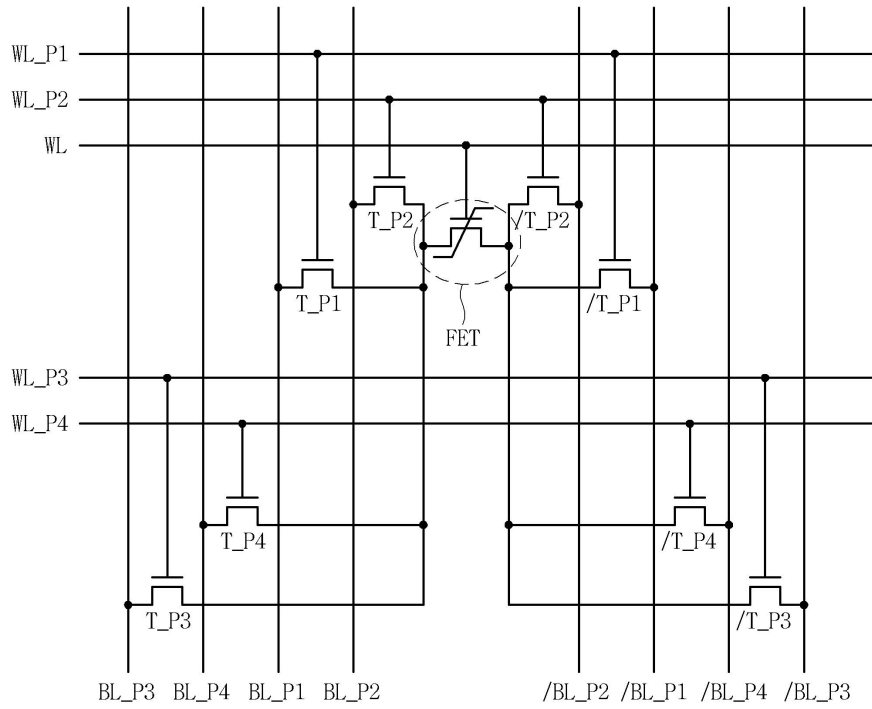
도면5



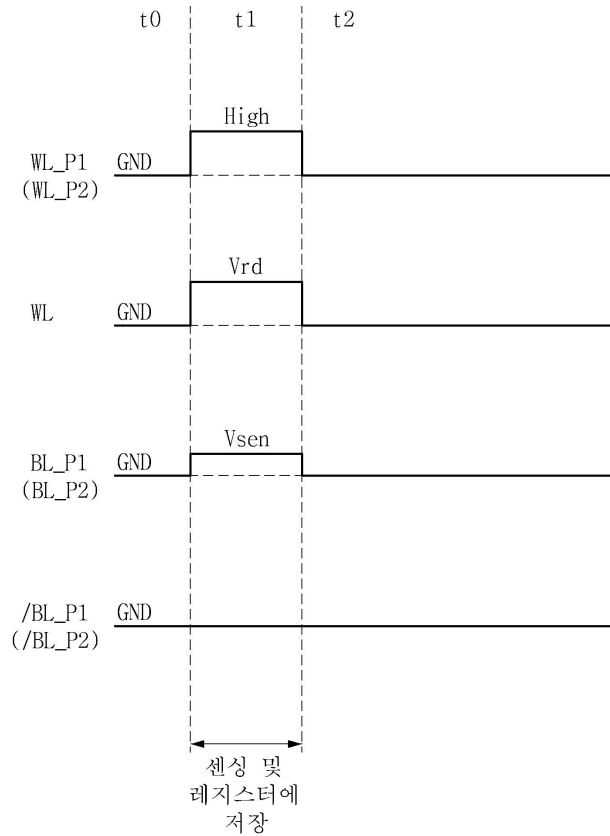
도면6



도면7



도면8



도면9

