

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> G03F 7/20	(11) 공개번호 특 1998-015733	(43) 공개일자 1998년 05월 25일
(21) 출원번호 특 1996-035171	(22) 출원일자 1996년 08월 23일	
(71) 출원인 삼성전자 주식회사 김광호	경기도 수원시 팔달구 매탄동 416번지	
(72) 발명자 여기성	서울특별시 강남구 개포동 138 주공아파트 303동 503호	
	남정림	
	경기도 수원시 팔달구 지동 진우아파트 1동 1305호	

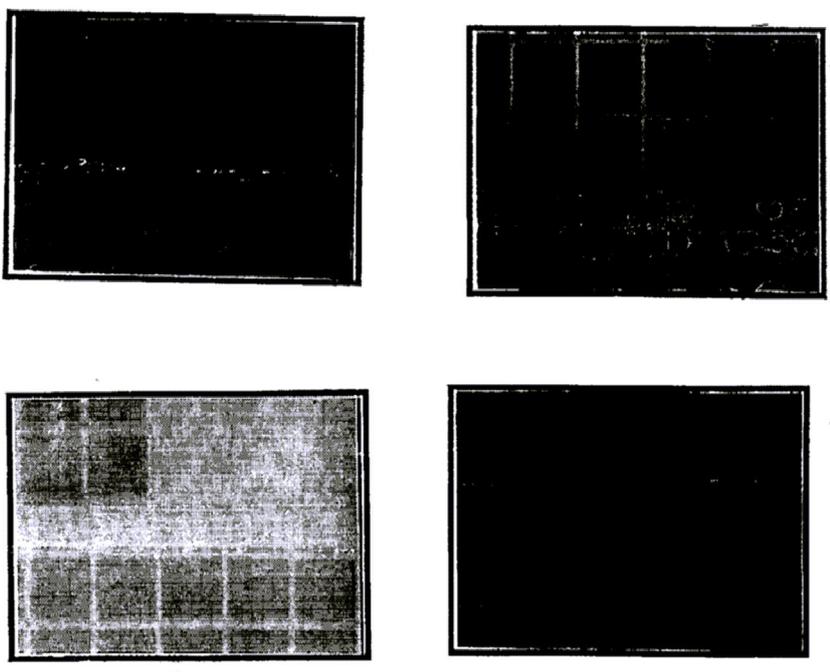
심사청구 : 없음

(54) 레지스트 패턴 형성방법

요약

포도레지스트 패터닝 시 발생하는 감광막의 버닝(burning) 현상을 방지할 수 있는 레지스트 패턴의 형성 방법이 개시된다. 본 발명은 반도체 웨이퍼 상에 감광막을 도포한 후 식각하여 미세한 레지스트 패턴을 형성하는 방법에 있어서, 상기 감광막 도포 후 레지스트 패턴의 써멀 플로우(Resist Thermal Flow) 량을 조절하기 위하여, 충분한 양의 DUV(deep ultra violet) 노광공정을 수행하는 단계와, 상기 레지스트 패턴의 버닝(burning)을 방지하기 위하여, 고온 베이킹 공정을 부가하여 패턴을 경화시킨 후, 식각 공정을 수행한다.

대표도



명세서

도면의 간단한 설명

도 1의 (a) 내지 (d)는 DUV 노광량에 따른 레지스트 패턴의 열적 플로우 량을 관측한 사진.  
도 2a 내지 도 2d는 종래 및 본 발명의 DUV 노광량 및 베이킹에 의한 식각 시의 버닝 현상의 차이점을

관측한 사진이다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조공정에 있어서 포토레지스트 패턴을 형성하는 방법에 관한 것으로서, 특히 포토레지스트 패터닝 시 발생하는 감광막의 버닝(burning) 현상을 방지할 수 있는 레지스트 패턴의 형성 방법에 관한 것이다.

반도체 장치의 집적도가 증가함에 따라, 깊은 단차에서의 미세 콘택(Small Contact) 등의 패턴 형성을 위해 높은 선택비를 갖는 식각 공정이 요구된다.

이러한 식각 공정 시, 챔버내의 온도가 고온에서 진행되는 경우가 빈번하며, 이때 넓은 면적에서의 포토레지스트 버닝(burning) 현상으로 인하여 공정 진행이 된다. 따라서, 식각 선택비를 낮추거나 챔버내의 공정 진행 조건 등을 제한하여 공정을 진행해야 하는 문제점이 있다.

이로 인해, 하부 감광막(Bottom PR)을 고온 예컨데, 후속의 계면 산화막(inter oxide layer)의 증착 온도보다 높은 온도인 약 300°C의 고온에서 베이킹 공정을 수행하고, CVD 산화막이 증착된 상태에서 패턴을 형성한 후 산화막과 하부 감광막을 식각하는 MLR(Multi Layer Resist) 이라고 하는 복잡한 공정을 요구하게 된다. 또한, 실제 식각하고자 하는 막 위에 마스크층을 형성하고 그 위에 패턴을 형성한 다음 마스크층을 제거한 후, 레지스트 패턴을 에칭(Ashing) 및 스트립하고, 마스크층을 사용하여 하부막을 식각해야 하는 복잡한 공정을 가져가야 한다.

또는, 마스크 레이아웃 상에서 넓은 면적으로 레지스트 패턴이 남는 것을 방지하기 위해, 포지티브 공정일 경우 넓은 면적으로 남는 영역을 노광해 주어야 하는데 이로 인해, 디바이스 상에서의 부분적인 단차가 형성되며, 후속 공정에서의 패턴 형성시 DOF(depth of focus) 마진이 감소하게 되는 원인이 되고 있다.

또한, 웨이퍼 상에서 디바이스가 노광되지 않는 영역을 더미(Dummy)로 노광함으로써 생산성 저하의 원인이 되고 있다.

#### 발명이 이루고자하는 기술적 과제

따라서, 본 발명은 이러한 기술적 배경하에서 안출된 것으로서, 본 발명이 이루고자 하는 기술적 과제는 별도의 공정 추가 없이 버닝(burning) 현상을 방지할 수 있는 개선된 레지스트 패턴 형성방법을 제공하는데 있다.

### 발명의 구성 및 작용

상술한 기술적 과제를 달성하기 위한 본 발명은 반도체 웨이퍼 상에 감광막을 도포한 후 식각하여 미세한 레지스트 패턴을 형성하는 방법에 있어서, 상기 감광막 도포 후 레지스트 패턴의 썬열 플로우(Resist Thermal Flow)량을 조절하기 위하여, 충분한 양의 DUV(deep ultra violet) 노광공정을 수행하는 단계와, 상기 레지스트 패턴의 버닝(burning)을 방지하기 위하여, 고온 베이킹 공정을 부가하여 패턴을 경화시킨 후, 식각 공정을 수행하는 것을 특징으로 한다.

이하, 첨부도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세히 설명한다.

본 발명은 별도의 공정 추가없이 레지스트 패턴 형성 후, 고온의 베이킹 공정을 추가하여 패턴을 경화(hardning)시켜 식각 시의 버닝 현상을 방지하고자 한 것이다.

이때, 상기 고온 베이킹 공정은 식각 챔버에서의 공정 진행 온도보다 높은 온도로 수행되기 때문에 다음과 같은 문제점이 발생한다. 이 문제점으로는 형성된 레지스트 패턴이 열적으로 플로우(thermal flow)되어 패턴 사이즈가 변화되거나 흘러내려 패턴의 정밀도를 저하시킨다.

이러한 문제점을 해결하기 위해, 상기 고온 베이킹 전에 DUV(deep ultra violet) 노광을 통해 플로우되는 양을 조절하였으며, 이를 통해 식각 시의 포토레지스트의 버닝을 방지한다.

도 1은 DUV 노광량에 따른 레지스트 패턴의 열적 플로우량을 관측한 사진을 나타낸 것으로서, (a)는 노광량이 제로인 종래기술을, (b)~(d)는 노광량을 20 MJ씩 증가시키면서 동일 조건으로 관측된 사진을 각각 나타낸다.

DUV 노광에 의해 패턴의 열적 플로우량이 조절되는 것을 알아보기 위해, 패턴 형성 후 DUV 노광량을 변화(split)시키면서 동일한 조건으로 베이킹 공정을 수행하여 패턴이 플로우되는 양상을 제1도를 통해 살펴보았다. 이때, 사용된 노광 파장은 약 248nm 이었으며, 공정 온도는 약 165°C, 감광막은 DUV 포지티브 레지스트를 사용하여 콘택 패턴을 형성하였다.

그 결과, 도1에서 관측된 바와 같이, 노광량이 증가함에 따라 레지스트의 열적 플로우량이 감소함을 알 수 있다.

도 2a 내지 도 2d는 종래 및 본 발명에 따라 형성된 레지스트 패턴을 동일 조건에서 식각하여 PR burning의 유무를 관측한 사진을 나타낸다.

즉, PR 버닝 방지를 위한 테스트로서, 도 2a는 패턴이 형성된 웨이퍼를 ADI(After Develop Inspection) 상태에서 식각을 진행한 후 관측된 사진을, 도 2b는 DUV를 스플릿 노광한 웨이퍼를, 도 2c는 충분한 양, 예컨대 약 300MJ로 노광한 웨이퍼를, 도 2d는 DUV 노광 후 고온 베이킹 공정을 적용한 웨이퍼 상태를 각각 나타낸다.

상술한 각 조건으로 공정을 진행한 웨이퍼들을 동일 조건으로 식각을 진행한 결과, 도 2에 도시한 바와 같이, ADI 상태의 웨이퍼(도 2a 참조)에서는 전면 버닝(burning)이 발생하였고, DUV 스플릿 노광한 웨이퍼(도 2b 참조)에서는 노광에 의해 버닝이 감소함을 보였으며, 충분한 양의 DUV 노광(도 2c 참조) 및 DUV 노광 + 고온 베이킹(도 2d 참조)을 진행한 웨이퍼에서는 버닝이 발생하지 않음을 알 수 있다.

상술한 바와 같이, DUV 노광 및 DUV 노광 후 바로 베이킹 공정을 통해 식각 시의 레지스트 패턴의 버닝 현상이 방지됨을 알 수 있다.

본 발명은 이에 한정되지 않으며 본 발명의 기술적 사상내에서 당분야에서 통상의 지식을 가진 자에 의하여 다양한 변형이 가능함은 물론이다.

### **발명의 효과**

이상 설명한 바와 같이 본 발명에 의한 레지스트 패턴의 형성방법에 의하면, 별도의 공정 추가 없이 버닝(burning) 현상을 방지하는 효과를 발휘한다.

### **(57) 청구의 범위**

#### **청구항 1**

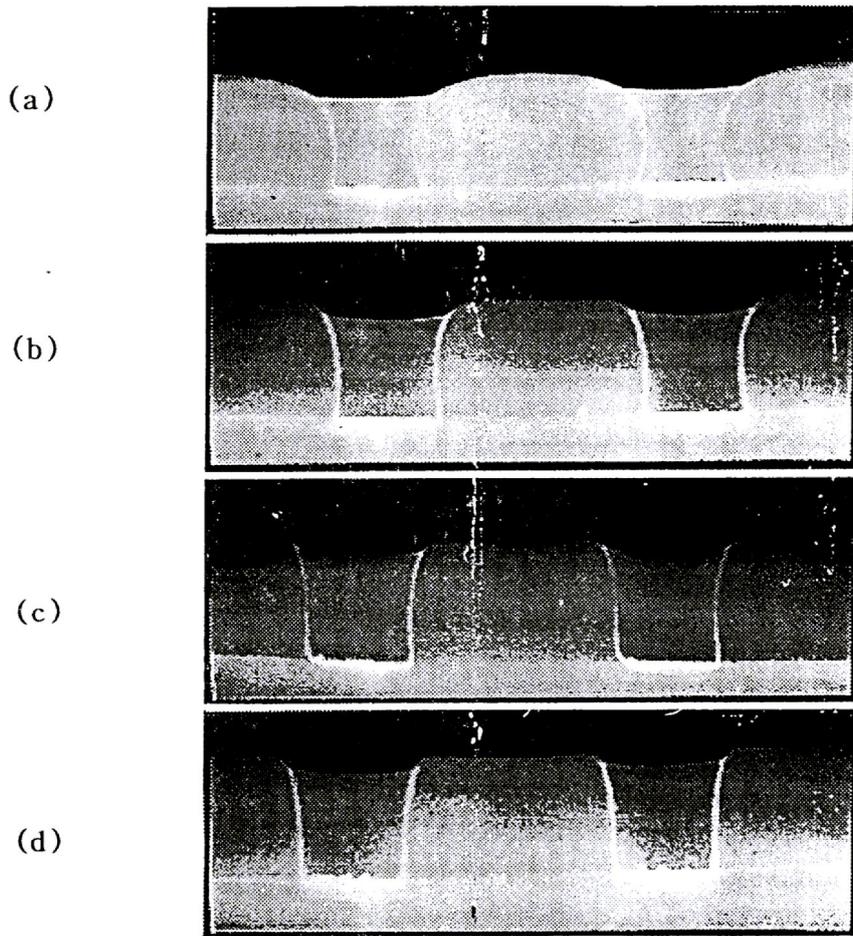
반도체 웨이퍼 상에 감광막을 도포한 후 식각하여 미세한 레지스트 패턴을 형성하는 방법에 있어서,

상기 감광막 도포 후 레지스트 패턴의 썬열 플로우(Resist Thermal Flow)량을 조절하기 위하여, 충분한 양의 DUV(deep ultra violet) 노광공정을 수행하는 단계와,

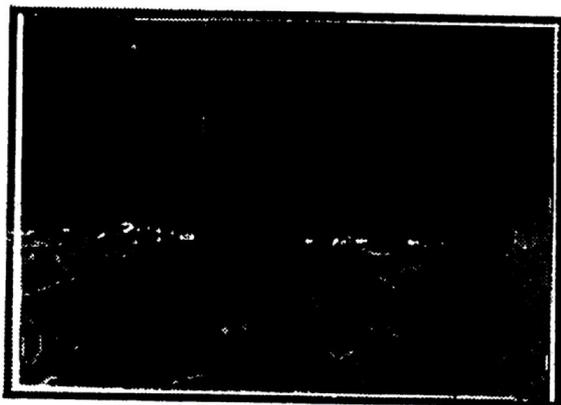
상기 레지스트 패턴의 버닝(burning)을 방지하기 위하여, 고온 베이킹 공정을 부가하여 패턴을 경화시킨 후, 식각 공정을 수행하는 것을 특징으로 하는 레지스트 패턴 형성방법.

### **도면**

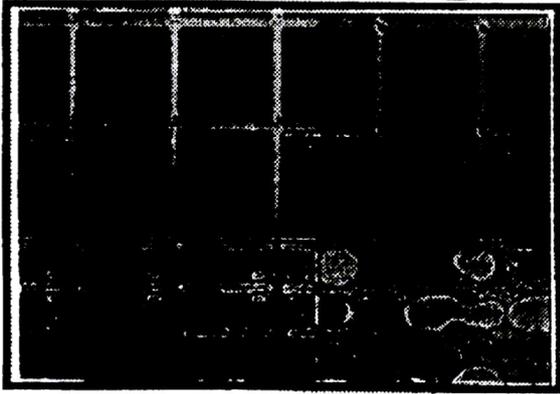
도면1



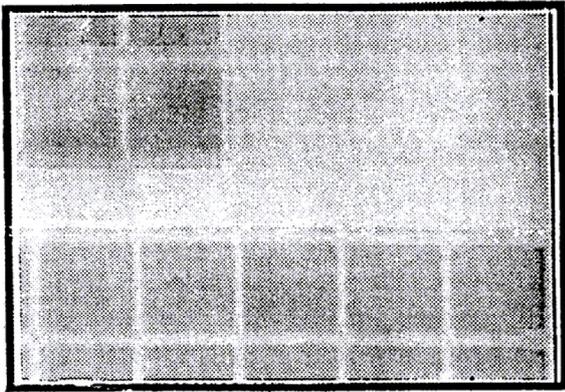
도면2a



도면2b



도면2c



도면2d

