

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4257282号
(P4257282)

(45) 発行日 平成21年4月22日(2009.4.22)

(24) 登録日 平成21年2月6日(2009.2.6)

(51) Int.Cl. F I
G 1 1 C 29/04 (2006.01) G 1 1 C 29/00 6 0 3 Q
G 1 1 C 11/401 (2006.01) G 1 1 C 11/34 3 7 1 D

請求項の数 9 (全 16 頁)

(21) 出願番号	特願2004-295191 (P2004-295191)	(73) 特許権者	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成16年10月7日(2004.10.7)	(74) 代理人	100077838 弁理士 池田 憲保
(65) 公開番号	特開2006-107664 (P2006-107664A)	(74) 代理人	100082924 弁理士 福田 修一
(43) 公開日	平成18年4月20日(2006.4.20)	(74) 代理人	100129023 弁理士 佐々木 敬
審査請求日	平成18年2月2日(2006.2.2)	(72) 発明者	難波 靖弘 東京都中央区八重洲二丁目2番1号 エル ピーダメモリ株式会社内
		審査官	須原 宏光

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

リダンダンシ使用の有無を示すイネーブルヒューズと、リダンダンシ使用アドレスが書き込まれるアドレスヒューズと、前記アドレスヒューズに書き込まれたリダンダンシ使用アドレスと入力されたアドレスとを比較する比較回路と、ロールコールテストモード信号が第1のロールコールテストモードを示すときには前記イネーブルヒューズの出力に基づく出力信号を出力し、前記ロールコールテストモード信号が第2のロールコールテストモードを示すときには前記イネーブルヒューズの出力に依存しない出力信号を出力する回路によって構成される論理回路と、前記論理回路の出力と前記比較回路から出力される比較結果とに応答してリダンダンシ判定信号を生成する回路と、を備えることを特徴とする半導体記憶装置。

【請求項2】

第1のテスト信号によって起動されたロールコールテスト時において、前記第1のテスト信号とは異なる第2のテスト信号に応じて前記第1のロールコールテストモードまたは前記第2のロールコードテストモードを示す前記ロールコールテストモード信号を発生させるテストモードエントリブロックを備えることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】

前記リダンダンシ判定信号を生成する回路は、前記リダンダンシ判定信号が生成される信号ラインと所定の電位ラインとの間に接続され前記論理回路の出力及び前記比較結果を

受ける複数のトランジスタによって構成されることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 4】

前記リダンダンシ判定信号をデータ出力バッファに出力するロールコール回路をさらに備えることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体記憶装置。

【請求項 5】

前記信号ラインをプリチャージするプリチャージトランジスタをさらに備えることを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 6】

前記ヒューズは容量ヒューズであることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体記憶装置。

10

【請求項 7】

前記ヒューズはレーザーヒューズであることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体記憶装置。

【請求項 8】

前記複数のトランジスタの内、前記論理回路の出力を受けるトランジスタは、前記論理回路の出力が前記イネーブルヒューズの使用を示すときに非導通状態となり、前記信号ラインの電位レベルを保持することを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 9】

前記複数のトランジスタの内、前記比較回路の出力を受けるトランジスタは、前記比較回路の比較結果が一致を示すときに非導通状態となり、前記信号ラインの電位レベルを保持することを特徴とする請求項 3 に記載の半導体記憶装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置に係り、特に救済情報を記憶したヒューズを有するリダンダンシ回路を備えた半導体記憶装置に関する。

【背景技術】

【0002】

半導体記憶装置は、年々微細化及び大規模集積化が進んでいる。例えば DRAM においては 0.1 ミクロン以下の設計ルールを採用した 1 G ビットメモリの開発が進められている。大規模化に伴いメモリセルアレイに対してリダンダンシセルアレイを配置して、不良メモリセルをリダンダンシセルに置き換えることにより不良救済を行うリダンダンシ回路方式が採用されている。

30

【0003】

これらの従来例として、DDR (Double Data Rate) 方式の半導体記憶装置の全体構成を示すブロック図を図 1 に示す。ここでは、簡略化のために半導体記憶装置のメモリセルアレイ全体に対して 1 組のリダンダンシ回路を構成しているが、ある単位毎 (バンク、アレイブロック) にリダンダンシ回路を構成することも可能である。

【0004】

40

半導体記憶装置は、ロウリダンダンシデコーダ 16、カラムリダンダンシデコーダ 17、テストモードエントリブロック 6、ロールコール回路 18、コマンドデコーダ 1、コントロール回路 2、モードレジスタ 3、クロックジェネレータ 4、DLL 回路 5、ロウアドレスバッファ & リフレッシュカウンタ 7、カラムアドレスバッファ & バーストカウンタ 8、データコントロールロジック回路 12、カラムデコーダ 10、センスアンプリファ 11、ロウデコーダ 9、ロウリダンダンシセルアレイ 19、カラムリダンダンシセルアレイ 20、メモリセルアレイ 90、ラッチ回路 13、データ出力バッファ 14、データ入力バッファ 15 を有している。

【0005】

アドレスは、テストモードエントリブロック 6、コマンドデコーダ 1、モードレジスタ

50

3、ロウアドレスバッファ&リフレッシュカウンタ7、カラムアドレスバッファ&バーストカウンタ8に供給されている。クロックジェネレータ4は、クロック信号CK、/CK、クロックイネーブルCKEを受信して内部クロック信号105を発生し、半導体記憶装置の各部に供給する。

【0006】

DLL回路5は、クロック信号CK、/CKを受信して同期信号106をラッチ回路13、データ出力バッファ14、データ入力バッファ15に出力している。コマンドデコーダ1は、チップセレクト信号/CS、ロウアドレスストローブ信号/RAS、カラムアドレスストローブ信号/CAS、ライトイネーブル/WE信号、及びアドレスを受信してデコード結果101をコントロール回路2に出力する。

10

【0007】

モードレジスタ3は、アドレスを受信して動作モード設定信号102をコントロール回路2に出力する。

【0008】

コントロール回路2は、コマンドデコーダ1からの出力101とモードレジスタ3の出力102に基づいて、クロックジェネレータ4からの内部クロック信号105にตอบสนองして制御信号104を発生する。制御信号104は、テストモードエントリブロック6、ロウアドレスバッファ&リフレッシュカウンタ7、カラムアドレスバッファ&バーストカウンタ8、センスアンプリファ11、ロウデコーダ9、ラッチ回路13に供給される。こうして、半導体記憶装置内の各部の動作が制御される。

20

【0009】

尚、ロウリダンダンシデコーダ16、カラムリダンダンシデコーダ17、ロールコール回路18から構成されるリダンダンシ制御ブロック80に供給される制御信号104は、プリチャージ(PRE)信号及びヒューズコントロール信号(FPV, FCT, FTG)である(図2、3参照)。

【0010】

ここで、リダンダンシ回路を使用せずデータをリード/ライトする場合の動作は、公知であるので、簡単に説明する。アドレスがロウアドレスバッファ7とカラムアドレスバッファ8に保持され、おのおの保持されているアドレス107、108に基づいてロウデコーダ9とカラムデコーダ11は、メモリセルアレイ90のアドレスを指定する。

30

【0011】

リード動作の場合には、メモリセルアレイ90から読み出されたデータはセンスアンプリファ11でセンスされ、そのセンス情報109はデータコントロールロジック回路12に入力し、データ信号110として出力され、そのデータ信号110がラッチ回路13に入力し、データ信号111をとして出力され、そのデータ信号111が入力されたデータ出力バッファ14から外部I/Oピンを通してデータ出力される。

【0012】

また、ライト動作の場合には、データ入力バッファ15に入力される外部I/Oピンからのデータは、リードの場合と逆に、ラッチ回路13、データコントロールロジック回路12を介してセンスアンプリファ11に供給され、センスアンプリファ11でセンスされてメモリセルアレイ90の指定されたアドレスに書き込まれる。

40

【0013】

次に、本発明と関係する従来のリダンダンシ(冗長)制御について図1~4を用い説明する。図1には半導体記憶装置の全体構成を示すブロック図、図2に容量ヒューズ使用におけるリダンダンシ制御ブロック図、図3にヒューズ回路の模式図、図4にヒューズ回路部の状態図を示す。

【0014】

リダンダンシ判定信号112、113(ロウ側が112、カラム側が113)が選択されると、そのアドレスに対応したデコーダ回路(ロウ側112がロウデコーダ9、カラム側113がカラムデコーダ10)のワード線、Yスイッチをストップし、通常のメモリセ

50

ルアレイ 90 内のメモリセルへのアクセスをやめる。それと同時にロウ側 112 がリダンダンシワード線、カラム側 113 がリダンダンシ Y スイッチを選択し、対応したリダンダンシセル（ロウ側 112 がロウリダンダンシ 19、カラム側 113 がカラムリダンダンシ 20）にアクセスする。このようにして不良セルを救済させる仕組みになっている。

【0015】

次に、リダンダンシ判定信号 112、113 を生成させるロウリダンダンシデコーダ 16、カラムリダンダンシデコーダ 17 の回路動作について説明する。PRE 信号 104 を Low にする事により、P-ch トランジスタ 21 をオンさせ、リダンダンシ判定信号 112、113 を High にプリチャージする。その後、PRE 信号 104 を High にし、P-ch 21 をオフさせ、インバータ 22 を介して信号線 116 を GND レベルに固定しておく。N-ch トランジスタ 23、25 等のトランジスタ列は、リダンダンシ使用の場合に活性化するイネーブルヒューズとリダンダンシ使用アドレス数の和と同数になっている。

10

【0016】

リダンダンシ使用アドレスと一致した場合のみ、N-ch トランジスタ 23、25 等のゲートへ入力される信号 118、121 等のレベルが GND レベルに保持される。そのため、リダンダンシ判定信号 112、113 は信号線 116 の GND レベルへのパスが絶たれ、その場合においてのみ、High レベルを保持することになる。リダンダンシ未使用でイネーブルヒューズが未使用、またリダンダンシアドレスが一本でも異なると、リダンダンシ判定信号 112、113 レベルは N-ch トランジスタ 23、25 等のいずれかを介して信号線 116 レベルの GND レベルに引き落とされる事になる。

20

【0017】

ここで、ヒューズ回路 36、37 等について図 3 を用いて説明する。

【0018】

ヒューズ回路例として容量ヒューズの例を挙げておく。容量ヒューズ 41 をプログラムする場合、容量の両極に電界をかけ、両極をショートさせ抵抗として動作させコネクタ状態とする。コネクタされている場合は抵抗となり、コネクタされていない場合は容量のままである。回路例は、プログラム時の高電界印加の回路は省略している。

【0019】

このコネクタ状態を判別するために、容量ヒューズ 41 の一端 127 を GND に固定し、もう一端 126 に電位をかけ、それがコネクタ状態なら電位が引き抜かれ、未コネクタ状態ならその電位が残る事で判別を行う。具体的には、容量ヒューズの片側 127 を GND 固定しておき、ヒューズコントロール信号 104 を動作させる。FPV 信号 122 を High に、FTG 信号 123 と FCT 信号 124 を Low レベルにし、N-ch トランジスタ 38、40 をオンさせ、N-ch トランジスタ 42、43、45 はオフにしておく。

30

【0020】

容量ヒューズ 41 の対極 126 が HVCC（仮に 1/2 VCC レベルでメモリセルに印加されるレベルとする）にチャージされる。その後、FPV 信号 122 を Low レベルにし、容量ヒューズ 41 の状態により、対極 126 に印加された HVCC レベルがそのまま保持されるか、対極 127 の GND レベルに引き抜かれるかが決定される。

40

【0021】

十分な時間経過後、FTG 信号 123 を High にし、容量ヒューズ 41 の対極レベル 126 を差動アンプ 44、ラッチ回路 46 に伝え、最終的にラッチ回路 46 にてヒューズコネクタ情報をラッチする。ヒューズ判定信号 117、119 等は、それぞれの容量ヒューズのコネクタ状態によって、コネクタ時には High、未コネクタ時には Low の状態となる。

【0022】

リダンダンシデコーダ 16、17 において、イネーブルヒューズ判定信号 117 の出力 118、アドレスヒューズ判定信号 119 とアドレス情報とを比較した比較回路 70 の出力 121 により、リダンダンシ判定信号 112、113 が活性又は非活性化する。

50

【 0 0 2 3 】

この内部接点の状態をまとめた表が、図4である。(a)はイネーブルヒューズの状態図、(b)はアドレスヒューズの状態図である。イネーブルヒューズの論理は、単純にイネーブルヒューズの判定信号117の情報が使用され、ヒューズ使用のコネクト時にN-c hトランジスタ23のゲートに入力される信号118をLowにし、リダンダンシ判定信号112、113のGND引き抜きをストップする。

【 0 0 2 4 】

次にアドレスヒューズ側の論理であるが、単純にヒューズ判定レベルとアドレス信号との比較を行う。本説明ではイクスクルーシブオアをとっている。ヒューズ回路37において、アドレスA0にHighがプログラムされているとする。その場合は、ヒューズ判定信号119はHighとなっている。そのため、N-c hトランジスタ32がオン、インバータ30を介して信号線120がLowであるため、P-c hトランジスタ26もオン状態、トランスファゲート28、29はオフしている。

10

【 0 0 2 5 】

ここで、A0がHighのときは、A0T信号はHighとなり、N-c hトランジスタ31がオンするため信号線121はLow状態となり、N-c hトランジスタ25がオフとなる。そのため、リダンダンシ判定信号112、113は信号線116のGNDレベルに引き抜かれない。

【 0 0 2 6 】

次に、ヒューズ回路37において、アドレスA0にLowがプログラムされているとする。その場合は、ヒューズ判定信号119はLowとなっている。そのため、N-c hトランジスタ32がオフ、インバータ30を介して信号線120がHighであるため、P-c hトランジスタ26もオフ状態、トランスファゲート28、29はオンしている。

20

【 0 0 2 7 】

ここで、A0がLowのときは、A0T信号はLowとなり、トランスファゲート28、29はオンしているため信号線121はLow状態となり、N-c hトランジスタ25がオフとなる。そのため、リダンダンシ判定信号112、113は116のGNDレベルに引き抜かれない。ヒューズ判定信号119とA0が逆の場合は、前述の逆となり、図4に示すように、N-c hトランジスタ121がオン状態となり、リダンダンシ判定信号112、113は116のGNDレベルに引き抜かれる事になる。

30

【 0 0 2 8 】

すなわちヒューズ使用(コネクト)時にアドレスHigh、ヒューズ未使用(未コネクト)時にアドレスLowの場合に、リダンダンシ判定信号112、113のGND引き抜きをストップする。ヒューズにプログラムされた情報119と外部アドレスが一致する場合のみ、リダンダンシ判定信号112、113がHighとなる。

【 0 0 2 9 】

次にテストモードの一つであるロールコールテストについて説明する。ロールコールテストモードとは、ユーザーが誤エントリーしないタイミングでその際の入力アドレスにより、メーカー側の回路評価・選別時短などに用いられるものである。ロールコールテストモードにエントリーすると、入力したアドレスがリダンダンシ使用の場合、Highデータが出力ピンから出力されるもので、リダンダンシ使用有無が判明する。

40

【 0 0 3 0 】

ロールコール回路18において、テストモードエントリー回路6からロールコール用のテストモード信号103 TMODE1がHigh出力された場合、インバータ18を介し信号線116がLowとなる。また、アドレスが、リダンダンシ使用の場合であるとリダンダンシ判定信号112、113がHighであり、インバータ34を介し信号線115がLowとなる。その2つの信号をNOR回路35により、信号線114がHighとなる。このデータが、データ出力バッファ14からI/Oピンにダイレクトに出力される。リダンダンシ未使用のアドレスであると、Lowデータが出力される。

【 0 0 3 1 】

50

以上までが、従来技術のリダンダンシ及び、ロールコールテストモードの仕様である。

【 0 0 3 2 】

またリダンダンシ回路に関しては多くの先行技術が開示されている。特許文献 1 には、ウェーハ状態にて救済を行うレーザーヒューズと、組立後に救済する電気ヒューズとを備え、2 種類のリダンダンシ回路により救済効率を向上させる技術が開示されている。また特許文献 2 には欠陥メモリセルを救済する回路と、動作タイミングを救済する回路に関する技術が開示されている。

【 0 0 3 3 】

さらに特許文献 3 には、安価なテスターで救済するために記憶回路内部に比較回路を備えた半導体装置が開示されている。また、本願発明者らは、リダンダンシ回路のヒューズに記憶された情報を読み出す方法について検討し出願（特願 2 0 0 3 - 0 3 7 3 9 2）を行った。

10

【 0 0 3 4 】

【特許文献 1】特開 2 0 0 0 - 1 2 3 5 9 3 号公報

【特許文献 2】特開 2 0 0 3 - 0 8 4 0 4 7 号公報

【特許文献 3】特開 2 0 0 4 - 1 6 4 7 3 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 3 5 】

上記したように最近の半導体装置は大規模化が進み、リダンダンシ回路数及び使用されるヒューズの数が増加し、ヒューズが正しい状態に設定されたかどうかを確認することがますます求められている。例えば図 2 おいて、イネーブルヒューズをコネクタ状態に設定したが正しく設定されずに未コネクタとなった場合、リダンダンシ判定信号 1 1 2、1 1 3 が信号線 1 1 6 の GND レベルに N - c h トランジスタ 2 3 を介して引き抜かれるため、その他アドレスヒューズのコネクタ情報が不明となり、ただしくプログラムされたかどうか判断できないという問題がある。

20

【 0 0 3 6 】

本願の目的は、これらの問題に鑑み、ヒューズが正しい状態に設定されたかどうかを簡単に確認できる半導体記憶装置を提供することにある。

【課題を解決するための手段】

30

【 0 0 3 7 】

本願発明の半導体記憶装置は、リダンダンシ使用の有無を示すイネーブルヒューズと、リダンダンシ使用アドレスが書き込まれるアドレスヒューズと、前記アドレスヒューズに書き込まれたリダンダンシ使用アドレスと入力されたアドレスとを比較する比較回路と、ロールコールテストモード信号が第 1 のロールコールテストモードを示すときには前記イネーブルヒューズの出力に基づく出力信号を出力し、前記ロールコールテストモード信号が第 2 のロールコールテストモードを示すときには前記イネーブルヒューズの出力に依存しない出力信号を出力する回路によって構成される論理回路と、前記論理回路の出力と前記比較回路から出力される比較結果とに応答してリダンダンシ判定信号を生成する回路と、を備えることを特徴とする。

40

【 0 0 3 9 】

本願発明の半導体記憶装置においては、第 1 のテスト信号によって起動されたロールコールテスト時には、前記第 1 のテスト信号とは異なる第 2 のテスト信号に応じて前記第 1 のロールコールテストモードまたは前記第 2 のロールコードテストモードを示す前記ロールコールテストモード信号を発生させるテストモードエントリブロックを備えることを特徴とする。

【 0 0 4 0 】

本願発明の半導体記憶装置においては、前記リダンダンシ判定信号を生成する回路は、前記リダンダンシ判定信号が生成される信号ラインと所定の電位ラインとの間に接続され前記論理回路の出力及び前記比較結果を受ける複数のトランジスタによって構成されるこ

50

とを特徴とする。

【0041】

本願発明の半導体記憶装置においては、前記リダンダンシ判定信号をデータ出力バッファに出力するロールコール回路をさらに備えることを特徴とする。

【0042】

本願発明の半導体記憶装置においては、前記信号ラインをプリチャージするプリチャージトランジスタをさらに備えることを特徴とする。

【0043】

本願発明の半導体記憶装置においては、前記ヒューズは容量ヒューズであることを特徴とする。また前記ヒューズはレーザーヒューズとすることもできる。

10

【0044】

本願発明の半導体記憶装置においては、前記複数のトランジスタの内、前記論理回路の出力を受けるトランジスタは、前記論理回路の出力が前記イネーブルヒューズの使用を示すときに非導通状態となり、前記信号ラインの電位レベルを保持することを特徴とする。また、前記複数のトランジスタの内、前記比較回路の出力を受けるトランジスタは、前記比較回路の比較結果が一致を示すときに非導通状態となり、前記信号ラインの電位レベルを保持することを特徴とする。

【発明の効果】

【0045】

本願の半導体記憶装置においては、ロールコールテストの他に第2のロールコールテストモードを付加する。第2テストモード信号により、イネーブルヒューズのプログラム状況に係らず、リダンダンシ判定信号のGND引き抜きを強制的にストップさせ、ハイレベルとする。イネーブルヒューズ判定信号以外のアドレスヒューズ判定信号の情報がロールコールによってデータ出力として出力される。つまり、アドレスヒューズ個々のプログラム情報を得る事が可能となる。

20

【0046】

また、読み出したヒューズアドレスをアドレス入力として、第2のテストモード信号TMODE2をローレベルとしロールコールテストを行うことで、イネーブルヒューズプログラム状態が判定できる。

【0047】

本願の構成とすることで、大規模な回路変更をすることなく、イネーブルヒューズ及び、アドレスヒューズの個々のプログラム情報を得る事が可能になる。

30

【発明を実施するための最良の形態】

【0048】

以下、本発明の半導体記憶装置について、図を参照して説明する。

【実施例1】

【0049】

本発明の実施例1について図5、図6を用いて説明する。図5には半導体記憶装置の全体構成を示すブロック図、図6に容量ヒューズ使用におけるリダンダンシ制御ブロックの回路図を示す。ここでは、簡略化のために半導体記憶装置のメモセルアレイ全体に対して1組のリダンダンシ回路を構成しているが、ある単位毎(バンク、アレイブロック)に1組のリダンダンシ回路を構成することも可能である。

40

【0050】

本願においては従来の半導体記憶装置にさらに第2のロールコールテストモードとしてヒューズのプログラムチェックモードを追加したものである。テストモードエントリブロック6に機能を追加し、第2のテストモード信号128としてTMODE2を追加しロウリダンダンシデコーダ16及びカラムリダンダンシデコーダ17に供給される。

【0051】

図5に示す本願の半導体記憶装置は、ロウリダンダンシデコーダ16、カラムリダンダンシデコーダ17、テストモードエントリブロック6、ロールコール回路18、コマンド

50

デコーダ 1、コントロール回路 2、モードレジスタ 3、クロックジェネレータ 4、DLL 回路 5、ロウアドレスバッファ&リフレッシュカウンタ 7、カラムアドレスバッファ&バーストカウンタ 8、データコントロールロジック回路 12、カラムデコーダ 10、センスアンプリファ 11、ロウデコーダ 9、ロウリダンダンシセルアレイ 19、カラムリダンダンシセルアレイ 20、メモリセルアレイ 90、ラッチ回路 13、データ出力バッファ 14、データ入力バッファ 15 を有している。

【 0 0 5 2 】

本願における半導体記憶装置は、従来の半導体記憶装置（図 1）のテストモードエントリーブロック 6 において、ロールコールテストモード信号の他に第 2 のテストモード信号 128 を追加発生し、ロウリダンダンシデコーダ 16 及びカラムリダンダンシデコーダ 17 に供給するものであり、その他の構成、動作は従来半導体記憶装置と同じであるため詳細な説明を省略し、本願発明の第 2 のロールコールテストモードとしてのヒューズのプログラムチェックモードに関し以下説明する。

10

【 0 0 5 3 】

第 2 のロールコールテストモードにおいては、リダンダンシ回路のヒューズにプログラムされたかどうかをチェックし、チェック結果をロールコールテストと同様に出力端子に出力するものであり、テストモード信号 103 TMODE1 と第 2 のテストモード信号 128 がともに活性化（ハイレベル）されることで第 2 のロールコールテストモードであるヒューズにプログラムされたかどうかを判定するプログラムチェックモードとなる。

【 0 0 5 4 】

20

テストモード信号 103 TMODE1 はロールコール回路 18 及びデータ出力バッファ 14 に入力される。ロールコール回路 18 はテストモード信号 103 TMODE1 がハイレベルとなることでリダンダンシ判定信号をデータ出力バッファ 14 に伝達する。データ出力バッファはメモリセルからのデータ出力パスを切り替え、ロールコール回路 18 からの出力をデータとして出力する。第 2 のテストモード信号 128 はロウリダンダンシデコーダ 16 及びカラムリダンダンシデコーダ 17 に入力され、ヒューズのプログラム状態を出力する。

【 0 0 5 5 】

図 6 を参照して詳細に説明する。ここでは簡単のためロウ側のリダンダンシについてのみ記載するがカラム側についても同様であることは自明であろう。

30

【 0 0 5 6 】

ヒューズ回路はリダンダンシ回路の使用 / 未使用を示すイネーブルヒューズ回路 36 とそれぞれのアドレスを示す複数のアドレスヒューズ回路 37 からなり、それぞれヒューズ判定信号 117 及び 119 を出力する。

【 0 0 5 7 】

イネーブルヒューズ判定信号 117 は NOR 回路 49 に入力され、NOR 回路の出力 129 は N - c h トランジスタ 23 のゲートに入力される。NOR 回路の他の入力には第 2 のテストモード信号 TMODE2 が入力される。

【 0 0 5 8 】

それぞれのアドレスヒューズ判定信号 119 はアドレス比較回路 70 に入力され、アドレス入力 107 と比較され一致した場合にはローレベルを、不一致の場合にはハイレベルを N - c h トランジスタ 25 のゲートに出力する。

40

【 0 0 5 9 】

N - c h トランジスタ 23 及び 25 のソースはインバータ 22 の出力に共通接続され、ドレインは P - c h トランジスタ 21 のドレインに共通接続されてリダンダンシ回路の使用 / 未使用を判定するリダンダンシ判定信号 112 となる。P - c h トランジスタ 21 はソースを電源電圧 Vcc に接続され、ゲートには制御信号 104 のうちプリチャージ信号 PRE が入力される。インバータ 22 にも同じくプリチャージ信号 PRE が入力される。

【 0 0 6 0 】

さらにロールコール回路 18 においては、リダンダンシ判定信号 112 はインバータ 3

50

4に入力され、その出力はNOR回路35に入力される。NOR回路の他の入力にはテストモード信号103の逆相信号が入力され、NOR回路35の出力114はデータ出力バッファ14に入力される。

【0061】

これらの構成において、ヒューズのプログラムチェックモードの動作を説明する。テストモード信号TMODE1, TMODE2はともにハイレベルに設定される。

【0062】

まず、ヒューズコントロール信号のうちPRE信号をローレベルとすることで、P-chトランジスタ21はオンとなりリダンダンシ判定信号112はハイレベル、PRE信号がインバータ22で反転され信号線116もハイレベルとする。その後、PRE信号をハイレベルに変化させることで、リダンダンシ判定信号112はハイレベル、信号線116はローレベルとなる。

【0063】

さらに、図3をも参照し、ヒューズ回路の動作を説明する。ヒューズ回路にはヒューズコントロール信号(FPV, FTG, FCT)が入力される。FPV信号122をHighに、FTG信号123とFCT信号124をLowレベルにし、N-chトランジスタ38、40をオンさせ、N-chトランジスタ42、43、45はオフにしておく。容量ヒューズ41の対極126がHVCC(仮に1/2VCCレベルでメモリセルに印加されるレベルとする)にチャージされる。

【0064】

その後、FPV信号122をLowレベルにし、容量ヒューズ41のプログラム状態により、対極126に印加されたHVCCレベルがそのまま保持されるか、GNDに引き抜かれるかが決定される。十分な時間経過後、FTG信号123をHighにし、容量ヒューズ41の対極レベル126を差動アンプ44、ラッチ回路46に伝え、最終的にラッチ回路46にてヒューズコネクタ情報をラッチする。

【0065】

それぞれの容量ヒューズのプログラム状態によって、容量ヒューズがコネクタ時にはハイレベル、未コネクタ時にはローレベルのヒューズ判定信号117及び119を出力する。

【0066】

イネーブルヒューズ判定信号117はNOR回路に入力されるが、NOR回路の一方の端子に入力されている第2のテストモード信号TMODE2がハイレベルであることから、NOR回路の出力はイネーブルヒューズにプログラムされたかどうかのヒューズ判定信号117のレベルにかかわらずローレベルとなる。このためN-chトランジスタ23はオフ状態であり、リダンダンシ判定信号112はイネーブルヒューズにプログラムされたかどうかにかかわらずハイレベルを保持する。

【0067】

アドレスヒューズ判定信号119はアドレス比較回路70に入力され、入力されるアドレス信号107との一致、不一致が判定される。アドレスヒューズはアドレスがハイレベルのときプログラムされ、ヒューズ判定信号はハイレベルを出力し、アドレスがローレベルのときプログラムされずに、ヒューズ判定信号はローレベルを出力する。ヒューズ判定信号119と入力アドレス107が一致した場合にはアドレス比較回路70からはローレベル、不一致の場合にはハイレベルが出力される。

【0068】

アドレス比較回路70からの信号121のレベルにより、N-chトランジスタ25はオン、オフ状態を制御される。入力されるアドレス107とヒューズのプログラム内容が一致の場合にはローレベルが入力されN-chトランジスタ25はオフ状態であり、リダンダンシ判定信号112はハイレベルを保持する。入力されるアドレス107とヒューズのプログラム内容が不一致の場合にはN-chトランジスタ25はオン状態となり、リダンダンシ判定信号112はローレベルに変化する。

10

20

30

40

50

【 0 0 6 9 】

リダンダンシ判定信号 1 1 2 は、ロールコール回路 1 8 を経由してデータ出力バッファから出力される。リダンダンシ判定信号がハイレベルであればアドレスヒューズにプログラムされたアドレスと入力されたアドレス A 0 から A n が一致したと判断できる。リダンダンシ判定信号がローレベルであればアドレスヒューズにプログラムされたアドレスと入力されたアドレスが不一致であると判断できる。

【 0 0 7 0 】

ここで、例えばロウアドレスバッファ&リフレッシュカウンタ 7 から自動発生させたアドレスを繰り返し入力させ、リダンダンシ判定信号 1 1 2 はハイレベルに状態になるアドレスをサーチする。アドレスを自動発生させることで、ヒューズにプログラムされたヒューズアドレスを読み出すことができる。読み出したヒューズアドレス A 0 ~ A n が、設定したそれぞれのアドレス状態であるかどうかを判定することで、それぞれの個別のヒューズへのプログラムが正しく行われたかどうかを判定できる。

10

【 0 0 7 1 】

また、読み出したヒューズアドレスをアドレス入力として、第 2 のテストモード信号 T M O D E 2 をローレベルとしロールコールテストを行うことで、イネーブルヒューズプログラム状態が判定できる。

【 0 0 7 2 】

従来においては、イネーブルヒューズにプログラムミスがあった場合にはイネーブルヒューズ回路 3 6 の出力がローレベルとなり、リダンダンシ判定信号がローレベルとなることで、アドレスヒューズのプログラム状態は判断不能であったが、本願発明においては、大規模な回路変更を全く必要なしに、個々のヒューズコネクタ情報を得る事が可能になる。

20

【 0 0 7 3 】

本実施例においては、第 2 のロールコールテストモードとしてテストモード信号 T M O D E 2 を追加し入力させることで、イネーブルヒューズからの判定信号を遮断し無関係な状態とし、個別のアドレスヒューズのプログラム状態をチェック可能とした。また第 1 のテストモード信号と組み合わせることでイネーブルヒューズのプログラム状態がチェックできる。これらの構成とすることで、個々のヒューズが正しい状態に設定されたかどうかを簡単に確認できる半導体記憶装置が得られる。

30

【 実施例 2 】

【 0 0 7 4 】

本願の実施例 2 におけるリダンダンシ制御ブロック 8 0 を図 7 に示す。実施例 2 はヒューズ部に容量ヒューズでなく、レーザーヒューズを使用した場合の実施例である。レーザーヒューズは、ウェーハ段階でレーザーを照射し、カットすることでプログラムされるヒューズである。そのため、容量ヒューズとは逆にプログラムされていない場合は抵抗体でコネクタ状態、プログラムされることでオープンとなり未コネクタ状態となる。

【 0 0 7 5 】

図 7 に実施例 2 のリダンダンシ制御ブロック 8 0 を示す。ここでは簡単のためロウ側のリダンダンシについてのみ記載するがカラム側についても同様であることは自明であろう。

40

【 0 0 7 6 】

ヒューズはリダンダンシ回路の使用 / 未使用を示すイネーブルヒューズ 5 0 とそれぞれのアドレス及び反転アドレスを示すアドレスヒューズ 5 1 , 5 2 等からなり、それぞれのヒューズの両端子はリダンダンシ判定信号 1 3 0 と N - c h トランジスタ 5 3 , 5 4 , 5 5 のドレインとに接続されている。N - c h トランジスタ 5 3 , 5 4 , 5 5 のソースは信号線 1 3 1 に接続される。N - c h トランジスタ 5 3 のゲートにはイネーブル信号と第 2 のテストモード信号から作成される信号線 1 3 2 に接続され、N - c h トランジスタ 5 4 のゲートにはアドレス信号 A 0 T、N - c h トランジスタ 5 5 のゲートにはアドレス信号 A 0 T の反転信号が入力される。

50

【 0 0 7 7 】

P - c hトランジスタ 2 1 はソースを電源電圧 V c c に接続され、ゲートには制御信号 1 0 4 のうちプリチャージ信号 P R E が入力される。インバータ 2 2 にも同じくプリチャージ信号 P R E が入力される。リダンダンシ判定信号 1 3 0 はインバータ 3 4 に入力され、その出力は N O R 回路 3 5 に入力される。N O R 回路の他の入力にはテストモード信号 1 0 3 の反転信号が入力され、N O R 回路 3 5 の出力 1 1 4 はデータ出力バッファ 1 4 に入力される。

【 0 0 7 8 】

これらの構成において、ヒューズのプログラムチェックモードの動作を説明する。テストモード信号 T M O D E 1 , T M O D E 2 はともにハイレベルに設定される。

10

【 0 0 7 9 】

まず、プリチャージ信号 P R E をローレベルとすることで、P - c hトランジスタ 2 1 はオンとなりリダンダンシ判定信号 1 3 0 はハイレベル、プリチャージ信号 P R E がインバータ 2 2 で反転され信号線 1 3 1 もハイレベルとする。その後、プリチャージ信号 P R E をハイレベルに変化させることで、リダンダンシ判定信号 1 1 2 はハイレベル、信号線 1 1 6 はローレベルとする。

【 0 0 8 0 】

イネーブル信号用のレーザーヒューズ 5 0 がカットされている場合は、イネーブル信号の H i g h / L o w に関係なくリダンダンシ判定信号 1 3 0 が信号線 1 3 1 の G N D レベルに引き落とされる事はない。イネーブル信号用のレーザーヒューズがカットされていない場合は、イネーブル信号が H i g h 時に信号線 1 3 2 が H i g h となり、N - c hトランジスタ 5 3 がオンし、リダンダンシ判定信号 1 3 0 が信号線 1 3 1 の G N D レベルに引き落とされる。

20

【 0 0 8 1 】

ここで第 2 のテストモード信号 T M O D E 2 がハイレベルの場合には、N O R 回路 5 7 の出力はローレベルとなり N - c hトランジスタ 5 3 はオフ状態となり、ヒューズ 5 0 がカット状態に関係なくリダンダンシ判定信号 1 3 0 はハイレベルを維持され、G N D レベルに引き落とされることはない。

【 0 0 8 2 】

アドレスヒューズはアドレスの正相及び逆相信号に対応した 2 つのヒューズで構成され、一方がカットされ、他方はカットされない。ヒューズカット情報とアドレスが一致した場合のみ、リダンダンシ判定信号 1 3 0 は H i g h 情報を保持する。

30

【 0 0 8 3 】

例えば、ヒューズ 5 1 がレーザーカットされ、ヒューズ 5 2 が未カットの場合において、アドレス A 0 T としてハイレベルが入力されると、N - c hトランジスタ 5 4 がオン、N - c hトランジスタ 5 5 がオフとなり、リダンダンシ判定信号はハイレベルを維持することになる。アドレス A 0 T としてローレベルが入力されると、N - c hトランジスタ 5 4 がオフ、N - c hトランジスタ 5 5 がオンとなり、リダンダンシ判定信号はローレベルに引き落とされることになる。

【 0 0 8 4 】

ここで、例えばロウアドレスバッファ&リフレッシュカウンタ 7 から自動発生させたアドレスを繰り返し入力させ、リダンダンシ判定信号 1 3 0 はハイレベルに状態になるアドレスをサーチする。アドレスを自動発生させることで、ヒューズにプログラムされたヒューズアドレスを読み出すことができる。読み出したヒューズアドレス A 0 T ~ A n T が、設定したそれぞれのアドレス状態であるかどうかを判定でき、個々のヒューズへのプログラムが正しく行われたかどうかを判定できる。

40

【 0 0 8 5 】

また、読み出したヒューズアドレスをアドレス入力として、第 2 のテストモード信号 T M O D E 2 をローレベルとしロールコールテストを行うことで、イネーブルヒューズプログラム状態が判定できる。

50

【 0 0 8 6 】

従来においては、イネーブルヒューズにプログラムミスがあった場合には、リダンダンシ判定信号がローレベルとなることで、アドレスヒューズのプログラム状態は判断不能であったが、本願発明においては、大規模な回路変更を全く必要なしに、個々のヒューズコネクタ情報を得る事が可能になる。

【 0 0 8 7 】

本実施例においては、第2のロールコールテストモードとしてテストモード信号T M O D E 2を追加し入力させることで、イネーブルヒューズのプログラム状態を遮断し無関係な状態とし、イネーブルヒューズによるリダンダンシ判定信号のG N Dへの引き落としをなくし、個別のアドレスヒューズのプログラム状態をチェック可能とした。またイネーブルヒューズのプログラム状態もチェック可能である。これらの構成とすることで、個々のヒューズが正しい状態に設定されたかどうかを簡単に確認できる半導体記憶装置が得られる。

10

【 0 0 8 8 】

以上本願発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 図面の簡単な説明 】

【 0 0 8 9 】

【 図 1 】 従来の半導体記憶装置の構成ブロック図である。

20

【 図 2 】 従来の半導体記憶装置におけるリダンダンシ制御ブロック図である。

【 図 3 】 従来の半導体記憶装置におけるヒューズ回路図である。

【 図 4 】 従来の半導体記憶装置における状態図で、(a) はイネーブルヒューズの状態図、(b) はアドレスヒューズの状態図である。

【 図 5 】 本願の半導体記憶装置の構成ブロック図である。

【 図 6 】 本願実施例 1 におけるリダンダンシ制御ブロック図である。

【 図 7 】 本願実施例 1 におけるリダンダンシ制御ブロック図である。

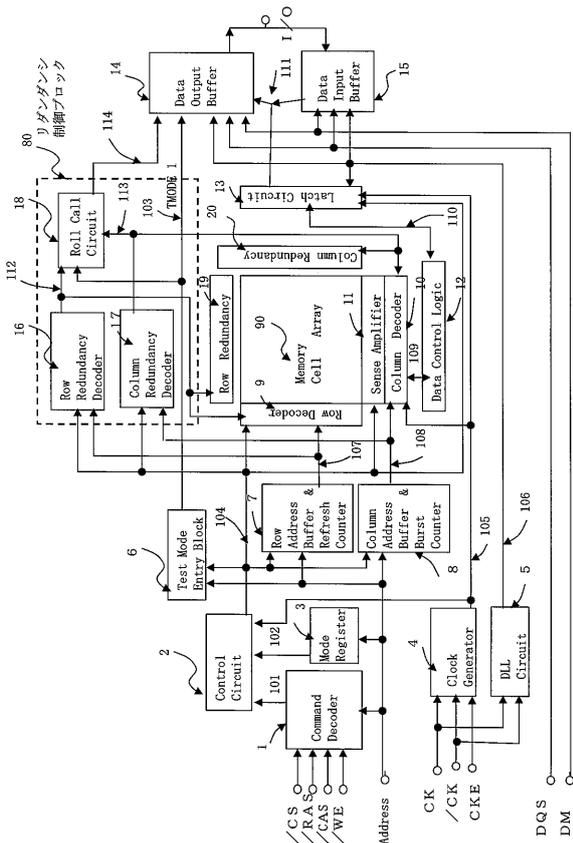
【 符号の説明 】

【 0 0 9 0 】

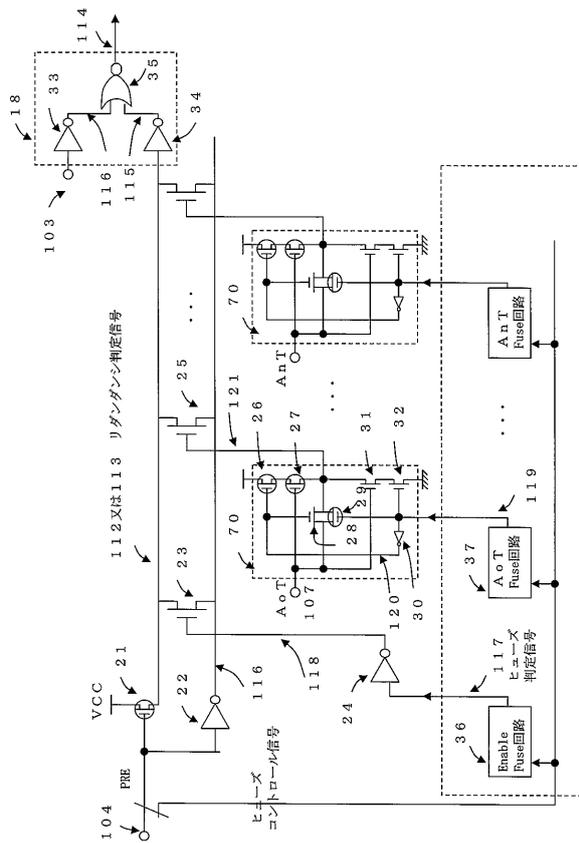
- | | | |
|----|-----------------------|----|
| 1 | コマンドデコーダ | 30 |
| 2 | コントロール回路 | |
| 3 | モードレジスタ | |
| 4 | クロックジェネレータ | |
| 5 | D L L 回路 | |
| 6 | テストモードエントリブロック | |
| 7 | ロウアドレスバッファ&リフレッシュカウンタ | |
| 8 | カラムアドレスバッファ&バーストカウンタ | |
| 9 | ロウデコーダ | |
| 10 | カラムデコーダ | |
| 11 | センスアンプ | 40 |
| 12 | データコントロールロジック回路 | |
| 13 | ラッチ回路 | |
| 14 | データ出力バッファ | |
| 15 | データ入力バッファ | |
| 16 | ロウリダンダンシデコーダ | |
| 17 | カラムリダンダンシデコーダ | |
| 18 | ロールコール回路 | |
| 19 | ロウリダンダンシセルアレイ | |
| 20 | カラムリダンダンシセルアレイ | |
| 36 | ヒューズ回路(イネブル用) | 50 |

- 3 7 ヒューズ回路 (アドレス用)
- 4 1 容量ヒューズ
- 5 0 , 5 1 , 5 2 レーザーヒューズ
- 7 0 アドレス比較回路
- 8 0 リダンダンシ制御ブロック
- 9 0 メモリセルアレイ
- 1 0 3 第1のテストモード信号
- 1 0 4 制御信号 (PRE、ヒューズコントロール信号)
- 1 1 2 リダンダンシ判定信号 (ロウ側)
- 1 1 3 リダンダンシ判定信号 (カラム側)
- 1 1 7 ヒューズ判定信号 (イネーブル)
- 1 1 9 ヒューズ判定信号 (アドレス)
- 1 2 8 第2のテストモード信号
- 1 3 0 リダンダンシ判定信号

【図1】



【図2】



フロントページの続き

(56)参考文献 特開平03 - 160695 (JP, A)
特開平03 - 276498 (JP, A)
特開平11 - 134895 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G11C 29/00