

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4375077号  
(P4375077)

(45) 発行日 平成21年12月2日(2009.12.2)

(24) 登録日 平成21年9月18日(2009.9.18)

(51) Int.Cl.

F I

|                         |                      |
|-------------------------|----------------------|
| HO 1 L 21/822 (2006.01) | HO 1 L 27/04 H       |
| HO 1 L 27/04 (2006.01)  | HO 1 L 29/78 3 O 1 K |
| HO 1 L 29/78 (2006.01)  | HO 1 L 27/04 C       |
| HO 1 L 23/62 (2006.01)  | HO 1 L 23/56 A       |
| HO 1 L 27/06 (2006.01)  | HO 1 L 27/06 3 1 1 C |

請求項の数 5 (全 10 頁)

(21) 出願番号 特願2004-89838 (P2004-89838)  
 (22) 出願日 平成16年3月25日(2004.3.25)  
 (65) 公開番号 特開2005-277194 (P2005-277194A)  
 (43) 公開日 平成17年10月6日(2005.10.6)  
 審査請求日 平成18年4月18日(2006.4.18)

(73) 特許権者 000004260  
 株式会社デンソー  
 愛知県刈谷市昭和町1丁目1番地  
 (74) 代理人 100080045  
 弁理士 石黒 健二  
 (72) 発明者 浅田 忠利  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内  
 (72) 発明者 上田 進  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内  
 (72) 発明者 豊田 博一  
 愛知県刈谷市昭和町1丁目1番地 株式会  
 社デンソー内

最終頁に続く

(54) 【発明の名称】 半導体保護装置

(57) 【特許請求の範囲】

【請求項1】

ICに組み込まれた内部回路をサージ電圧から保護する半導体保護装置であって、  
 前記内部回路に並列に接続され、二重拡散型MOSトランジスタによりサージ電圧をク  
 ランプするサージ保護回路と、

前記内部回路および前記サージ保護回路に並列に接続されたコンデンサ素子とを備え、  
 前記サージ保護回路は、前記二重拡散型MOSトランジスタのゲート端子とドレイン端  
 子との間に配されるツェナーダイオード群、および前記二重拡散型MOSトランジスタの  
 ゲート端子とソース端子との間に配される2つのツェナーダイオードを有し、

前記ツェナーダイオード群は、複数のツェナーダイオードから構成され、この複数のツ  
 ェナーダイオードは、全て、前記ドレイン端子に正電圧が印加されたときに逆方向バイア  
 スがかかるように直列に接続され、

前記2つのツェナーダイオードは、前記ソース端子に正電圧が印加されたときに逆方向  
 バイアスがかかるように、かつ、前記ゲート端子に正電圧が印加されたときに逆方向バイ  
 アスがかかるように、互いに逆方向に直列に接続され、

前記コンデンサ素子は、前記ICの外部で前記内部回路および前記サージ保護回路への  
 入力端子となるリードフレームと、前記ICの外部で前記内部回路および前記サージ保護  
 回路のグランド端子となるリードフレームとの間に搭載され、

前記サージ保護回路および前記コンデンサ素子は、樹脂でモールドされていることを特  
 徴とする半導体保護装置。

10

20

## 【請求項 2】

請求項 1 に記載の半導体保護装置において、  
前記ボンディングワイヤは、アルミニウムからなることを特徴とする半導体保護装置。

## 【請求項 3】

請求項 2 に記載の半導体保護装置において、  
前記コンデンサ素子の誘電膜は、シリコン基板上に形成されたシリコン酸化膜と、このシリコン酸化膜よりも上部に形成されたシリコン窒化膜とを含む多層構造であることを特徴とする半導体保護装置。

## 【請求項 4】

請求項 3 に記載の半導体保護装置において、  
前記コンデンサ素子の正極端は、前記誘電膜よりも上部に形成された多結晶シリコン膜であることを特徴とする半導体保護装置。

10

## 【請求項 5】

請求項 4 に記載の半導体保護装置において、  
前記コンデンサ素子の負極端は、前記シリコン基板であることを特徴とする半導体保護装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、IC に組み込まれた内部回路をサージ電圧から保護する半導体保護装置に関する。

20

## 【背景技術】

## 【0002】

## 〔従来の技術〕

従来より、IC に組み込まれた内部回路をサージ電圧から保護するために、この内部回路にサージ保護回路を並列に接続し、さらに内部回路およびサージ保護回路にコンデンサ素子を並列に接続する技術が公知である。この技術では、サージ電圧を、サージ保護回路によりクランプするとともに、コンデンサ素子により一時的に吸収する。このため、例えば、サージ電圧の立ち上がりが急激な場合のように、サージ保護回路によるクランプに遅れが発生しやすい場合にも、確実にサージ電圧から内部回路を保護することができる。

30

## 【0003】

この技術の具体例として、例えば、サージ電圧をダイオードによりクランプするサージ保護回路と、この保護回路に並列に接続されたコンデンサ素子とを備えた半導体保護装置が公知である（例えば、特許文献 1 参照）。この半導体保護装置では、ダイオードの内部抵抗や、このダイオードに直列に接続される抵抗素子のために、クランプ電圧が高くなる。このため、コンデンサ素子が 2 つ直列に配置され、サージ電圧がクランプ電圧に到達するまでの間、内部回路にかかるサージ電圧が低減されるように構成されている。

## 【0004】

しかし、2 つのコンデンサ素子を組み込む場合、製造コストやインピーダンスなどの問題から位置、極板面積などが制限されるため、設計が困難である。また、ダイオードの内部抵抗自体を低減するためにダイオードの p n 接合面を大きくすることも考えられる。しかし通常の IC 製造方法によると、p n 接合面で均等に電流が流れるようにダイオードを構成することは極めて困難である。このため、p n 接合面の拡大によりダイオードの内部抵抗を低減しようとする製造コストが極めて高くなる。

40

## 【0005】

そこで、ダイオードよりも内部抵抗を小さくできる二重拡散型 MOS (DMOS) トランジスタにより、サージ電圧をクランプするサージ保護回路が考えられている。DMOS トランジスタは、多数の DMOS セルから構成され、いずれかの DMOS セルが作動することによりクランプ作用を行う。これにより、1 つの DMOS セルの温度がクランプ作用により上昇し内部抵抗が増加して、この DMOS セルが作動状態でなくなっても、他の温

50

度の低いDMOSセルが作動することができる。このため、クランプ電圧は上昇することなくクランプ作用を安定して行うことができる。

【0006】

〔従来技術の不具合〕

しかし、DMOSトランジスタを用いても、以下のような不具合により、内部回路を保護しきれない場合がある。すなわち、サージ保護回路、コンデンサ素子およびこれらを接続する配線は1つの閉回路を形成している。この閉回路は、コンデンサ素子の容量およびその他の容量を容量成分Cとし、配線のインダクタンスをインダクタンス成分LとするLC回路をなす。ここで、その他の容量とは、例えば、サージ保護回路と内部回路とが同じICに組み込まれることにより、ICとIC外部の配線との接合部など各種の接合部に形成される容量である。また、配線のインダクタンスとは、プリント基板に形成された導体パターン、導体パターンとICとを接続するためのリードフレームおよびリードフレームとICとを接続するボンディングワイヤなどのインダクタンスである。

10

【0007】

このため、サージ電圧の周波数がLC回路の共振周波数 $f_0$ と一致すると、サージ電圧の値が過大になり、DMOSトランジスタを用いてもサージ電圧をクランプしきれなくなる虞がある。

【特許文献1】特開平8-186230号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0008】

本発明は、上記の問題点を解決するためになされたものであり、その目的は、サージ保護回路とコンデンサ素子との間に形成されるLC回路でサージ電圧が共振により過大になる虞を低減できる半導体保護装置を提供することにある。

【課題を解決するための手段】

【0009】

〔請求項1の手段〕

請求項1に記載の半導体保護装置は、DMOSトランジスタによりサージ電圧をクランプするサージ保護回路、およびこのサージ保護回路に並列に接続されたコンデンサ素子を備える。

30

また、サージ保護回路は、DMOSトランジスタのゲート端子とドレイン端子との間に配されるツェナーダイオード群、およびDMOSトランジスタのゲート端子とソース端子との間に配される2つのツェナーダイオードを有し、ツェナーダイオード群は、複数のツェナーダイオードから構成され、この複数のツェナーダイオードは、全て、ドレイン端子に正電圧が印加されたときに逆方向バイアスがかかるように直列に接続され、2つのツェナーダイオードは、ソース端子に正電圧が印加されたときに逆方向バイアスがかかるように、かつ、ゲート端子に正電圧が印加されたときに逆方向バイアスがかかるように、互いに逆方向に直列に接続されている。

また、コンデンサ素子は、ICの外部で内部回路およびサージ保護回路への入力端子となるリードフレームと、ICの外部で内部回路およびサージ保護回路のグランド端子となるリードフレームとの間に搭載されている。

40

そして、サージ保護回路およびコンデンサ素子は、樹脂でモールドされている。

これによれば、サージ保護回路とコンデンサ素子とは、IC封止用の樹脂でモールドできる程度に近づけて配置される。このため、サージ保護回路とコンデンサ素子とを接続する配線を短くすることができるので、サージ保護回路とコンデンサ素子との間に形成されるLC回路(以下、LC等価回路と呼ぶ)のインダクタンス成分Lを小さくすることができる。この結果、LC等価回路の共振周波数 $f_0$ を高周波数に固定することができるので、サージ電圧が共振により過大になる虞を低減することができる。

【0011】

〔請求項2の手段〕

50

請求項2に記載のボンディングワイヤは、アルミニウムからなる。

パッドおよびその他の配線には、低融点で扱いやすく、かつ安価なアルミニウムが一般的に用いられる。このため、ボンディングワイヤにアルミニウム以外の金属材料（例えば、金）を用いると、異種金属同士の接合に伴う強度劣化が生じる虞がある。アルミニウムからなるボンディングワイヤを用いれば、異種金属同士の接合に伴う強度劣化が生じる虞がなくなる。

【0012】

〔請求項3の手段〕

請求項3に記載のコンデンサ素子の誘電膜は、シリコン基板上に形成されたシリコン酸化膜と、このシリコン酸化膜よりも上部に形成されたシリコン窒化膜とを含む多層構造である。

10

シリコン窒化膜は、シリコン酸化膜よりも緻密で膜欠陥密度が低い。このため、誘電膜の一部をシリコン窒化膜とすることにより、コンデンサ素子の信頼性を向上させることができる。なお、シリコン基板との膜接着性はシリコン酸化膜の方がシリコン窒化膜よりも良好である。このため、シリコン基板上にシリコン酸化膜を形成し、このシリコン酸化膜よりも上部にシリコン窒化膜を形成することにより、コンデンサ素子の安定性を向上させることができる。

【0013】

〔請求項4の手段〕

請求項4に記載のコンデンサ素子の正極端は、誘電膜よりも上部に形成された多結晶シリコン膜である。

20

コンデンサ素子の正極端は、パッドを構成する金属膜に接合されるため、金属膜との膜接着性が良好な素材が好ましい。ここで、多結晶シリコン膜は、誘電膜を構成するシリコン酸化膜やシリコン窒化膜よりも、金属膜との膜接着性が良好である。このため、コンデンサ素子の正極端を多結晶シリコン膜にすれば、金属膜とコンデンサ素子の正極端との膜分離などの虞が低減される。

【0014】

〔請求項5の手段〕

請求項5に記載のコンデンサ素子の負極端はシリコン基板である。

【発明を実施するための最良の形態】

30

【0015】

最良の形態1の半導体保護装置は、ICに組み込まれた内部回路をサージ電圧から保護する装置であって、内部回路に並列に接続され、二重拡散型MOSトランジスタによりサージ電圧をクランプするサージ保護回路と、内部回路およびサージ保護回路に並列に接続されたコンデンサ素子とを備える。

また、サージ保護回路は、DMOSトランジスタのゲート端子とドレイン端子との間に配されるツェナーダイオード群、およびDMOSトランジスタのゲート端子とソース端子との間に配される2つのツェナーダイオードを有し、ツェナーダイオード群は、複数のツェナーダイオードから構成され、この複数のツェナーダイオードは、全て、ドレイン端子に正電圧が印加されたときに逆方向バイアスがかかるように直列に接続され、2つのツェナーダイオードは、ソース端子に正電圧が印加されたときに逆方向バイアスがかかるように、かつ、ゲート端子に正電圧が印加されたときに逆方向バイアスがかかるように、互いに逆方向に直列に接続されている。

40

また、コンデンサ素子は、ICの外部で内部回路およびサージ保護回路への入力端子となるリードフレームと、ICの外部で内部回路およびサージ保護回路のグランド端子となるリードフレームとの間に搭載されている。

そして、サージ保護回路およびコンデンサ素子は、樹脂でモールドされている。

【0016】

コンデンサ素子は、サージ保護回路とともにICに組み込まれ、ボンディングワイヤが接続されるパッドの下に形成されている。また、ボンディングワイヤは、アルミニウムか

50

らなる。コンデンサ素子の誘電膜は、シリコン基板上に形成されたシリコン酸化膜と、シリコン酸化膜よりも上部に形成されたシリコン窒化膜とを含む多層構造である。また、コンデンサ素子の正極端は誘電膜よりも上部に形成された多結晶シリコン膜であり、負極端はシリコン基板である。

【実施例 1】

【0017】

〔参考例の構成〕

参考例の半導体保護装置 1 の構成を図 1 および図 2 を用いて説明する。

半導体保護装置 1 は、IC 3 に組み込まれた内部回路 5 をサージ電圧から保護する装置である。半導体保護装置 1 は、サージ電圧をクランプするサージ保護回路 7 と、サージ保護回路 7 がクランプ作用を行う前に一時的にサージ電圧を吸収するコンデンサ素子 9 とを備える。サージ保護回路 7 およびコンデンサ素子 9 は、内部回路 5 とともに IC 3 に組み込まれている。そして、IC 3 は、IC 封止用の樹脂 11 によりモールドされている。

10

【0018】

サージ保護回路 7 は、所定のクランプ電圧以上のサージ電圧がかかると作動する DMOS トランジスタ 13、クランプ電圧の値を定めるツェナーダイオード群 15 などにより構成されている。また、サージ保護回路 7 は、内部回路 5 よりもパッド 17 の側で、内部回路 5 に並列に接続されている。

【0019】

パッド 17 には、アルミニウムからなるボンディングワイヤ 19 の一端がボンディングされる。また、ボンディングワイヤ 19 の他端は、リードフレーム 21 にボンディングされる。リードフレーム 21 には、プリント基板（図示せず）に形成された導体パターン（図示せず）が接続されている。これにより、内部回路 5、サージ保護回路 7 およびコンデンサ素子 9 は、パッド 17、ボンディングワイヤ 19、リードフレーム 21 および導体パターンを介して、IC 3 の外部の電気素子（図示せず）と接続される。また、グランド用パッド 23 も、パッド 17 と同様にボンディングワイヤ 19 を介してリードフレーム 21 と接続される。なお、ボンディングワイヤ 19 も、樹脂 11 によりモールドされ、パッド 17、グランド用パッド 23 とボンディングワイヤ 19 とのボンディング部、およびリードフレーム 21 とボンディングワイヤ 19 とのボンディング部が封止されている。

20

【0020】

DMOS トランジスタ 13 は、ツェナーダイオード群 15 が降伏してゲート端子 25 の電位が上昇し、ドレイン端子 27 からソース端子 29 へ電流が流れることにより作動する。すなわち、パッド 17 を介して、ツェナーダイオード群 15 により定められるクランプ電圧よりも大きいサージ電圧がドレイン端子 27 とゲート端子 25 との間にかかると、ツェナーダイオード群 15 が降伏してゲート端子 25 の電位が上昇する。これにより、ドレイン端子 27 からソース端子 29 へサージ電圧の印加に伴う電流が流れる。このようにクランプ作用が行われることにより、サージ電圧がパッド 17 からグランド用パッド 23 に逃される。

30

【0021】

ツェナーダイオード群 15 は、複数のツェナーダイオードから構成され、ドレイン端子 27 とゲート端子 25 とを接続する GD クランプ配線 31 に配置されている。これらのツェナーダイオードは、カソードがドレイン端子 27 の方を向くように、すなわちパッド 17 からかかるサージ電圧とは逆方向になるように接続されている。そして、個々のツェナーダイオードの降伏電圧や、ツェナーダイオードの数などに応じてクランプ電圧の値が定められる。

40

【0022】

なお、ゲート端子 25 とソース端子 29 とを接続する GS クランプ配線 33 には、2 つのツェナーダイオード 35、37 が、互いに逆方向になるように配置されている。ツェナーダイオード 35 は、カソードがゲート端子 25 の方を向くように接続されている。そして、ツェナーダイオード 35 は、DMOS トランジスタ 13 を作動状態に保ってクランプ

50

作用が行われる程度に、ゲート端子 25 の電位を維持する。すなわち、ツェナーダイオード 35 の降伏電圧は、DMOS トランジスタ 13 を作動させることができ、かつゲート端子 25 と接続されるゲート電極 39 が破壊されない程度の値に設定されている。ツェナーダイオード 37 は、カソードがソース端子 29 の方を向くように接続されている。そして、ツェナーダイオード 37 は、グランド用パッド 23 からサージ電圧が印加されたときにゲート電極 39 が高電位になって破壊されるのを防止する。

#### 【0023】

コンデンサ素子 9 は、サージ保護回路 7 よりもパッド 17 の側で、内部回路 5 およびサージ保護回路 7 に並列に接続されている。コンデンサ素子 9 は、図 2 に示すように、シリコン基板 41 と、シリコン基板 41 の上側表面を熱酸化することにより形成されたシリコン酸化膜 43 と、シリコン酸化膜 43 の上側に CVD 法により形成されたシリコン窒化膜 45 と、シリコン窒化膜 45 の上側に CVD 法により形成された多結晶シリコン膜 47 とを有する。そして、多結晶シリコン膜 47 の上側には、金属膜であるパッド 17 がスパッタ法により形成されている。このようにコンデンサ素子 9 は、パッド 17 の下に形成されている。

#### 【0024】

シリコン基板 41 は、コンデンサ素子 9 の負極端をなし、IC 3 の内部配線によりグランド用パッド 23 に接続されている。シリコン酸化膜 43 およびシリコン窒化膜 45 は、コンデンサ素子 9 の誘電膜をなす。また、多結晶シリコン膜 47 は、コンデンサ素子 9 の正極端をなす。パッド 17 を形成する金属膜は、異種金属の多層膜である。この金属多層膜の最上層は、アルミニウムからなる素材で形成されている。また、この最上層と多結晶シリコン膜 47 との間の金属層には、例えばタンゲステン、チタン、ニッケルのように多結晶シリコン膜 47 との接着性が良好な金属からなる素材を用いるのが好ましい。

#### 【0025】

なお、サージ保護回路 7、コンデンサ素子 9 およびこれらを接続する配線（パッド 17 を含む）は、共振周波数  $f_0$  を有する LC 等価回路 49 をなす。LC 等価回路 49 の容量成分 C は、主にコンデンサ素子 9 の容量であり、LC 等価回路 49 のインダクタンス成分 L はサージ保護回路 7 とコンデンサ素子 9 とを接続する配線のインダクタンスである。共振周波数  $f_0$  は、容量成分 C およびインダクタンス成分 L に応じて決まる。

#### 【0026】

##### 〔参考例の作用〕

参考例の半導体保護装置 1 の作用を図 1 に基づいて説明する。

IC 3 の外部からパッド 17 にサージ電圧がかかると、その一部分はコンデンサ素子 9 に吸収されるとともに、一部分がサージ保護回路 7 の GD クランプ配線 31 にかかる。GD クランプ配線 31 にかかるサージ電圧がクランプ電圧よりも小さい間は、サージ電圧の一部分がコンデンサ素子 9 に吸収される。そして、GD クランプ配線 31 にかかるサージ電圧がクランプ電圧よりも大きくなると、ツェナーダイオード群 15 が降伏してゲート端子 25 の電位が上昇し、ドレイン端子 27 からソース端子 29 へサージ電圧の印加に伴う電流が流れる（すなわち、DMOS トランジスタ 13 が作動する）。これにより、サージ電圧は、パッド 17 からグランド用パッド 23 に逃される。

#### 【0027】

以上により、半導体保護装置 1 は、サージ保護回路 7 により内部回路 5 にかかるサージ電圧をクランプするとともに、サージ保護回路 7 によるクランプ作用が開始するまでの間、コンデンサ素子 9 によりサージ電圧を一時的に吸収する。

#### 【0028】

##### 〔参考例の効果〕

参考例の半導体保護装置 1 は、内部回路 5 に並列に接続され、DMOS トランジスタ 13 によりサージ電圧をクランプするサージ保護回路 7、およびサージ保護回路 7 に並列に接続されたコンデンサ素子 9 を備える。

これにより、半導体保護装置 1 は、サージ保護回路 7 によりサージ電圧をクランプする

10

20

30

40

50

とともに、サージ保護回路7によるクランプ作用が開始するまでの間、コンデンサ素子9によりサージ電圧を一時的に吸収することができる。この結果、例えば、サージ電圧の立ち上がりが急激な場合のように、サージ保護回路7によるクランプに遅れが発生しやすい場合にも、確実に内部回路5を保護することができる。

#### 【0029】

また、サージ保護回路7およびコンデンサ素子9は、内部回路5とともにIC3に組み込まれ、IC封止用の樹脂11でモールドされている。

これにより、サージ保護回路7とコンデンサ素子9とを接続する配線が短くなるので、LC等価回路49のインダクタンス成分Lが小さくなる。この結果、LC等価回路49の共振周波数 $f_0$ を高周波数に固定することができるので、サージ電圧が共振により過大になる虞を低減することができる。また、クランプ作用に伴うDMOSトランジスタ13の発熱を樹脂11に伝達することができるので、温度上昇に伴うDMOSトランジスタ13の内部抵抗の増加を抑えることができる。この結果、サージ保護回路7により逃すことができるサージ電圧の値を向上させることができる。

10

#### 【0030】

また、コンデンサ素子9はパッド17の下に形成されている。

これにより、サージ保護回路7とコンデンサ素子9とを接続する配線がさらに短くなるので、LC等価回路49のインダクタンス成分Lがさらに小さくなる。この結果、LC等価回路49の共振周波数 $f_0$ をさらに高周波数に固定することができるので、サージ電圧が共振により過大になる虞をさらに低減することができる。

20

#### 【0031】

また、パッド17にボンディングされるボンディングワイヤ19は、アルミニウムからなる。

これにより、パッド17その他の配線に、低融点で扱いやすく、かつ安価なアルミニウムからなる素材を用いても、異種金属同士の接合に伴う強度劣化などが生じる虞がなくなる。

#### 【0032】

また、コンデンサ素子9の誘電膜は、シリコン基板41の上側表面に形成されたシリコン酸化膜43と、シリコン酸化膜43の上側に形成されたシリコン窒化膜45との2層構造である。

30

シリコン窒化膜45は、シリコン酸化膜43よりも緻密で膜欠陥密度が低い。このため、誘電膜の一部をシリコン窒化膜45とすることにより、コンデンサ素子9の信頼性を向上させることができる。また、シリコン基板41との膜接着性はシリコン酸化膜43の方がシリコン窒化膜45よりも良好である。このため、シリコン基板41上にシリコン酸化膜43を形成し、シリコン酸化膜43の上側にシリコン窒化膜45を形成することにより、コンデンサ素子9の安定性を向上させることができる。

#### 【0033】

また、コンデンサ素子9の正極端は、シリコン窒化膜45の上側に形成された多結晶シリコン膜47である。

コンデンサ素子9の正極端は、パッド17を構成する金属膜に接合されるため、金属膜との膜接着性が良好な素材が好ましい。ここで、多結晶シリコン膜47は、誘電膜を構成するシリコン酸化膜43やシリコン窒化膜45よりも、金属膜との膜接着性が良好である。このため、シリコン窒化膜45の上側に正極端としての多結晶シリコン膜47を形成すれば、金属膜とコンデンサ素子9の正極端との膜分離などの虞を低減することができる。

40

#### 【0034】

##### 〔実施例1〕

参考例では、コンデンサ素子9を、内部回路5やサージ保護回路7とともにIC3に組み込み、パッド17の下に形成したが、樹脂11によりモールドされている領域内であれば、IC3の外部に配置してもよい。例えば、図3に示すように、コンデンサ素子9を、パッド17と接続されるリードフレーム21、およびグランド用パッド23と接続される

50

リードフレーム 2 1 との間に搭載し、樹脂 1 1 により IC 3 とともにモールドしてもよい。この場合にも、立ち上がりの急激なサージ電圧に対して確実に内部回路 5 を保護することができるとともに、LC 等価回路 4 9 の共振周波数  $f_0$  を高周波数に固定してサージ電圧が共振により過大になる虞を低減することができる。

【図面の簡単な説明】

【0035】

【図1】半導体保護装置の説明図である（参考例）。

【図2】コンデンサ素子の断面図である（参考例）。

【図3】(a)はICおよびコンデンサ素子の平面図であり、(b)はICおよびコンデンサ素子の断面図である（実施例1）。

10

【符号の説明】

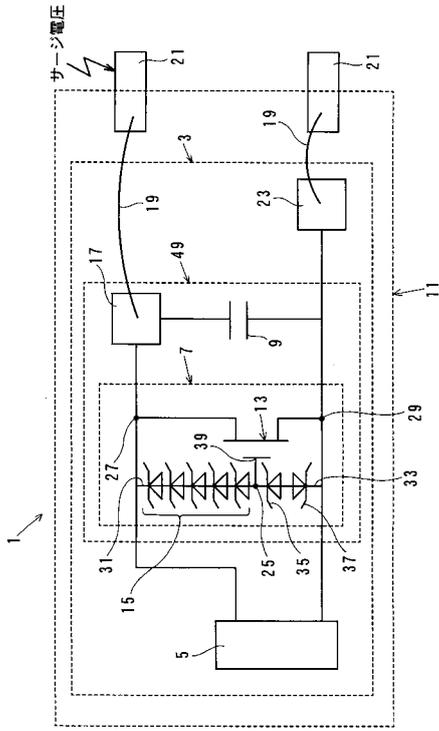
【0036】

- 1 半導体保護装置
- 3 IC
- 5 内部回路
- 7 サージ保護回路
- 9 コンデンサ素子
- 11 樹脂
- 13 DMOSトランジスタ（二重拡散型MOSトランジスタ）
- 15 ツェナーダイオード群
- 17 パッド
- 19 ボンディングワイヤ
- 21 リードフレーム
- 25 ゲート端子
- 27 ドレイン端子
- 29 ソース端子
- 35 ツェナーダイオード（2つのツェナーダイオード）
- 37 ツェナーダイオード（2つのツェナーダイオード）
- 41 シリコン基板
- 43 シリコン酸化膜
- 45 シリコン窒化膜
- 47 多結晶シリコン膜

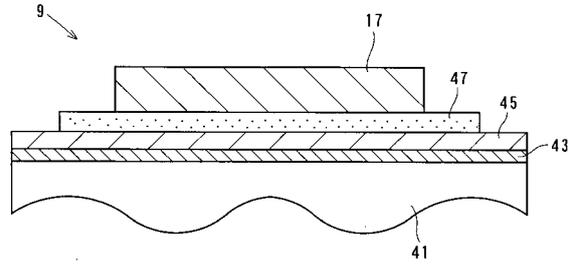
20

30

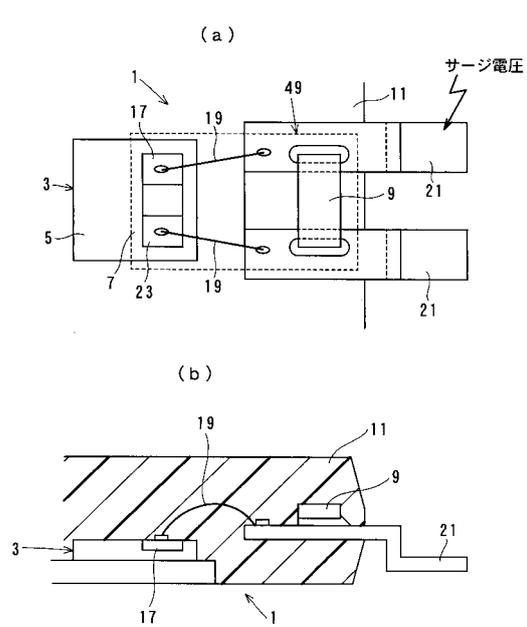
【図1】



【図2】



【図3】



---

フロントページの続き

審査官 棚田 一也

- (56)参考文献 特開平10-313095(JP,A)  
特開平04-243157(JP,A)  
特開2000-058666(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822  
H01L 23/62  
H01L 27/04  
H01L 27/06  
H01L 29/78