



(12) 发明专利

(10) 授权公告号 CN 109727910 B

(45) 授权公告日 2020.12.15

(21) 申请号 201811637245.X

H01L 23/528 (2006.01)

(22) 申请日 2018.12.29

(56) 对比文件

(65) 同一申请的已公布的文献号
申请公布号 CN 109727910 A

CN 1877584 A, 2006.12.13

CN 1877584 A, 2006.12.13

(43) 申请公布日 2019.05.07

CN 101459074 A, 2009.06.17

CN 101197308 A, 2008.06.11

(73) 专利权人 上海华力集成电路制造有限公司
地址 201315 上海市浦东新区自由贸易试
验区康桥东路298号1幢1060室

US 2018158722 A1, 2018.06.07

US 2004084411 A1, 2004.05.06

CN 1708838 A, 2005.12.14

CN 103377991 A, 2013.10.30

(72) 发明人 张年亨

审查员 赵端

(74) 专利代理机构 上海专利商标事务所有限公
司 31100

代理人 徐伟

(51) Int. Cl.

H01L 21/768 (2006.01)

H01L 23/522 (2006.01)

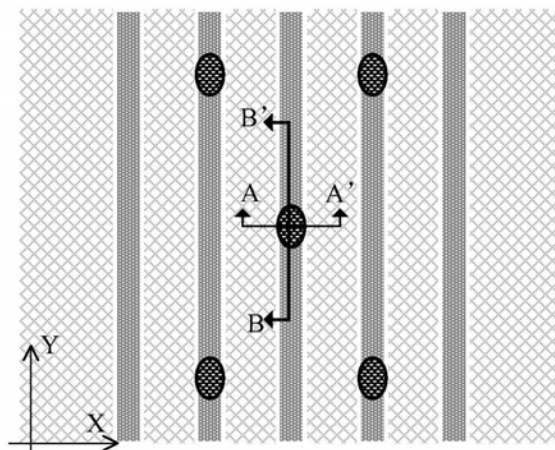
权利要求书1页 说明书7页 附图6页

(54) 发明名称

一种半导体结构及其制造方法

(57) 摘要

本发明提供了一种半导体结构及其制造方法,上述半导体结构包括沿上述半导体结构的高度方向贯穿介质层的通孔,上述通孔互连上述半导体结构的前段器件和上述半导体结构的后段金属线,通过执行第一刻蚀工艺和第二刻蚀工艺,使得所形成的上述通孔的正交于上述高度方向的横截面在上述后段金属线的延伸方向的第一尺寸大于在垂直于上述延伸方向的第二尺寸。根据本发明所提供的制造方法所形成的通孔结构,能够在不通过修改光罩的情况下,保持通孔的第二方向特征尺寸不变,并扩大第一方向的特征尺寸,从而有效降低位于通孔中的金属触点的阻值,并且不会造成第二方向上的器件短路。



1. 一种半导体结构的制造方法,用以形成沿所述半导体结构的高度方向贯穿介质层的通孔,所述制造方法包括:

提供衬底,其中,所述衬底中形成有所述半导体结构的前段器件,所述前段器件通过所述通孔电连接于所述半导体结构的后段金属线,所述衬底上部形成有覆盖所述衬底的所述介质层;

在对应所述前段器件的位置执行第一刻蚀工艺,所述第一刻蚀工艺在所述介质层的上部形成部分通孔;以及

执行第二刻蚀工艺,所述第二刻蚀工艺使所述通孔沿所述高度方向贯穿所述介质层,以暴露所述前段器件,其中,所述第一刻蚀工艺和所述第二刻蚀工艺使所形成的所述通孔的正交于所述高度方向的横截面在所述后段金属线的延伸方向的第一尺寸大于在垂直于所述延伸方向的第二尺寸;其中

所述第二刻蚀工艺包括设定刻蚀气体的解离功率为270-350W;

所述第二刻蚀工艺包括采用包含CF₄气体的气体组合,其中,所述CF₄气体在所述第二刻蚀工艺所采用的气体组合中的占比为25-40%。

2. 如权利要求1所述的制造方法,其特征在于,所述第一刻蚀工艺包括采用包含CF₄气体的气体组合,其中,所述CF₄气体在所述第一刻蚀工艺所采用的气体组合中的占比为20-35%。

3. 如权利要求2所述的制造方法,其特征在于,所述CF₄气体在所述第一刻蚀工艺所采用的气体组合中的占比为28%。

4. 如权利要求1所述的制造方法,其特征在于,在所述第二刻蚀工艺中所设定的刻蚀气体的解离功率为280-330W。

5. 如权利要求1所述的制造方法,其特征在于,在所述第二刻蚀工艺中所设定的刻蚀气体的所设定的解离功率为300W。

6. 如权利要求1所述的制造方法,其特征在于,所述CF₄气体在所述第二刻蚀工艺所采用的气体组合中的占比为35%。

7. 如权利要求1所述的制造方法,其特征在于,所述第一尺寸与所述第二尺寸的比值大于1.2。

8. 如权利要求7所述的制造方法,其特征在于,所述第一尺寸与所述第二尺寸的比值为1.2-1.5。

9. 如权利要求1所述的制造方法,其特征在于,执行所述第二刻蚀工艺还包括在所述介质层的上部形成沟槽,其中,所述后段金属线形成在所述沟槽中;以及

所述制造方法还包括,在执行所述第二刻蚀工艺前,在所述介质层的上表面形成图案化的硬掩膜层,所述图案化的硬掩膜层定义所述沟槽的刻蚀图案。

10. 如权利要求9所述的制造方法,其特征在于,所述硬掩膜层为金属掩膜,和/或,所述硬掩膜层为的材质为TiN。

11. 如权利要求9所述的制造方法,其特征在于,所述第一尺寸与所述第二尺寸的比值为1.5-1.8。

12. 一种半导体结构,其特征在于,所述半导体结构通过如权利要求1-11中任一项所述的制造方法形成。

一种半导体结构及其制造方法

技术领域

[0001] 本发明涉及半导体结构及其制造方法,尤其设计一种通孔结构及其制造方法。

背景技术

[0002] 自从早年德州仪器的Jack Kilby博士发明了集成电路之时起,科学家们和工程师们已经在半导体器件和工艺方面作出了众多发明和改进。近50年来,半导体尺寸已经有了明显的降低,这转化成不断增长的处理速度和不断降低的功耗。迄今为止,半导体的发展大致遵循着摩尔定律,摩尔定律大致是说密集集成电路中晶体管的数量约每两年翻倍。现在,半导体工艺正在朝着28nm以下发展,其中一些公司正在着手14nm工艺。这里仅提供一个参考,一个硅原子约为0.2nm,这意味着通过28nm工艺制造出的两个独立组件之间的距离仅仅约为一百多个硅原子。半导体器件制造因此变得越来越具有挑战性,并且朝着物理上可能的极限推进。

[0003] 对于如何提高28nm半导体器件的性能已经是半导体制造行业内的当务之急,同时也是巨大的挑战。目前,可以通过减低半导体器件后段金属层中的开尔文通孔(Kelvin Via)的阻值去改善28nm半导体器件的性能。在减低开尔文通孔的阻值方面,放大开尔文通孔的特征尺寸(CD,Critical Dimension)被认为是一种有效的方法。

[0004] 然而,如前所述,在半导体器件的特征尺寸均在日益微缩的情况下,放大开尔文通孔的特征尺寸意味着开尔文通孔与后段金属层中的其他通孔和金属线之间短路的可能性大大增加,从而导致半导体器件的良率下降,这是本领域技术人员不愿意看到的。

[0005] 更进一步的,在放大开尔文通孔的特征尺寸的实现方法上,通过修改光罩来修改器件的版图设计是一种最普遍的做法。然而,由于开尔文通孔位置的特殊性,其系位于转折区的通孔,擅自更改开尔文通孔的特征尺寸需要大量改动整个半导体器件的版图设计,增加了半导体器件制造工艺的成本。

[0006] 因此,亟需要一种半导体结构的制造方法,能够通过不改变光罩而改变开尔文通孔的特征尺寸,来降低开尔文通孔的阻值,同时通过上述制造方法所制造的开尔文通孔样貌不会增加与后段金属层中的其他通孔和金属线之间短路的可能性,以保证半导体结构的良率。

发明内容

[0007] 以下给出一个或多个方面的简要概述以提供对这些方面的基本理解。此概述不是所有构想到的方面的详尽综览,并且既非旨在指出所有方面的关键性或决定性要素亦非试图界定任何或所有方面的范围。其唯一的目的是要以简化形式给出一个或多个方面的一些概念以为稍后给出的更加详细的描述之序。

[0008] 如上所述,为了解决上述问题,本发明提供了一种半导体结构的制造方法,用以形成沿上述半导体结构的高度方向贯穿介质层的通孔,上述制造方法包括:

[0009] 提供衬底,其中,上述衬底中形成有上述半导体结构的前段器件,上述前段器件通

过上述通孔电连接于上述半导体结构的后段金属线,上述衬底上部形成有覆盖上述衬底的上述介质层;在对应上述前段器件的位置执行第一刻蚀工艺,上述第一刻蚀工艺在上述介质层的上部形成部分通孔;以及执行第二刻蚀工艺,上述第二刻蚀工艺使上述通孔沿上述高度方向贯穿上述介质层,以暴露上述前段器件,其中,上述第一刻蚀工艺和上述第二刻蚀工艺使所形成的上述通孔的正交于上述高度方向的横截面在上述后段金属线的延伸方向的第一尺寸大于在垂直于上述延伸方向的第二尺寸。

[0010] 在上述的实施例中,可选的,上述第一刻蚀工艺包括采用包含CF₄气体的气体组合,其中,上述CF₄气体在上述气体组合中的占比为20-35%。

[0011] 在上述的实施例中,较优的,上述CF₄气体在上述气体组合中的占比为28%。

[0012] 在上述的实施例中,可选的,上述第二刻蚀工艺包括设定刻蚀气体的解离功率为270-350W。

[0013] 在上述的实施例中,较优的,其特征在于,所设定的解离功率为280-330W。

[0014] 在上述的实施例中,较优的,所设定的解离功率为300W。

[0015] 在上述的实施例中,可选的,上述第二刻蚀工艺包括采用包含CF₄气体的气体组合,其中,上述CF₄气体在上述气体组合中的占比为25-40%。

[0016] 在上述的实施例中,较优的,上述CF₄气体在上述气体组合中的占比为35%。

[0017] 在上述的实施例中,可选的,上述第一尺寸与上述第二尺寸的比值大于1.2。

[0018] 在上述的实施例中,可选的,上述第一尺寸与上述第二尺寸的比值为1.2-1.5。

[0019] 在上述的实施例中,可选的,执行上述第二刻蚀工艺还包括在上述介质层的上部形成沟槽,其中,上述后段金属线形成在上述沟槽中;以及上述制造方法还包括,在执行上述第二刻蚀工艺前,在上述介质层的上表面形成图案化的硬掩膜层,上述图案化的硬掩膜层定义上述沟槽的刻蚀图案。

[0020] 在上述的实施例中,较优的,上述硬掩膜层为金属掩膜,和/或,上述硬掩膜层为的材质为TiN。

[0021] 在上述的实施例中,较优的,上述第一尺寸与上述第二尺寸的比值为1.5-1.8。

[0022] 本发明还提供了一种根据上述制造方法所制造的半导体结构,上述半导体结构包括沿上述半导体结构的高度方向贯穿介质层的通孔,上述通孔互连上述半导体结构的前段器件和上述半导体结构的后段金属线,其中,上述通孔的正交于上述高度方向的横截面在上述后段金属线的延伸方向的第一尺寸大于在垂直于上述延伸方向的第二尺寸。

[0023] 在上述的实施例中,可选的,上述第一尺寸与上述第二尺寸的比值大于1.2。

[0024] 在上述的实施例中,可选的,上述第一尺寸与上述第二尺寸的比值为1.2-1.5。

[0025] 在上述的实施例中,较优的,上述第一尺寸与上述第二尺寸的比值为1.5-1.8。

[0026] 根据本发明所提供的半导体结构及其制造方法,通过调整刻蚀工艺,实现通孔的特征尺寸的增大,并且使得上述通孔的横截面保持在一个方向上的尺寸大于另一垂直方向上的尺寸,从而不会由于特征尺寸的增大而导致通孔与其他通孔或金属线之间的短路,以保证半导体结构的良率。

附图说明

[0027] 图1-8示出了本发明提供的制造方法制造过程中的半导体结构示意图。

- [0028] 图9A示出了本发明提供的通孔的俯视示意图。
- [0029] 图9B示出了图9A中AA' 面的剖面示意图。
- [0030] 图9C示出了图9A中BB' 面的剖面示意图。
- [0031] 图10A示出了根据本发明提供的制造方法制造的通孔阻值与现有技术制造的通孔阻值的对比示意图。
- [0032] 图10B示出了根据本发明提供的制造方法制造的器件良率与现有技术制造的器件良率的对比示意图。
- [0033] 附图标记
- [0034] 100 衬底
- [0035] 110 有源区
- [0036] 200 NDC层
- [0037] 300 TEOS层
- [0038] 400 介质层
- [0039] 500 NDC层
- [0040] 600 NFDARC层
- [0041] 700 硬掩膜层
- [0042] 800 氧化层
- [0043] 900 BARC层
- [0044] 901 光阻层
- [0045] 910 阻挡层
- [0046] 911 SIARC层
- [0047] 912 光阻层

具体实施方式

[0048] 给出以下描述以使得本领域技术人员能够实施和使用本发明并将其结合到具体应用背景中。各种变型、以及在不同应用中的各种使用对于本领域技术人员将是容易显现的,并且本文定义的一般性原理可适用于较宽范围的实施例。由此,本发明并不限于本文中给出的实施例,而是应被授予与本文中公开的原理和新颖性特征相一致的最广义的范围。

[0049] 在以下详细描述中,阐述了许多特定细节以提供对本发明的更透彻理解。然而,对于本领域技术人员显而易见的是,本发明的实践可不必局限于这些具体细节。换言之,公知的结构和器件以框图形式示出而没有详细显示,以避免模糊本发明。

[0050] 请读者注意与本说明书同时提交的且对公众查阅本说明书开放的所有文件及文献,且所有这样的文件及文献的内容以参考方式并入本文。除非另有直接说明,否则本说明书(包含任何所附权利要求、摘要和附图)中所揭示的所有特征皆可由用于达到相同、等效或类似目的的可替代特征来替换。因此,除非另有明确说明,否则所公开的每一个特征仅是一组等效或类似特征的一个示例。

[0051] 注意,在使用到的情况下,标志左、右、前、后、顶、底、正、反、顺时针和逆时针仅仅是出于方便的目的所使用的,而并不暗示任何具体的固定方向。事实上,它们被用于反映对象的各个部分之间的相对位置和/或方向。

[0052] 如本文使用的术语“在...上方(over)”、“在...下方(under)”、“在...之间(between)”和“在...上(on)”指的是这一层相对于其它层的相对位置。同样地,例如,被沉积或被放置于另一层的上方或下方的一层可以直接与另一层接触或者可以具有一个或多个中间层。此外,被沉积或被放置于层之间的一层可以直接与这些层接触或者可以具有一个或多个中间层。相比之下,在第二层“上”的第一层与该第二层接触。此外,提供了一层相对于其它层的相对位置(假设相对于起始基底进行沉积、修改和去除薄膜操作而不考虑基底的绝对定向)。

[0053] 如上所述,为了不通过改变光罩而改变开尔文通孔的特征尺寸,本发明提供了通过调整刻蚀工艺的制造方法。为得到本发明所提供的制造方法,所有实验都在TEL Tactras™ Vigus反应器上进行,它是偶合式capacitive coupled plasma (CCP)刻蚀机,配置有直流偏压direct current (DC)与下部电极配挂有双RF power (40MHz与13MHz)。实验得到的器件的各种剖面图以及器件的特征尺寸系通过透射电子显微镜Transmission electron microscope (TEM)和CDSEM最终确认。

[0054] 请参考图1-8来理解本发明所提供的制造方法。图1-8示出了本发明提供的制造方法制造过程中的半导体结构示意图。

[0055] 这些示图仅提供示例,不应不当地限制权利要求的范围。本领域技术人员将领会到有许多变体、替换方案、以及变型。取决于实现,可以添加、移除、重复、重新排列、修改、替换、和/或交迭一个或更多个步骤,并且这不影响权利要求的保护范围。

[0056] 如图1所示,已经提供了衬底100和衬底100上方的各种薄膜层(Film)。具体的,衬底100中形成有多个有源区110,上述有源区110系用以形成半导体器件的功能区,在本发明中,需要通过形成通孔将上述有源区110从衬底100中引出。在衬底100上方,以此形成有NDC层200、TEOS层300、介质层400、NDC层500、NFDARC层600、硬掩膜层700、氧化物层800。

[0057] 更进一步的,上本发明所要形成的后段金属线以及通孔所在的后段金属层系以介质层400为中介质层的,也就是说,本发明所要形成的通孔系要贯穿上述介质层400。

[0058] 本领域技术人员应当知道,上述先在前段器件层上形成介质层,随后对介质层进行刻蚀形成通孔或沟槽,并在通孔或沟槽中填充金属介质的制造工艺为大马士革工艺。本发明所提供的制造方法虽架构在大马士革工艺中,但通过对其中工艺的改进而不同于现有的大马士革工艺。

[0059] 请进一步参考图2-4,图2-4示出了对沟槽硬掩膜层的刻蚀。半导体器件的后段金属层中包括贯穿介质层的通孔(VIA),用以引出在衬底中或衬底表面的器件以及用于形成后段金属连接线的沟槽(Trench)。本发明所提供的制造方法需要先形成部分通孔,后形成沟槽,并在形成沟槽时一并完成另一部分通孔的刻蚀,因此,本发明所提供的制造方法架构在VIA First的大马士革工艺中。

[0060] 虽然需要先形成部分通孔,但在工艺步骤的开始,需要先形成沟槽的硬掩膜层,包括如图1中所示出的硬掩膜层700。上述硬掩膜层作为光刻胶的替代可以在后续刻蚀沟槽的步骤中起到光掩膜的作用。硬掩膜层700的可以是金属掩膜层,进一步的,其材质可以是TiN。本领域技术人员应当知道,通过设置TiN材质的金属掩膜层,并且,还可以通过设置多层不同性能的掩膜层,例如NFDARC层600、氧化物层800,来实现后续沟槽刻蚀中具有更好的线宽控制等。

[0061] 图2示出在BARC层900上形成图案化的光阻层901,图3示出了以图案化的光阻层901为光掩膜进行刻蚀,以将沟槽图案向下转移到NFDARC层600中,图4示出了将BARC层900和光阻层901除去后,形成了沟槽图案化后的硬掩膜层的示意图。

[0062] 本领域技术人员应当知道,上述图案化工艺可包含光致抗蚀剂涂布(例如旋转涂布)、软烤、光掩膜版对准、曝光、曝后烤、光致抗蚀剂显影、冲洗、干燥(例如硬烤)、其他合适的工艺,和/或前述的组合。以及,上述刻蚀工艺亦可通过现有或将有的工艺进行,在此不再赘述。

[0063] 请进一步参考图5,图5中已经形成了阻挡层910,用以在刻蚀通孔VIA时保护已经形成的沟槽的图案化后的硬掩膜层不被误刻蚀。进一步的,在阻挡层910上方形成有优化光刻效果的SIARC层911以及在其表面的图案化后的通孔的光阻层912。上述图案化后的光阻层912定义了通孔的形态。

[0064] 如前所述,开尔文通孔为转折处通孔,因此,若通过更改光罩的版图设计更改通孔形态,需要相应地更改与开尔文通孔相邻的部件的设计,因此,制造成本大大上升。所以,在如图5所述的图案化后的光阻层912,其图案化时所采用的光罩为现有技术中的光罩,也就是说,本发明并非通过更改光罩设计版图来改变通孔的形态和特征尺寸。

[0065] 请进一步参考图6,图6示出了根据图案化后的光阻层912上的刻蚀图案执行通孔VIA部分刻蚀的示意图。在此步骤中,已经根据通孔的刻蚀图案将大部分介质层400中的介质刻蚀除去。进一步的,本发明提供的制造方法在该步骤中所采用的刻蚀工艺参数包括采用包含 CF_4 气体的气体组合对上述通孔的部分进行刻蚀, CF_4 在刻蚀过程中起到将生成物带出的作用。更进一步地,在此步骤中采用的包含 CF_4 气体的气体组合中, CF_4 所占的比例为20%-35%,更优,上述 CF_4 气体所占的比例为28%。本领域技术人员应当知道,在通常的刻蚀通孔的工艺中,上述 CF_4 占刻蚀气体的比例在12%左右。而本发明提供的制造方法在第一刻蚀步骤中,通过提高 CF_4 比例占总气体量的比例,能够有效减少刻蚀过程中所残留的生成物,降低polymer的释放速率,为后续通孔刻蚀定义通孔的样貌做好准备。

[0066] 进一步的,上述气体组合还可包括 C_4F_8 、 O_2 、Ar等其他刻蚀气体。本领域技术人员应当知道上述气体组合的气体组成、其他气体的占比可以根据实际情况调整,但需要保证在第一刻蚀步骤中所采用的上述气体组合中 CF_4 气体的占比为20%-35%,其中较优的为28%。

[0067] 请参考图7,图7示出了已经执行了第一刻蚀工艺,在介质层400中形成部分通孔,并且去除阻挡层900后的结构示意图。

[0068] 请进一步参考图8,图8示出了根据图案化后的硬掩膜层上的刻蚀图案执行通孔VIA和沟槽刻蚀的示意图。如图8所示,已经形成贯穿介质层400的通孔,并且所形成的通孔暴露位于衬底100中的有源区110,以引出有源区110。

[0069] 本发明提供的制造方法在上述步骤中所采用的刻蚀工艺参数包括采用包含 CF_4 气体的气体组合对通孔和沟槽进行刻蚀, CF_4 在刻蚀过程中起到将生成物带出的作用。更进一步地,在此步骤中采用的包含 CF_4 气体的气体组合中, CF_4 所占的比例为25%-40%,更优,上述 CF_4 气体所占的比例为35%。需要注意的是,在此步骤中,本发明所提供的方法所采用的气体组合中 CF_4 的比重远大于在通常的刻蚀通孔的工艺中 CF_4 气体在所采用的气体组合中的比重。并且,更进一步地比本发明提供的制造方法第一刻蚀工艺中所设定的 CF_4 气体的占比

还要高,因此,在此步骤中,通过CF₄气体的生成物带出的作用,能够使所刻蚀的通孔的特征尺寸增大。

[0070] 更进一步地,在本发明提供的制造方法的第二刻蚀工艺中,所采用的刻蚀工艺参数还包括调整刻蚀气体的解离功率为270-350W之间。通过降低解离功率来降低离子轰击能量,能够提高通孔的刻蚀能力。更优的,在本步骤中可以通过调整刻蚀气体的解离功率在280-330W之间,以及在上述范围内,更优地,可以调整刻蚀气体的解离功率在300W,以平衡刻蚀能力和带出残留生成物的能力。

[0071] 请进一步参考图9A、图9B和图9C来理解本发明所提供的制造方法所形成的通孔的形貌。图9A示出了通孔的俯视图,图9B示出了图9A中通孔AA'面的剖面图,图9C示出了图9A中通孔BB'面的剖面图。

[0072] 如图9所示出的,图中中灰色沿Y方向延伸的为后段金属线,亦即沟槽的示意图。所形成的通孔(图中深灰色椭圆状)在Y方向的尺寸大于垂直于Y方向的X方向上的尺寸。可以理解的是,上述通孔的横截面可以是如椭圆形状或者类椭圆形状。

[0073] 由于所形成的开尔文通孔位于沟槽的上方,因此,此处的开尔文通孔的样貌同样受制于沟槽的图案化。如前所述,本发明所提供的制造方法通过使用图案化的硬掩膜层来定义沟槽的图案,也就是说,硬掩膜层形成在如图9A的浅灰色部分,因此,对于通孔而言,在采用本发明所提供的第一刻蚀工艺和第二刻蚀工艺条件进行刻蚀时,由于X方向上被上述硬掩膜层保护,使得第一刻蚀工艺和第二刻蚀工艺提高的刻蚀能力均体现在Y方向上。请一并参考图9B和图9C,从图9B和图9C中可以看出,通过本发明所提供的第一刻蚀工艺和第二刻蚀工艺,能够使得最终形成的通孔其Y方向上的尺寸大于X方向上的尺寸。

[0074] 如前所述,由于额外提供了金属硬掩膜层(可以使TiN材质)替代光阻(光刻胶)作为沟槽的掩膜,上述硬掩膜层在X方向上的保护能力更强,通过使用本发明所提供的第一刻蚀工艺和第二刻蚀工艺,能够使形成的通孔的Y方向上的第一尺寸与X方向上的第二尺寸的比值在1.5-1.8范围内。

[0075] 通过实验,即使并未采用硬掩膜层,而仍旧是采用保护能力较弱的光刻胶通过本发明所提供的第一刻蚀工艺和第二刻蚀工艺仍然能够使形成的通孔的Y方向上的第一尺寸与X方向上的第二尺寸的比值在1.2-1.5范围内。

[0076] 通过本发明所改进的第一刻蚀工艺和第二刻蚀工艺条件,能够使得通孔在后段金属线延伸方向的尺寸大于垂直于上述延伸方向的尺寸。因此,不会造成通孔与通孔之间、或者通孔与后段金属线之间的短路,能够保证半导体器件的良率。

[0077] 同时,由于通孔横截面的截面积的增加,能够减低通过中金属介质的阻抗值,从而能够有效改善半导体器件的性能。

[0078] 图10A、图10B示出了上述通孔的阻值特性和半导体器件的良率。从图10A中可以看出,虚线左边的数据为通过现有工艺所制造的开尔文通孔的阻值示意,虚线右边的数据为通过本发明所提供的制造方法所制造的开尔文通孔的阻值示意。通过计算,发现开尔文通孔的阻值有效地减低了15%。

[0079] 从图10B中可以看出,虚线左边的数据为通过现有工艺所制造的半导体器件的器件良率,虚线右边的数据为通过本发明所提供的制造方法所制造的半导体器件的器件良率。可以发现,通过本发明所提供的制造方法,能够维持半导体器件的良率,也就是说,本发

明所提供的制造方法能够在降低开尔文通孔阻值的同时不对器件性能造成不良影响。

[0080] 本发明还提供了通过上述制造方法所形成的半导体结构,上述半导体结构包括沿上述半导体结构的高度方向贯穿介质层的通孔,上述通孔互连上述半导体结构的前段器件和上述半导体结构的后段金属线,其中,上述通孔的正交于上述高度方向的横截面在上述后段金属线的延伸方向的第一尺寸大于在垂直于上述延伸方向的第二尺寸。

[0081] 进一步地,上述第一尺寸与上述第二尺寸的比值大于1.2。

[0082] 更进一步地,上述第一尺寸与上述第二尺寸的比值为1.2-1.5。

[0083] 更优地,通过在刻蚀过程中采用金属硬掩膜层的方式,能够使得上述第一尺寸与上述第二尺寸的比值为1.5-1.8。

[0084] 通过通孔的特征尺寸的增大,能够使得位于通孔中的金属介质的阻值下降。并且使得上述通孔的横截面保持在一个方向上的尺寸大于另一垂直方向上的尺寸,从而不会由于特征尺寸的增大而导致通孔与其他通孔或金属线之间的短路,以保证半导体结构的良率。

[0085] 尽管已经关于特定的示例性实施例描述了本公开,但将明显的是,可以对这些实施例做出各种修改和改变而不偏离本公开的更广泛的精神和范围。因此,本说明书和附图应被视为是说明性的含义而不是限制性的含义。

[0086] 应当理解的是,本说明书将不用于解释或限制权利要求的范围或意义。此外,在前面的详细描述中,可以看到的是,各种特征被在单个实施例中组合在一起以用于精简本公开的目的。本公开的此方法不应被解释为反映所要求保护的实施例要求比在每个权利要求中明确列举的特征更多的特征的目的。相反,如所附权利要求所反映的,创造性主题在于少于单个所公开的实施例的所有特征。因此,所附权利要求据此并入详细描述中,其中每个权利要求独立地作为单独的实施例。

[0087] 在该描述中提及的一个实施例或实施例意在结合该实施例描述的特定的特征、结构或特性被包括在电路或方法的至少一个实施例中。在说明书中各处出现的短语一个实施例不一定全部指的是同一实施例。

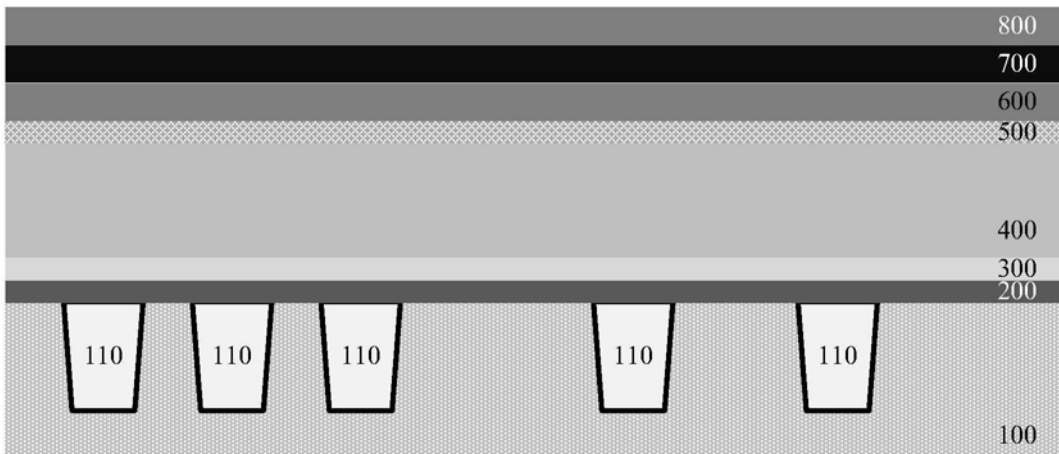


图1

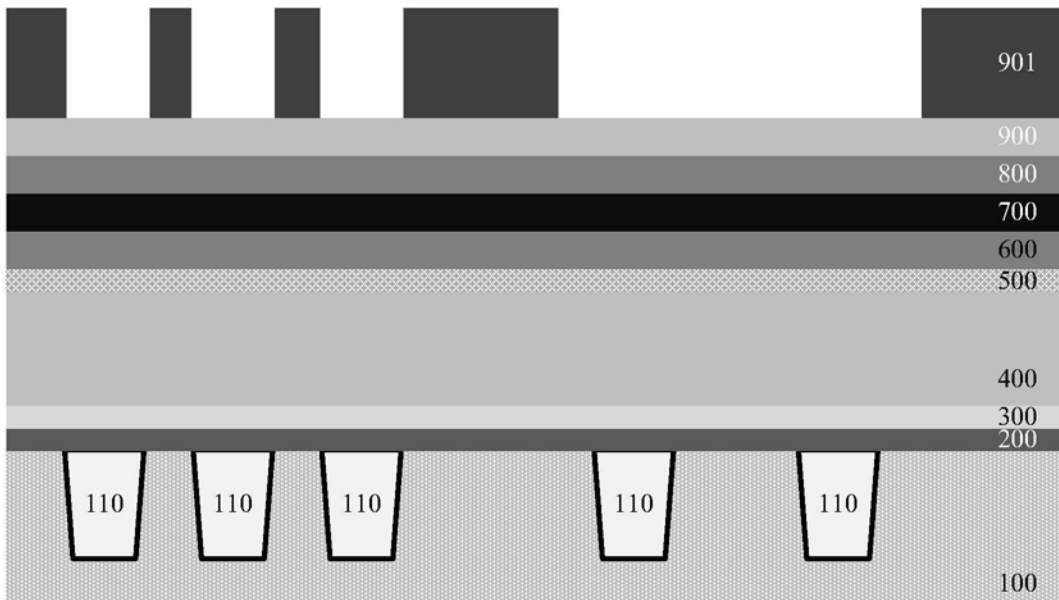


图2

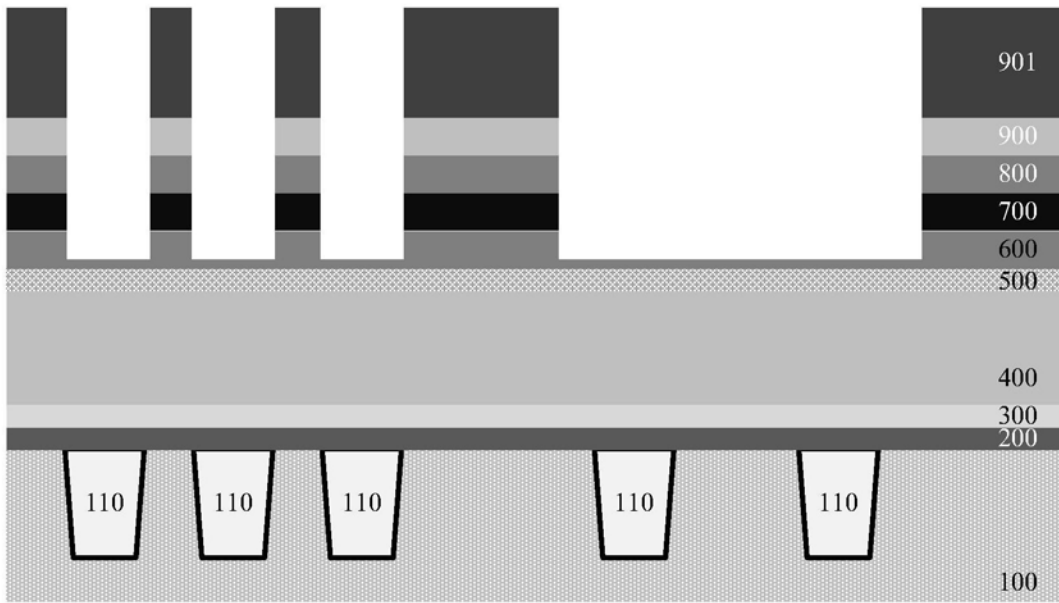


图3

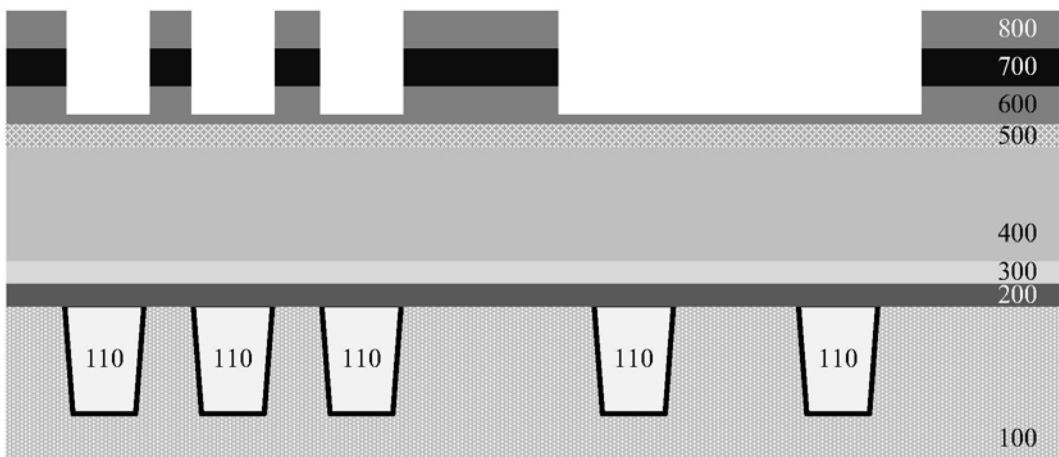


图4

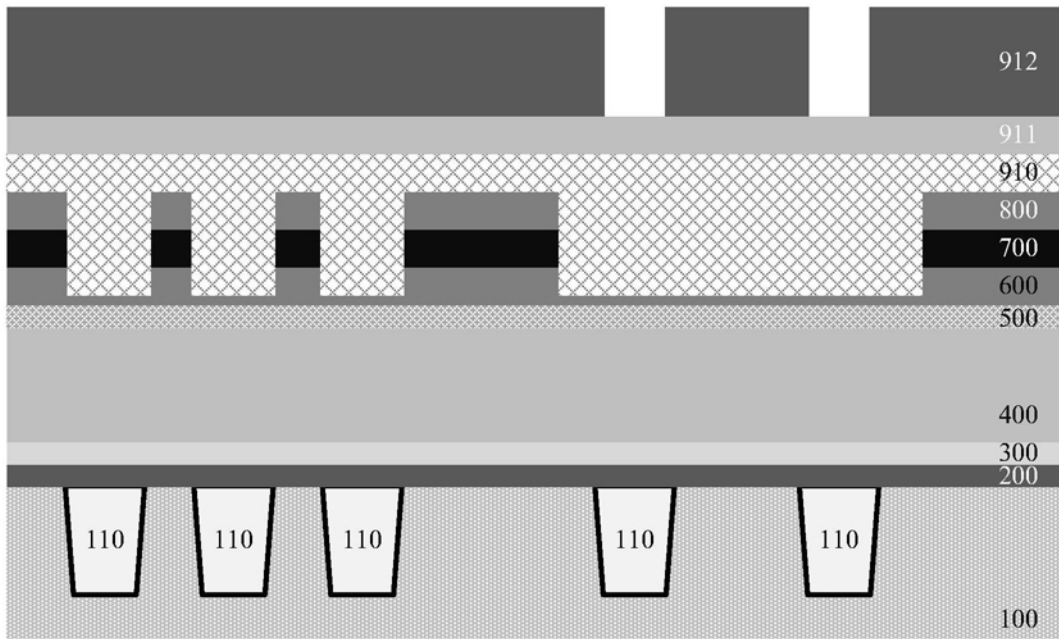


图5

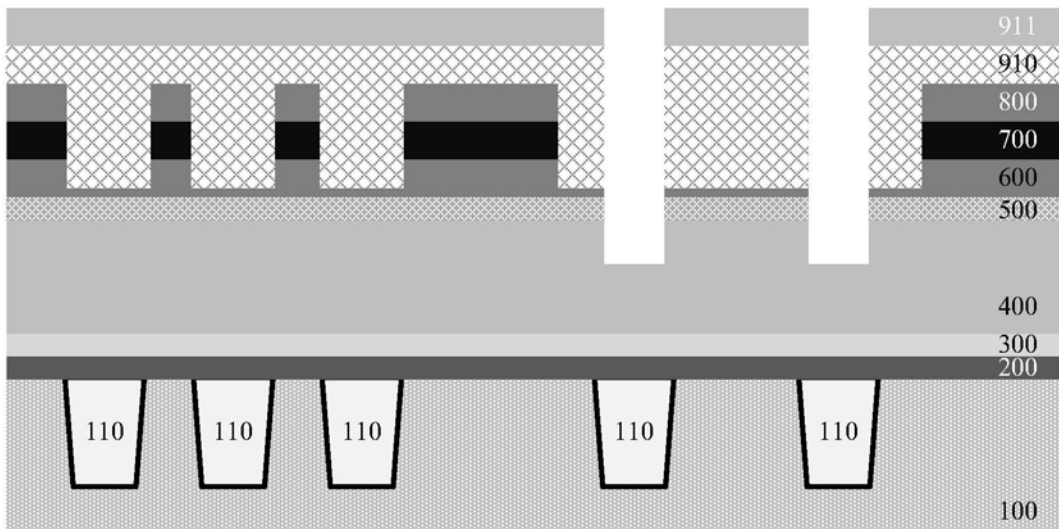


图6

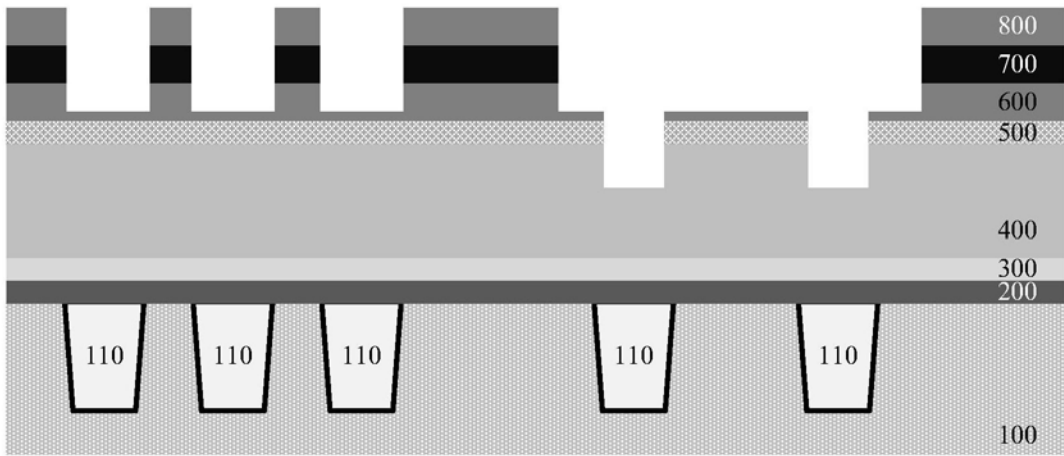


图7

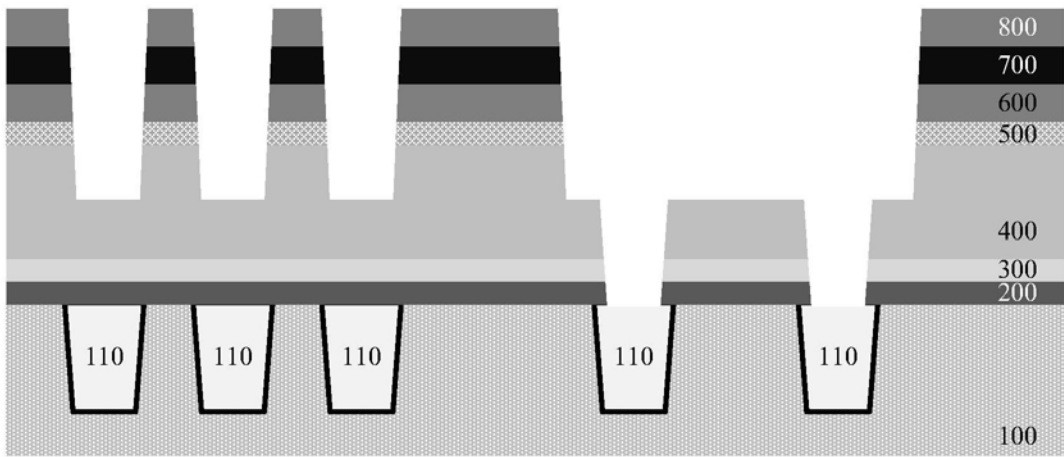


图8

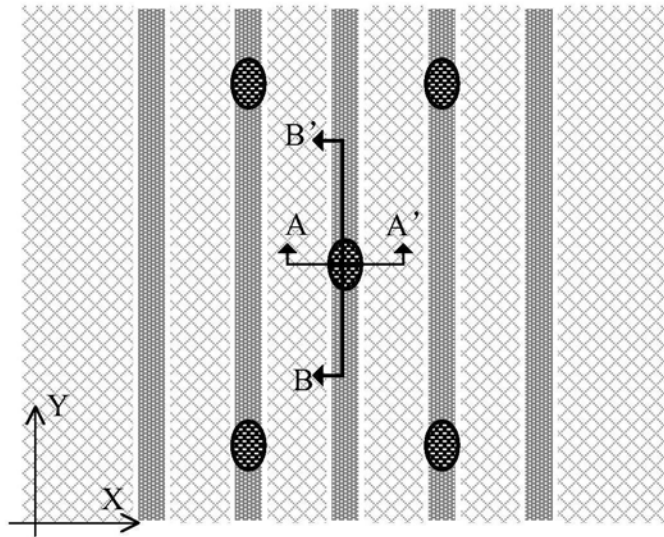


图9A

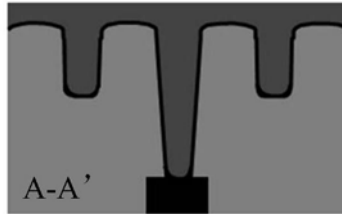


图9B



图9C

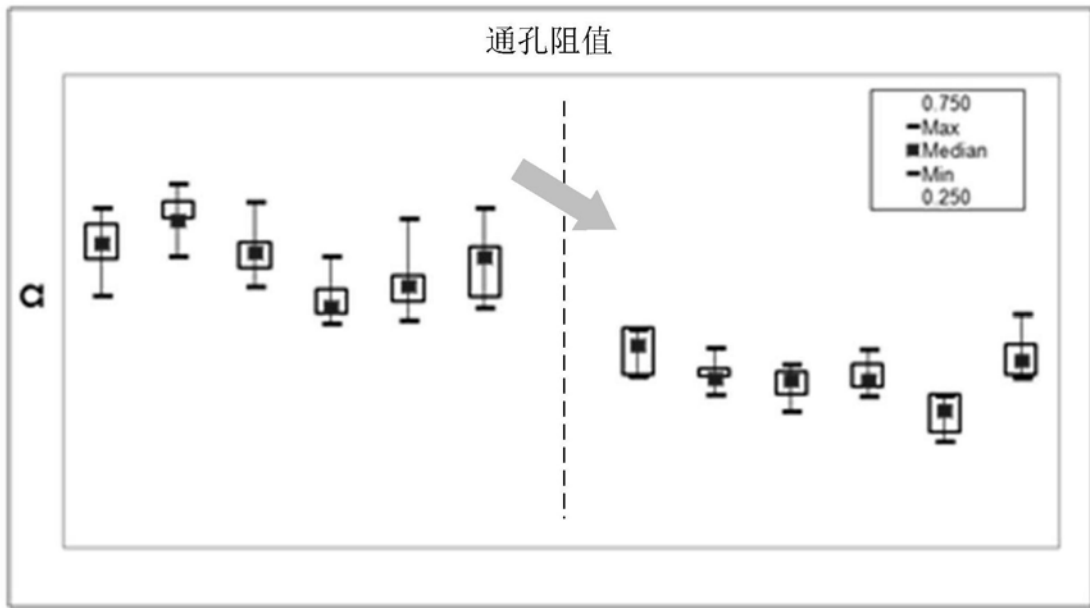


图10A

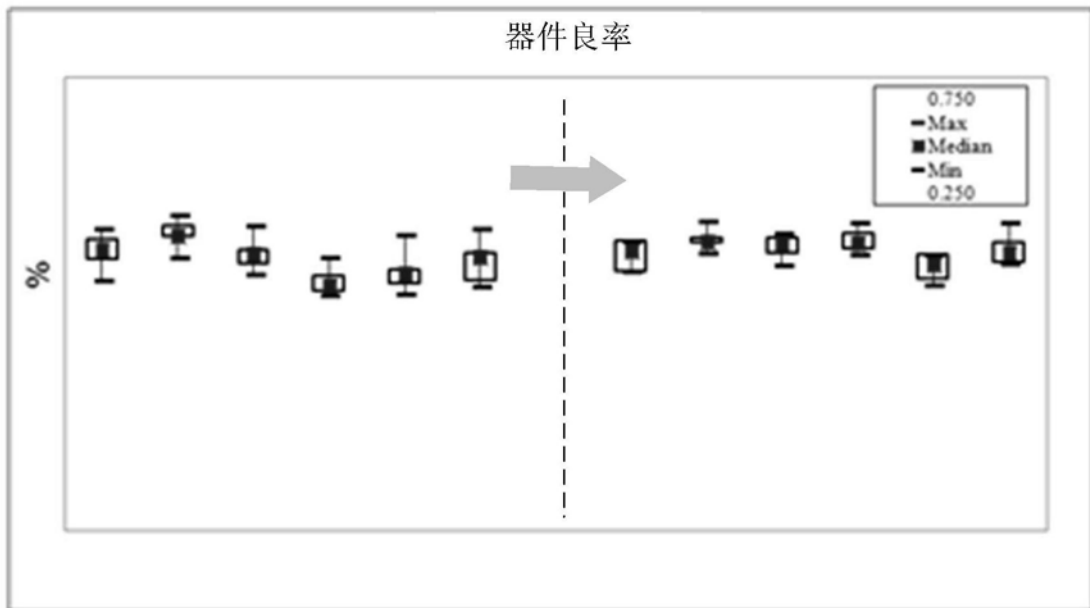


图10B