



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0137148
(43) 공개일자 2016년11월30일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>G11C 13/00</i> (2006.01) <i>G06F 12/08</i> (2016.01)
 <i>G06F 13/16</i> (2006.01) <i>G06F 9/06</i> (2006.01)
 <i>G11C 11/15</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>G11C 13/0002</i> (2013.01)
 <i>G06F 12/0802</i> (2013.01)</p> <p>(21) 출원번호 10-2015-0071839
 (22) 출원일자 2015년05월22일
 심사청구일자 없음</p> | <p>(71) 출원인
 에스케이하이닉스 주식회사
 경기도 이천시 부발읍 경충대로 2091</p> <p>(72) 발명자
 김경완
 경기도 이천시 부발읍 경충대로 2096(44) 신일 해피트리엔 8층</p> <p>(74) 대리인
 특허법인신성</p> |
|---|---|

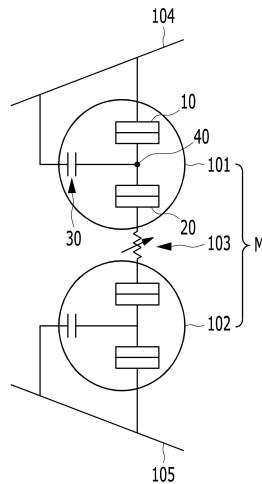
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 전자 장치

(57) 요약

본 발명의 실시예들이 해결하려는 과제는, 가변 저항 소자의 특성 향상이 가능한 반도체 메모리를 포함하는 전자 장치를 제공하는 것이다. 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치는, 반도체 메모리를 포함하는 전자 장치로서, 상기 반도체 메모리는, 가변저항패턴에 연결된 제1 및 제2선택소자를 포함하고, 상기 제1 및 제2선택소자는 단전자 트랜지스터를 포함할 수 있다. 상술한 본 발명의 실시예들에 의한 반도체 메모리를 포함하는 전자 장치에 의하면, 가변 저항 소자의 특성 향상이 가능하다.

대표도 - 도1



(52) CPC특허분류

G06F 13/1673 (2013.01)

G06F 9/06 (2013.01)

G11C 11/15 (2013.01)

G11C 13/0007 (2013.01)

명세서

청구범위

청구항 1

반도체 메모리를 포함하는 전자 장치로서,
상기 반도체 메모리는,
가변저항패턴에 연결된 제1 및 제2선택소자를 포함하고,
상기 제1 및 제2선택소자는 단전자 트랜지스터를 포함하는 전자 장치.

청구항 2

제1항에 있어서,
상기 제1 및 제2선택소자는 상기 가변저항패턴의 상부와 하부에 각각 위치하는 전자 장치.

청구항 3

제1항에 있어서,
상기 제1 및 제2선택소자는 상기 가변저항패턴의 상부 또는 하부에 함께 위치하는 전자 장치.

청구항 4

제1항에 있어서,
상기 반도체 메모리는,
제1방향으로 연장된 제1배선 및 상기 제1방향과 교차하는 제2방향으로 연장된 제2배선을 더 포함하고,
상기 제1배선과 제2배선의 교차점에 상기 가변저항패턴과 제1 및 제2선택소자가 위치하는 전자 장치.

청구항 5

제1항에 있어서,
상기 제1선택소자 및 제2선택소자는 게이트 캐패시터를 포함하고, 상기 제1배선 및 제2배선은 상기 각 선택소자의 게이트 캐패시터에 연결된 전자 장치.

청구항 6

제1항에 있어서,
상기 반도체 메모리는,
제1방향으로 연장된 제1배선 및 상기 제1방향과 교차하는 제2방향으로 연장된 제2배선과 상기 제1 및 제2배선에 각각 평행한 방향으로 연장된 제3배선 및 제4배선을 더 포함하고,

상기 제1배선과 제2배선의 교차점에 상기 가변저항패턴과 제1 및 제2선택소자가 위치하는 전자 장치.

청구항 7

제6항에 있어서,

상기 반도체 메모리는,

상기 제1선택소자 및 제2선택소자는 게이트 캐패시터를 포함하고, 상기 제3배선 및 제4배선은 상기 각 선택소자의 게이트 캐패시터에 연결된 전자 장치.

청구항 8

제1항에 있어서,

상기 가변저항패턴은 단층 또는 다층구조를 포함하는 전자 장치.

청구항 9

제1항에 있어서,

상기 가변저항패턴은 전이 금속 산화물, 페로브스카이트(Perovskite)계 물질 등과 같은 금속 산화물, 칼코게나이드(chalcogenide)계 물질 등과 같은 상변화 물질, 강유전 물질, 강자성 물질 등을 포함하는 전자 장치.

청구항 10

제1 항에 있어서,

상기 전자 장치는, 마이크로프로세서를 더 포함하고,

상기 마이크로프로세서는,

상기 마이크로프로세서 외부로부터의 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기 마이크로프로세서의 신호의 입출력 제어를 수행하는 제어부;

상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및

상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 기억부를 포함하고,

상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부인

전자 장치.

청구항 11

제1 항에 있어서,

상기 전자 장치는, 프로세서를 더 포함하고,

상기 프로세서는,

상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코어부;

상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터

의 주소를 저장하는 캐시 메모리부; 및

상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송하는 버스 인터페이스를 포함하고,

상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부인 전자 장치.

청구항 12

제1 항에 있어서,

상기 전자 장치는, 프로세싱 시스템을 더 포함하고,

상기 프로세싱 시스템은,

수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서;

상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치;

상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및

상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고,

상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부인 전자 장치.

청구항 13

제1 항에 있어서,

상기 전자 장치는, 데이터 저장 시스템을 더 포함하고,

상기 데이터 저장 시스템은,

데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치;

외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러;

상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및

상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고,

상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상기 임시 저장 장치의 일부인 전자 장치.

청구항 14

제1 항에 있어서,

상기 전자 장치는, 메모리 시스템을 더 포함하고,

상기 메모리 시스템은,

데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리;

외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러;

상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및

상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고,

상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부인 전자 장치.

발명의 설명

기술 분야

[0001] 본 특허 문헌은 메모리 회로 또는 장치와, 전자 장치에서의 이들의 응용에 관한 것이다.

배경 기술

[0002] 최근 전자기기의 소형화, 저전력화, 고성능화, 다양화 등에 따라, 컴퓨터, 휴대용 통신기기 등 다양한 전자기기에서 정보를 저장할 수 있는 반도체 장치가 요구되고 있으며, 이에 대한 연구가 진행되고 있다. 이러한 반도체 장치로는 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭하는 특성을 이용하여 데이터를 저장할 수 있는 반도체 장치 예컨대, RRAM(Resistive Random Access Memory), PRAM(Phase-change Random Access Memory), FRAM(Ferroelectric Random Access Memory), MRAM(Magnetic Random Access Memory), 이-퓨즈(E-fuse) 등이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들이 해결하려는 과제는, 가변 저항 소자의 특성 향상이 가능한 반도체 메모리를 포함하는 전자 장치를 제공하는 것이다.

과제의 해결 수단

[0004] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치는, 반도체 메모리를 포함하는 전자 장치로서, 상기 반도체 메모리는, 가변저항패턴에 연결된 제1 및 제2선택소자를 포함하고, 상기 제1 및 제2선택소자는 단전자 트랜지스터를 포함할 수 있다.

[0005] 특히, 상기 제1 및 제2선택소자는 상기 가변저항패턴의 상부와 하부에 각각 위치할 수 있고, 또는 상기 제1 및 제2선택소자는 상기 가변저항패턴의 상부 또는 하부에 함께 위치할 수 있다.

[0006] 또한, 상기 반도체 메모리는, 제1방향으로 연장된 제1배선 및 상기 제1방향과 교차하는 제2방향으로 연장된 제2배선을 더 포함하고, 상기 제1배선과 제2배선의 교차점에 상기 가변저항패턴과 제1 및 제2선택소자가 위치할 수 있다. 또한, 상기 제1선택소자 및 제2선택소자는 게이트 캐패시터를 포함하고, 상기 제1배선 및 제2배선은 상기 각 선택소자의 게이트 캐패시터에 연결될 수 있다.

[0007] 또한, 상기 반도체 메모리는, 제1방향으로 연장된 제1배선 및 상기 제1방향과 교차하는 제2방향으로 연장된 제2배선과 상기 제1 및 제2배선에 각각 평행한 방향으로 연장된 제3배선 및 제4배선을 더 포함하고, 상기 제1배선과 제2배선의 교차점에 상기 가변저항패턴과 제1 및 제2선택소자가 위치할 수 있다. 또한, 상기 반도체 메모리는, 상기 제1선택소자 및 제2선택소자는 게이트 캐패시터를 포함하고, 상기 제3배선 및 제4배선은 상기 각 선택소자의 게이트 캐패시터에 연결될 수 있다.

[0008] 또한, 상기 가변저항패턴은 단층 또는 다층구조를 포함할 수 있다. 또한, 상기 가변저항패턴은 전이 금속 산화물, 페로브스카이트(Perovskite)계 물질 등과 같은 금속 산화물, 칼코게나이드(chalcogenide)계 물질 등과 같은 상변화 물질, 강유전 물질, 강자성 물질 등을 포함할 수 있다.

[0009] 또한, 상기 전자 장치는, 마이크로프로세서를 더 포함하고, 상기 마이크로프로세서는, 상기 마이크로프로세서 외부로부터의 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기 마이크로프로세서의 실행

호의 입출력 제어를 수행하는 제어부; 상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 기억부를 포함하고, 상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부일 수 있다.

[0010] 또한, 상기 전자 장치는, 프로세서를 더 포함하고, 상기 프로세서는, 상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코어부; 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 캐시 메모리부; 및 상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송하는 버스 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부일 수 있다.

[0011] 또한, 상기 전자 장치는, 프로세싱 시스템을 더 포함하고, 상기 프로세싱 시스템은, 수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서; 상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치; 상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및 상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고, 상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부일 수 있다.

[0012] 또한, 제1 항에 있어서, 상기 전자 장치는, 데이터 저장 시스템을 더 포함하고, 상기 데이터 저장 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치; 외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러; 상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및 상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상기 임시 저장 장치의 일부일 수 있다.

[0013] 또한, 상기 전자 장치는, 메모리 시스템을 더 포함하고, 상기 메모리 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리; 외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러; 상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및 상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부일 수 있다.

발명의 효과

[0014] 상술한 본 발명의 실시예들에 의한 반도체 메모리를 포함하는 전자 장치에 의하면, 가변 저항 소자의 특성 향상이 가능하다.

도면의 간단한 설명

- [0015] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치를 설명하기 위한 회로도이다.
- 도 2는 본 발명의 제2 실시예에 따른 반도체 장치를 설명하기 위한 회로도이다.
- 도 3은 본 발명의 제1 실시예에 따른 반도체 장치를 설명하기 위한 배치도이다.
- 도 4는 본 발명의 제2 실시예에 따른 반도체 장치를 설명하기 위한 배치도이다.
- 도 5는 본 발명의 일 실시예에 따른 단전자 트랜지스터를 설명하기 위한 회로도이다.
- 도 6은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.
- 도 7은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.
- 도 8은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.
- 도 9는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.
- 도 10은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 이하에서는, 첨부된 도면을 참조하여 다양한 실시예들이 상세히 설명된다.
- [0017] 도면은 반드시 일정한 비율로 도시된 것이라 할 수 없으며, 몇몇 예시들에서, 실시예들의 특징을 명확히 보여주기 위하여 도면에 도시된 구조물 중 적어도 일부의 비례는 과장될 수도 있다. 도면 또는 상세한 설명에 둘 이상의 층을 갖는 다층 구조물이 개시된 경우, 도시된 것과 같은 층들의 상대적인 위치 관계나 배열 순서는 특정 실시예를 반영할 뿐이어서 본 발명이 이에 한정되는 것은 아니며, 층들의 상대적인 위치 관계나 배열 순서는 달라질 수도 있다. 또한, 다층 구조물의 도면 또는 상세한 설명은 특정 다층 구조물에 존재하는 모든 층들을 반영하지 않을 수도 있다(예를 들어, 도시된 두 개의 층 사이에 하나 이상의 추가 층이 존재할 수도 있다). 예컨대, 도면 또는 상세한 설명의 다층 구조물에서 제1 층이 제2 층 상에 있거나 또는 기판상에 있는 경우, 제1 층이 제2 층 상에 직접 형성되거나 또는 기판상에 직접 형성될 수 있음을 나타낼 뿐만 아니라, 하나 이상의 다른 층이 제1 층과 제2 층 사이 또는 제1 층과 기판 사이에 존재하는 경우도 나타낼 수 있다.
- [0018] 도면의 설명에 앞서, 본 실시예의 스위칭 소자 및 메모리 소자에 대해 먼저 개괄적으로 설명하기로 한다.
- [0019] 스위칭 소자는 턴온되어 전류를 흘리거나 턴오프되어 전류를 차단하는 소자를 의미할 수 있고, 다이오드, 트랜지스터, 절연 물질로 형성된 터널배리어(tunnel barrier), MIT(Metal Insulator Transition) 소자, 배리스터(Varistor), 오보닉 임계 스위칭(Ovonic Threshold Switching, OTS) 소자 등을 포함할 수 있다. 이러한 스위칭 소자는 메모리 소자의 일단과 직렬 연결될 수 있으며, 이러한 경우 메모리 소자로의 액세스(access)를 제어하는 선택 소자로서 기능할 수 있다.
- [0020] 메모리 소자는 인가되는 전압 또는 전류를 따라 서로 다른 저항 상태 사이에서 전이하는 가변 저항 특성을 이용하여 데이터를 저장할 수 있다. 메모리 소자는 전압 또는 전류의 인가를 위한 두 개의 전극과, 두 개의 전극 사이에 개재되는 가변 저항 물질을 포함할 수 있다. 여기서, 가변 저항 물질은, RRAM, PRAM, FRAM, MRAM 등에 이용되는 다양한 물질 예컨대, 전이 금속 질화물, 전이 금속 산화물, 페로브스카이트(perovskite)계 물질 등과 같은 금속 산화물, 칼코게나이드(chalcogenide)계 물질 등과 같은 상변화 물질, 강유전 물질, 강자성 물질 등을 포함하는 단일막 또는 다중막을 포함할 수 있다.
- [0021] 서로 연결된 스위칭 소자 및 메모리 소자는 단위 메모리 셀을 구성할 수 있다. 복수의 메모리 셀은 다양하게 배열되어 셀 어레이를 구성할 수 있다. 특히, 복수의 메모리 셀이 서로 교차하는 두 배선 예컨대, 소스라인과 비트라인 사이에서 이들의 교차점에 형성되는 셀 어레이를 크로스 포인트(cross point) 셀 어레이라고 할 수 있다.
- [0022] 도 1은 본 발명의 제1 실시예에 따른 반도체 장치를 설명하기 위한 회로도이다. 도 3은 본 발명의 제1 실시예에 따른 반도체 장치의 동작을 설명하기 위한 레이아웃도이다. 동일한 도면부호는 동일한 부분을 가리키며, 이해를 돕기 위해 도 1 및 3을 함께 설명하기로 한다. 도 5는 본 발명의 일 실시예에 따른 단전자 트랜지스터를 설명하기 위한 회로도이다.
- [0023] 도 1 및 도 3에 도시된 바와 같이, 본 실시예에 따른 반도체 장치는 1개의 메모리 소자(103)와 제1 및 제2 단전자 트랜지스터(101, 102)로 구성된 단위 메모리 셀(M)을 포함할 수 있다. 제1 및 제2 단전자 트랜지스터(101, 102)는 메모리 셀(M)의 스위칭 소자 즉, 메모리 소자(103)를 액세스 하기 위한 선택소자로 역할할 수 있다. 제1 및 제2 단전자 트랜지스터(101, 102)는 메모리 소자(103)의 상부 및 하부에 각각 위치할 수 있고, 메모리 소자(103)에 직렬로 연결될 수 있다. 그러나, 이에 한정되지 않으며 메모리 소자(103)의 상부나 하부에 2개의 트랜지스터가 함께 위치할 수 있다.
- [0024] 또한, 메모리 셀(M)의 상하부에 각각 제1배선(104) 및 제2배선(105)이 연결될 수 있다. 제1배선(104)은 제1방향으로 연장될 수 있고, 제2배선(105)은 제1방향과 교차하는 제2방향으로 연장될 수 있다. 메모리 셀(M)은 도 3에 도시된 바와 같이, 제1배선(104)과 제2배선(105)이 교차되는 영역에 위치할 수 있다.
- [0025] 특히, 본 실시예에서는 제1 및 제2 단전자 트랜지스터(101, 102)가 메모리 셀(M)의 상하부에 위치하여 제1 및 제2배선(104, 105)에 각각 연결될 수 있다. 제1 및 제2 단전자 트랜지스터(101, 102)는 2개의 터널 캐패시터(10, 20), 1개의 게이트 캐패시터(30) 및 QD(Quantum Dot, 40)으로 구성될 수 있다. 제1 및 제2 단전자 트랜지스터(101, 102)의 게이트 캐패시터(30)는 제1 및 제2배선(104, 105)에 연결되어 제1 및 제2 단전자 트랜지스터(101, 102)에 각각 바이어스(Bias)를 인가할 수 있다.
- [0026] 도 5에 도시된 바와 같이, 본 실시예에 따른 단전자 트랜지스터(Single Electron Transistor, SET)는 2개의 터

널 캐패시터(10, 20, Tunnel Capacitor), 1개의 게이트 캐패시터(30, Gate Capacitor) 및 QD(Quantum Dot, 40)으로 구성될 수 있다. 단전자 트랜지스터는 동작 특성상 낮은 전류를 흐르게 하므로, 저전력 소자의 선택소자로 역할할 수 있다.

- [0027] 터널 캐패시터(10, 20)는 2개의 전극(electrode)과 이들 사이에 개재된 유전체(Insulator)로 구성될 수 있으며, 특히 얇은 유전체로 전자(Electron)의 터널링(Tunneling)에 의해 약한 전류가 흐를 수 있다. 게이트 캐패시터(30) 역시 터널 캐패시터(10, 20)와 동일한 구성 즉, 2개의 전극(electrode)과 이들 사이에 개재된 유전체(Insulator)로 구성될 수 있으며, QD(40)에 일정한 바이어스(Bias)를 인가하여 양자화 밴드(quantized band)의 레벨(Level)을 바꾸는 역할을 할 수 있다. QD(40)은 나노 크기의 1개의 양자점으로, 전자 밴드(electrical band)가 양자화되는 특성을 가질 수 있다.
- [0028] 본 실시예에 따른 단전자 트랜지스터는 QD(40)의 전자(Electron)가 위치할 수 있는 상태(State)가 양자화되어 있으므로, 게이트 캐패시터(30)에 의해 가해진 바이어스에 따라 전자가 위치할 수 있거나, 그렇지 않을 수 있다.
- [0029] 제1 및 제2 단전자 트랜지스터(101, 102)는 게이트 캐패시터(30)에 의해 인가되는 바이어스에 따라서 전류(Current)의 온/오프(On/Off)를 조절할 수 있으며, 이때 공정 변화에 따라 온(On)되는 게이트 바이어스(Gate bias)를 조절할 수 있다.
- [0030] 제1 및 제2 단전자 트랜지스터(101, 102)를 이용한 동작 과정은 다음과 같다. 먼저, 제1배선(104)이 온되면 이와 연결된 제1 단전자 트랜지스터(101)가 켜지고, 전류가 흐르게 된다(301). 또한, 오프된 배선과 연결된 단전자 트랜지스터는 켜지지 않으므로, 이에 들어가는 전류는 0에 가깝게 된다. 동일한 방법으로, 제2배선(105)이 온되면 이와 연결된 제2 단전자 트랜지스터(102)가 켜지고, 전류가 흐르게 된다(302). 결과적으로, 제1 및 제2 단전자 트랜지스터(101, 102)가 모두 온 상태에 있는 타겟 메모리 셀(303)에만 전류가 흐르고, 나머지 셀로 흘러가는 전류는, 낮은 전류를 흐르게 하는 단전자 트랜지스터의 동작 특성에 의해 0에 가깝게 되며, 스니크 전류(Sneak current)를 최소화시킬 수 있다.
- [0031] 도 2는 본 발명의 제2 실시예에 따른 반도체 장치를 설명하기 위한 회로도이다. 도 4는 본 발명의 제2 실시예에 따른 반도체 장치를 설명하기 위한 배치도이다. 동일한 도면부호는 동일한 부분을 가리키며, 이해를 돕기 위해 도 2 및 4를 함께 설명하기로 한다.
- [0032] 도 2 및 도 4에 도시된 바와 같이, 본 실시예에 따른 반도체 장치는 1개의 메모리 소자(203)와 제1 및 제2 단전자 트랜지스터(201, 202)로 구성된 단위 메모리 셀(M)을 포함할 수 있다. 제1 및 제2 단전자 트랜지스터(201, 202)는 메모리 셀(M)의 스위칭 소자 즉, 메모리 소자(203)를 액세스 하기 위한 선택소자로 역할할 수 있다. 제1 및 제2 단전자 트랜지스터(101, 102)는 메모리 소자(203)의 상부에 함께 위치하여 직렬로 연결될 수 있다. 그러나, 이에 한정되지 않으며 메모리 소자(203)의 하부에, 또는 메모리 소자(203)의 상부와 하부에 각각 위치할 수 있다.
- [0033] 또한, 메모리 셀(M)의 상하부에 각각 제1배선(204) 및 제2배선(205)이 연결될 수 있다. 제1배선(204)은 제1방향으로 연장될 수 있고, 제2배선(205)은 제1방향과 교차하는 제2방향으로 연장될 수 있다. 메모리 셀(M)은 도 4에 도시된 바와 같이, 제1배선(204)과 제2배선(205)이 교차되는 영역에 위치할 수 있다.
- [0034] 또한, 메모리 셀(M)은 제1 및 제2 단전자 트랜지스터(201, 202)에 각각 연결된 제3배선(206) 및 제4배선(207)을 더 포함할 수 있다. 제3배선(206) 및 제4배선(207)은 제1 및 제2 단전자 트랜지스터(201, 202)의 게이트 캐패시터(30)에 각각 연결되어 바이어스(Bias)를 인가할 수 있다. 제3배선(206)과 제4배선(207)은 제1 및 제2배선(204, 205)에 각각 평행하는 방향으로 연장될 수 있다.
- [0035] 제1 및 제2 단전자 트랜지스터(201, 202)는 게이트 캐패시터(30)와 연결된 제3배선(206) 및 제4배선(207)에 신호(Signal)를 어드레싱(Addressing) 함으로써 전체 어레이(Array)에서 원하는 셀만 선택할 수 있다.
- [0036] 제1 및 제2 단전자 트랜지스터(201, 202)와 제3배선(206) 및 제4배선(207)을 이용한 동작 과정은 다음과 같다. 먼저, 제3배선(206)의 방향으로 연결된 제1 단전자 트랜지스터(201)에 [001000] 주소를 인가하고, 제4배선(207)의 방향으로 연결된 제2 단전자 트랜지스터(202)에 [001000] 주소를 인가한다. 이후, 제1 및 제2배선(204, 205)을 통해 타겟 메모리 셀(401)에 액세스(Access)하면 타겟 메모리 셀(401)만 온(On)되고, 나머지 메모리 셀들은 오프(Off) 상태가 되어, 스니크 프리(Sneak free) 상태가 될 수 있다.
- [0037] 기술한 실시예들의 메모리 회로 또는 반도체 장치는 다양한 장치 또는 시스템에 이용될 수 있다. 도 6 내지 도

0은 전술한 실시예들의 메모리 회로 또는 반도체 장치를 구현할 수 있는 장치 또는 시스템의 몇몇 예시들을 나타낸다.

- [0038] 도 6은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.
- [0039] 도 6을 참조하면, 마이크로프로세서(1000)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행할 수 있으며, 기억부(1010), 연산부(1020), 제어부(1030) 등을 포함할 수 있다. 마이크로프로세서(1000)는 중앙 처리 장치(Central Processing Unit; CPU), 그래픽 처리 장치(Graphic Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 어플리케이션 프로세서(Application Processor; AP) 등 각종 데이터 처리 장치 일 수 있다.
- [0040] 기억부(1010)는 프로세서 레지스터(Processor register), 레지스터(Register) 등으로, 마이크로프로세서(1000) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1010)는 연산부(1020)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다.
- [0041] 기억부(1010)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예컨대, 기억부(1010)는 가변 저항패턴에 연결된 제1 및 제2선택소자를 포함하고, 상기 제1 및 제2선택소자는 단전자 트랜지스터를 포함할 수 있다. 이를 통해, 기억부(1010)의 데이터 저장 특성이 향상될 수 있다. 결과적으로, 마이크로프로세서(1000)의 동작 특성 향상이 가능하다.
- [0042] 연산부(1020)는 제어부(1030)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산 또는 논리 연산을 수행할 수 있다. 연산부(1020)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다.
- [0043] 제어부(1030)는 기억부(1010), 연산부(1020), 마이크로프로세서(1000)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 마이크로프로세서(1000)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0044] 본 실시예에 따른 마이크로프로세서(1000)는 기억부(1010) 이외에 외부 장치로부터 입력되거나 외부 장치로 출력할 데이터를 임시 저장할 수 있는 캐시 메모리부(1040)를 추가로 포함할 수 있다. 이 경우 캐시 메모리부(1040)는 버스 인터페이스(1050)를 통해 기억부(1010), 연산부(1020) 및 제어부(1030)와 데이터를 주고 받을 수 있다.
- [0045] 도 7은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.
- [0046] 도 7을 참조하면, 프로세서(1100)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행하는 마이크로프로세서의 기능 이외에 다양한 기능을 포함하여 성능 향상 및 다기능을 구현할 수 있다. 프로세서(1100)는 마이크로프로세서의 역할을 하는 코어부(1110), 데이터를 임시 저장하는 역할을 하는 캐시 메모리부(1120) 및 내부와 외부 장치 사이의 데이터 전달을 위한 버스 인터페이스(1130)를 포함할 수 있다. 프로세서(1100)는 멀티 코어 프로세서(Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP) 등과 같은 각종 시스템 온 칩(System on Chip; SoC)을 포함할 수 있다.
- [0047] 본 실시예의 코어부(1110)는 외부 장치로부터 입력된 데이터를 산술 논리 연산하는 부분으로, 기억부(1111), 연산부(1112) 및 제어부(1113)를 포함할 수 있다.
- [0048] 기억부(1111)는 프로세서 레지스터(Processor register), 레지스터(Register) 등으로, 프로세서(1100) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1111)는 연산부(1112)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다. 연산부(1112)는 프로세서(1100)의 내부에서 연산을 수행하는 부분으로, 제어부(1113)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산, 논리 연산 등을 수행할 수 있다. 연산부(1112)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다. 제어부(1113)는 기억부(1111), 연산부(1112), 프로세서(1100)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 프로세서(1100)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.

- [0049] 캐시 메모리부(1120)는 고속으로 동작하는 코어부(1110)와 저속으로 동작하는 외부 장치 사이의 데이터 처리 속도 차이를 보완하기 위해 임시로 데이터를 저장하는 부분으로, 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123)를 포함할 수 있다. 일반적으로 캐시 메모리부(1120)는 1차, 2차 저장부(1121, 1122)를 포함하며 고용량이 필요할 경우 3차 저장부(1123)를 포함할 수 있으며, 필요시 더 많은 저장부를 포함할 수 있다. 즉 캐시 메모리부(1120)가 포함하는 저장부의 개수는 설계에 따라 달라질 수 있다. 여기서, 1차, 2차, 3차 저장부(1121, 1122, 1123)의 데이터 저장 및 판별하는 처리 속도는 같을 수도 있고 다를 수도 있다. 각 저장부의 처리 속도가 다른 경우, 1차 저장부의 속도가 제일 빠를 수 있다. 캐시 메모리부(1120)의 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123) 중 하나 이상의 저장부는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 캐시 메모리부(1120)는 가변저항페턴에 연결된 제1 및 제2선택소자를 포함하고, 상기 제1 및 제2선택소자는 단전자 트랜지스터를 포함할 수 있다. 이를 통해, 캐시 메모리부(1120)의 데이터 저장 특성이 향상될 수 있다. 결과적으로, 프로세서(1100)의 동작 특성 향상이 가능하다.
- [0050] 도 7에는 1차, 2차, 3차 저장부(1121, 1122, 1123)가 모두 캐시 메모리부(1120)의 내부에 구성된 경우를 도시하였으나, 캐시 메모리부(1120)의 1차, 2차, 3차 저장부(1121, 1122, 1123)는 모두 코어부(1110)의 외부에 구성되어 코어부(1110)와 외부 장치간의 처리 속도 차이를 보완할 수 있다. 또는, 캐시 메모리부(1120)의 1차 저장부(1121)는 코어부(1110)의 내부에 위치할 수 있고, 2차 저장부(1122) 및 3차 저장부(1123)는 코어부(1110)의 외부에 구성되어 처리 속도 차이의 보완 기능이 보다 강화될 수 있다. 또는, 1차, 2차 저장부(1121, 1122)는 코어부(1110)의 내부에 위치할 수 있고, 3차 저장부(1123)는 코어부(1110)의 외부에 위치할 수 있다.
- [0051] 버스 인터페이스(1130)는 코어부(1110), 캐시 메모리부(1120) 및 외부 장치를 연결하여 데이터를 효율적으로 전송할 수 있게 해주는 부분이다.
- [0052] 본 실시예에 따른 프로세서(1100)는 다수의 코어부(1110)를 포함할 수 있으며 다수의 코어부(1110)가 캐시 메모리부(1120)를 공유할 수 있다. 다수의 코어부(1110)와 캐시 메모리부(1120)는 직접 연결되거나, 버스 인터페이스(1130)를 통해 연결될 수 있다. 다수의 코어부(1110)는 모두 상술한 코어부의 구성과 동일하게 구성될 수 있다. 프로세서(1100)가 다수의 코어부(1110)를 포함할 경우, 캐시 메모리부(1120)의 1차 저장부(1121)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고 2차 저장부(1122)와 3차 저장부(1123)는 다수의 코어부(1110)의 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다. 여기서, 1차 저장부(1121)의 처리 속도가 2차, 3차 저장부(1122, 1123)의 처리 속도보다 빠를 수 있다. 다른 실시예에서, 1차 저장부(1121)와 2차 저장부(1122)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고, 3차 저장부(1123)는 다수의 코어부(1110) 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다.
- [0053] 본 실시예에 따른 프로세서(1100)는 데이터를 저장하는 임베디드(Embedded) 메모리부(1140), 외부 장치와 유선 또는 무선으로 데이터를 송수신할 수 있는 통신모듈부(1150), 외부 기억 장치를 구동하는 메모리 컨트롤부(1160), 외부 인터페이스 장치에 프로세서(1100)에서 처리된 데이터나 외부 입력장치에서 입력된 데이터를 가공하고 출력하는 미디어처리부(1170) 등을 추가로 포함할 수 있으며, 이 이외에도 다수의 모듈과 장치를 포함할 수 있다. 이 경우 추가된 다수의 모듈들은 버스 인터페이스(1130)를 통해 코어부(1110), 캐시 메모리부(1120) 및 상호간 데이터를 주고 받을 수 있다.
- [0054] 여기서 임베디드 메모리부(1140)는 휘발성 메모리뿐만 아니라 비휘발성 메모리를 포함할 수 있다. 휘발성 메모리는 DRAM(Dynamic Random Access Memory), Mobile DRAM, SRAM(Static Random Access Memory), 및 이와 유사한 기능을 하는 메모리 등을 포함할 수 있으며, 비휘발성 메모리는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory), 및 이와 유사한 기능을 수행하는 메모리 등을 포함할 수 있다.
- [0055] 통신모듈부(1150)는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 둘을 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Power Line Communication; PLC) 등을 포함할 수 있다. 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency

Identification), 롱텀에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

- [0056] 메모리 컨트롤부(1160)는 프로세서(1100)와 서로 다른 통신 규격에 따라 동작하는 외부 저장 장치 사이에 전송되는 데이터를 처리하고 관리하기 위한 것으로 각종 메모리 컨트롤러, 예를 들어, IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), RAID(Redundant Array of Independent Disks), SSD(Solid State Disk), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등을 제어하는 컨트롤러를 포함할 수 있다.
- [0057] 미디어처리부(1170)는 프로세서(1100)에서 처리된 데이터나 외부 입력장치로부터 영상, 음성 및 기타 형태로 입력된 데이터를 가공하고, 이 데이터를 외부 인터페이스 장치로 출력할 수 있다. 미디어처리부(1170)는 그래픽 처리 장치(Graphics Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 고선명 오디오(High Definition Audio; HD Audio), 고선명 멀티미디어 인터페이스(High Definition Multimedia Interface; HDMI) 컨트롤러 등을 포함할 수 있다.
- [0058] 도 8은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.
- [0059] 도 8을 참조하면, 시스템(1200)은 데이터를 처리하는 장치로, 데이터에 대하여 일련의 조작을 행하기 위해 입력, 처리, 출력, 통신, 저장 등을 수행할 수 있다. 시스템(1200)은 프로세서(1210), 주기억장치(1220), 보조 기억장치(1230), 인터페이스 장치(1240) 등을 포함할 수 있다. 본 실시예의 시스템(1200)은 컴퓨터(Computer), 서버(Server), PDA(Personal Digital Assistant), 휴대용 컴퓨터(Portable Computer), 웹 태블릿(Web Tablet), 무선 폰(Wireless Phone), 모바일 폰(Mobile Phone), 스마트 폰(Smart Phone), 디지털 뮤직 플레이어(Digital Music Player), PMP(Portable Multimedia Player), 카메라(Camera), 위성항법장치(Global Positioning System; GPS), 비디오 카메라(Video Camera), 음성 녹음기(Voice Recorder), 텔레매틱스(Telematics), AV시스템(Audio Visual System), 스마트 텔레비전(Smart Television) 등 프로세스를 사용하여 동작하는 각종 전자 시스템일 수 있다.
- [0060] 프로세서(1210)는 입력된 명령어의 해석과 시스템(1200)에 저장된 자료의 연산, 비교 등의 처리를 제어할 수 있고, 마이크로프로세서(Micro Processor Unit; MPU), 중앙 처리 장치(Central Processing Unit; CPU), 싱글/멀티 코어 프로세서(Single/Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP), 디지털 신호 처리 장치(Digital Signal Processor; DSP) 등을 포함할 수 있다.
- [0061] 주기억장치(1220)는 프로그램이 실행될 때 보조기억장치(1230)로부터 프로그램 코드나 자료를 이동시켜 저장, 실행시킬 수 있는 기억장소로, 전원이 끊어져도 기억된 내용이 보존될 수 있다. 주기억장치(1220)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 주기억장치(1220)는 가변저항패턴에 연결된 제1 및 제2선택소자를 포함하고, 상기 제1 및 제2선택소자는 단전자 트랜지스터를 포함할 수 있다. 이를 통해, 주기억장치(1220)의 데이터 저장 특성이 향상될 수 있다. 결과적으로, 시스템(1200)의 동작 특성 향상이 가능하다.
- [0062] 또한, 주기억장치(1220)는 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 주기억장치(1220)는 전술한 실시예의 반도체 장치를 포함하지 않고, 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 포함할 수 있다.
- [0063] 보조기억장치(1230)는 프로그램 코드나 데이터를 보관하기 위한 기억장치를 말한다. 주기억장치(1220)보다 속도는 느리지만 많은 자료를 보관할 수 있다. 보조기억장치(1230)는 전술한 반도체 장치의 실시예들 중 하나 이상

을 포함할 수 있다. 예를 들어, 보조기억장치(1230)는 가변저항패턴에 연결된 제1 및 제2선택소자를 포함하고, 상기 제1 및 제2선택소자는 단전자 트랜지스터를 포함할 수 있다. 이를 통해, 보조기억장치(1230)의 데이터 저장 특성이 향상될 수 있다. 결과적으로, 시스템(1200)의 동작 특성 향상이 가능하다.

[0064] 또한, 보조기억장치(1230)는 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 데이터 저장 시스템(도 9의 1300 참조)을 더 포함할 수 있다. 이와는 다르게, 보조기억장치(1230)는 전술한 실시예의 반도체 장치를 포함하지 않고 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 데이터 저장 시스템(도 10의 1300 참조)들을 포함할 수 있다.

[0065] 인터페이스 장치(1240)는 본 실시예의 시스템(1200)과 외부 장치 사이에서 명령, 데이터 등을 교환하기 위한 것일 수 있으며, 키패드(keypad), 키보드(keyboard), 마우스(Mouse), 스피커(Speaker), 마이크(Mike), 표시장치(Display), 각종 휴먼 인터페이스 장치(Human Interface Device; HID), 통신장치 등일 수 있다. 통신장치는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Power Line Communication; PLC) 등을 포함할 수 있으며, 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency IDentification), 롱텀 에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0066] 도 9는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.

[0067] 도 9를 참조하면, 데이터 저장 시스템(1300)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 저장 장치(1310), 이를 제어하는 컨트롤러(1320), 외부 장치와의 연결을 위한 인터페이스(1330), 및 데이터를 임시 저장하기 위한 임시 저장 장치(1340)를 포함할 수 있다. 데이터 저장 시스템(1300)은 하드 디스크(Hard Disk Drive; HDD), 광학 드라이브(Compact Disc Read Only Memory; CDRom), DVD(Digital Versatile Disc), 고상 디스크(Solid State Disk; SSD) 등의 디스크 형태와 USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.

[0068] 저장 장치(1310)는 데이터를 반 영구적으로 저장하는 비휘발성 메모리를 포함할 수 있다. 여기서, 비휘발성 메모리는, ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

[0069] 컨트롤러(1320)는 저장 장치(1310)와 인터페이스(1330) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해

컨트롤러(1320)는 데이터 저장 시스템(1300) 외부에서 인터페이스(1330)를 통해 입력된 명령어들을 처리하기 위한 연산 등을 수행하는 프로세서(1321)를 포함할 수 있다.

[0070] 인터페이스(1330)는 데이터 저장 시스템(1300)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것이다. 데이터 저장 시스템(1300)이 카드인 경우, 인터페이스(1330)는, USB(Universal Serial Bus Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스들과 호환될 수 있거나, 또는, 이들 장치와 유사한 장치에서 사용되는 인터페이스들과 호환될 수 있다. 데이터 저장 시스템(1300)이 디스크 형태일 경우, 인터페이스(1330)는 IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus) 등과 같은 인터페이스와 호환될 수 있거나, 또는, 이들 인터페이스와 유사한 인터페이스와 호환될 수 있다. 인터페이스(1330)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.

[0071] 임시 저장 장치(1340)는 외부 장치와의 인터페이스, 컨트롤러, 및 시스템의 다양화, 고성능화에 따라 인터페이스(1330)와 저장 장치(1310)간의 데이터의 전달을 효율적으로 하기 위하여 데이터를 임시로 저장할 수 있다. 임시 저장 장치(1340)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 임시 저장 장치(1340)는 가변저항패턴에 연결된 제1 및 제2선택소자를 포함하고, 상기 제1 및 제2선택소자는 단전자 트랜지스터를 포함할 수 있다. 이를 통해, 임시 저장 장치(1340)의 데이터 저장 특성이 향상될 수 있다. 결과적으로, 데이터 저장 시스템(1300)의 동작 특성 향상이 가능하다.

[0072] 도 10은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.

[0073] 도 10을 참조하면, 메모리 시스템(1400)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 메모리(1410), 이를 제어하는 메모리 컨트롤러(1420), 외부 장치와의 연결을 위한 인터페이스(1430) 등을 포함할 수 있다. 메모리 시스템(1400)은 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.

[0074] 데이터를 저장하는 메모리(1410)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 메모리(1410)는 가변저항패턴에 연결된 제1 및 제2선택소자를 포함하고, 상기 제1 및 제2선택소자는 단전자 트랜지스터를 포함할 수 있다. 이를 통해, 메모리(1410)의 데이터 저장 특성이 향상될 수 있다. 결과적으로, 메모리 시스템(1400)의 동작 특성 향상이 가능하다.

[0075] 더불어, 본 실시예의 메모리는 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

[0076] 메모리 컨트롤러(1420)는 메모리(1410)와 인터페이스(1430) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 메모리 컨트롤러(1420)는 메모리 시스템(1400) 외부에서 인터페이스(1430)를 통해 입력된 명령어들을 처리 연산하기 위한 프로세서(1421)를 포함할 수 있다.

[0077] 인터페이스(1430)는 메모리 시스템(1400)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것으로, USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스와 호환될 수 있거나, 또는, 이들 장치들과 유사한 장치들에서 사용되는 인터페이스와 호환될 수 있다. 인터페이스(1430)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.

[0078] 본 실시예의 메모리 시스템(1400)은 외부 장치와의 인터페이스, 메모리 컨트롤러, 및 메모리 시스템의 다양화, 고성능화에 따라 인터페이스(1430)와 메모리(1410)간의 데이터의 입출력을 효율적으로 전달하기 위한 버퍼 메모리(1440)를 더 포함할 수 있다. 데이터를 임시로 저장하는 버퍼 메모리(1440)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 버퍼 메모리(1440)는 가변저항패턴에 연결된 제1 및 제2선택소자를 포함하고, 상기 제1 및 제2선택소자는 단전자 트랜지스터를 포함할 수 있다. 이를 통해, 버퍼 메모리(1440)의 데이터 저장 특성이 향상될 수 있다. 결과적으로, 메모리 시스템(1400)의 동작 특성 향상이 가능하다.

[0079] 더불어, 본 실시예의 버퍼 메모리(1440)는 휘발성인 특성을 가지는 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 버퍼 메모리(1440)는 전술한 실시예의 반도체 장치를 포함하지 않고 휘발성인 특성을 가지는 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

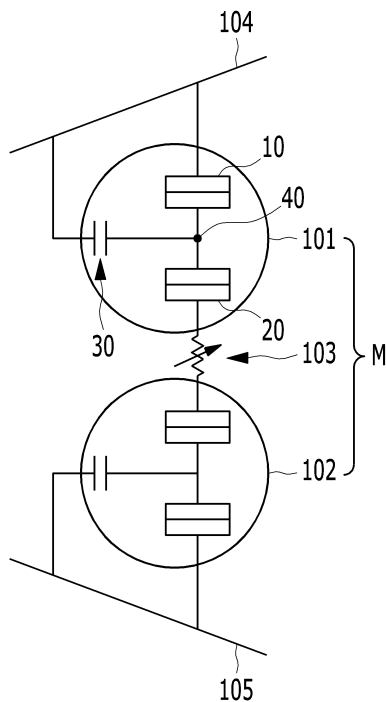
[0080] 이상으로 해결하고자 하는 과제를 위한 다양한 실시예들이 기재되었으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자인 자라면 본 발명의 기술사상의 범위 내에서 다양한 변경 및 수정이 이루어질 수 있음은 명백하다.

부호의 설명

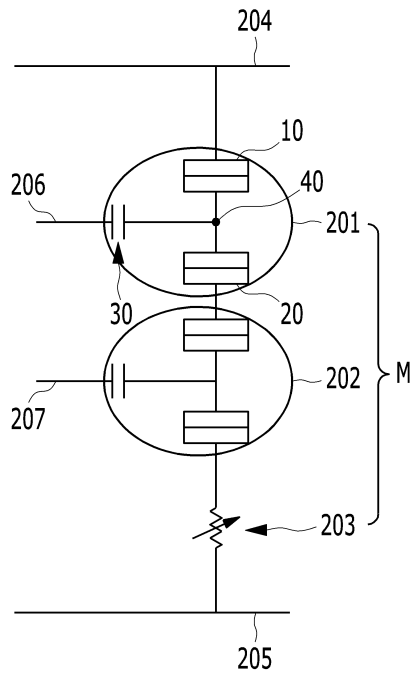
- [0081] 101 : 제1 단전자 트랜지스터 102 : 제2 단전자 트랜지스터
- 103 : 메모리 소자 104 : 제1배선
- 105 : 제2배선 M : 메모리 셀

도면

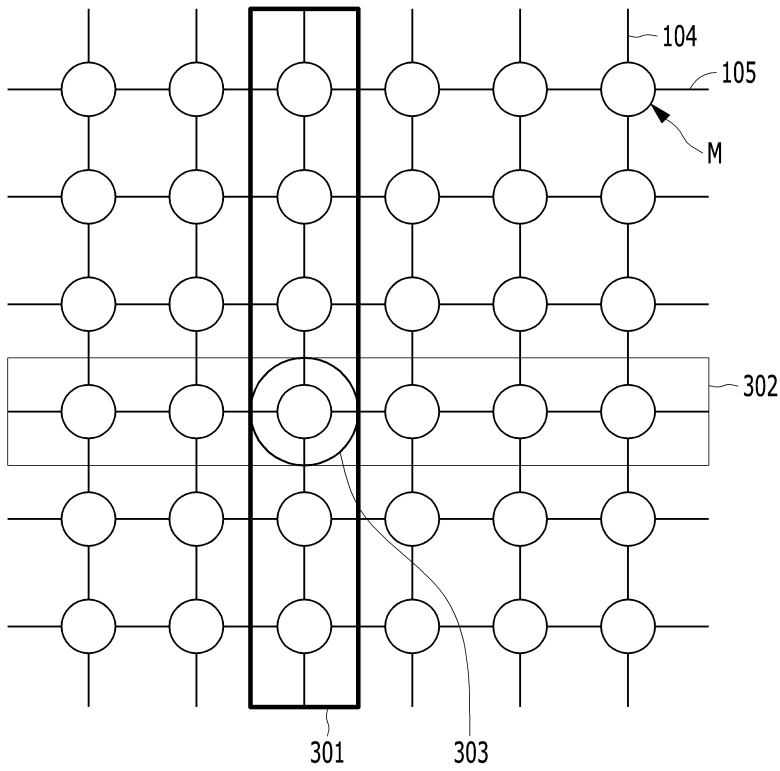
도면1



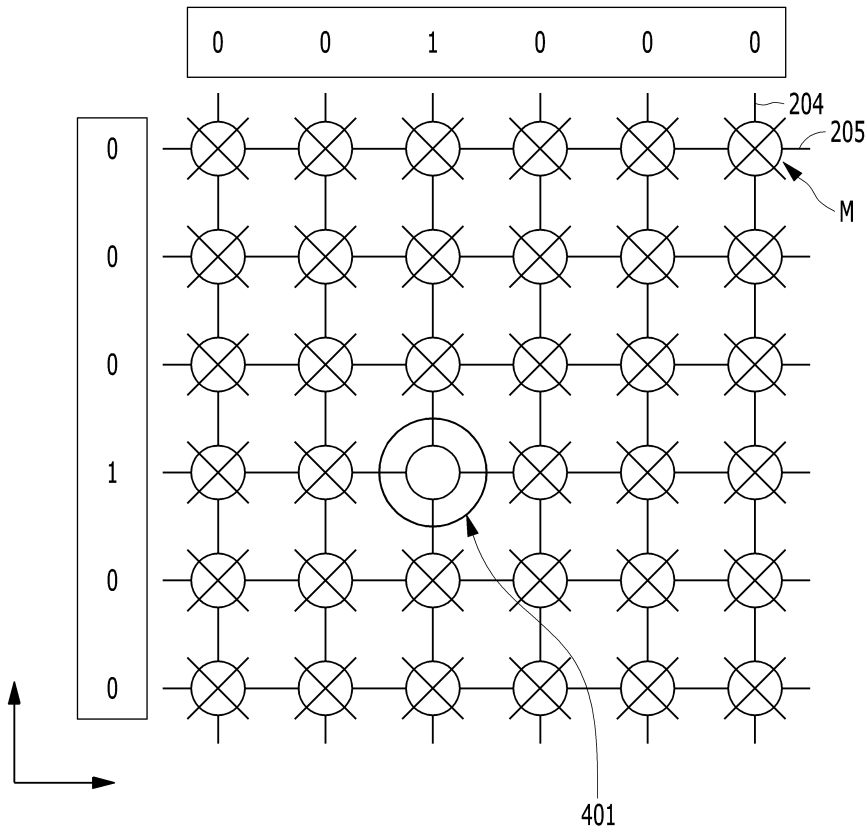
도면2



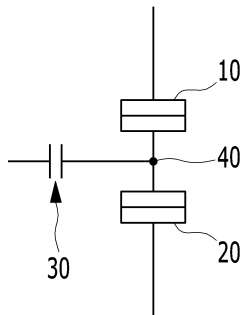
도면3



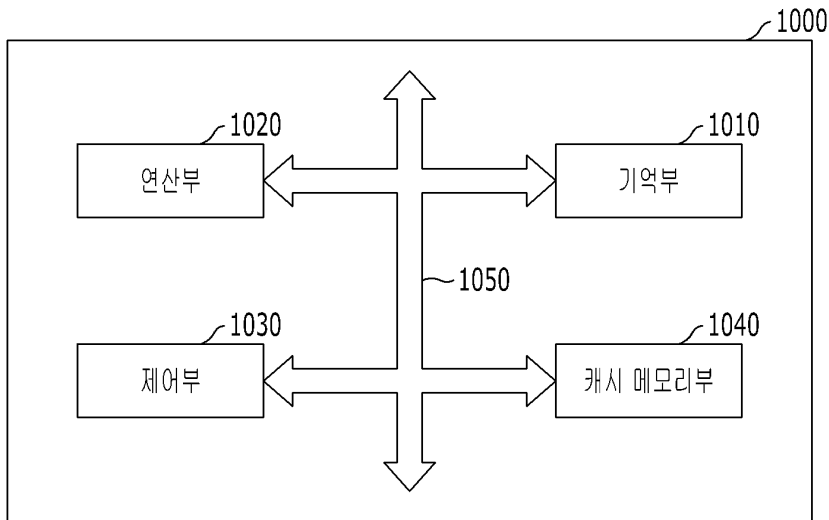
도면4



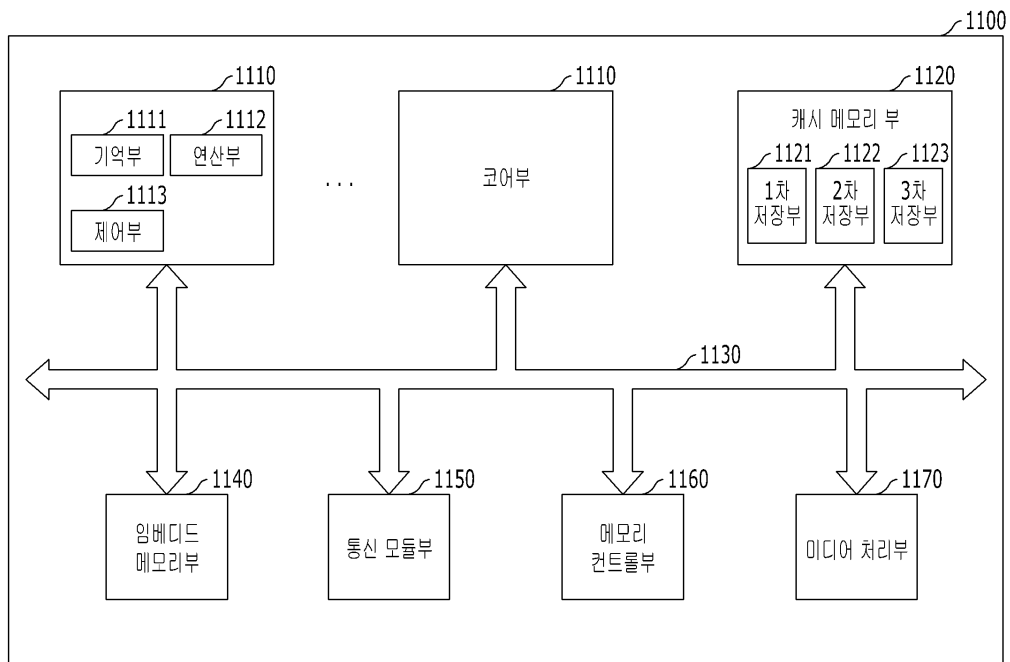
도면5



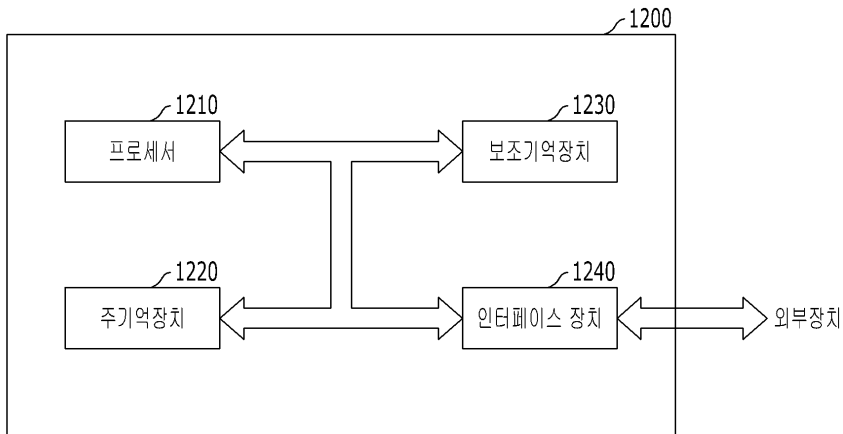
도면6



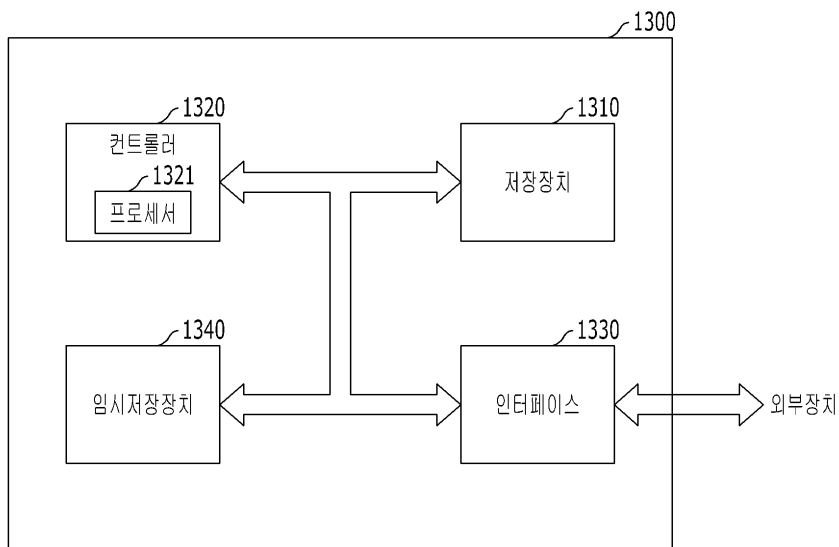
도면7



도면8



도면9



도면10

