

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-152536  
(P2017-152536A)

(43) 公開日 平成29年8月31日(2017.8.31)

(51) Int.Cl.	F I	テーマコード(参考)
<b>H05K 3/46 (2006.01)</b>	H05K 3/46 N	5E316
<b>H01L 23/12 (2006.01)</b>	H05K 3/46 B	
	H05K 3/46 Q	
	H01L 23/12 N	
	H01L 23/12 501B	
審査請求 未請求 請求項の数 12 O L (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2016-33510 (P2016-33510)  
(22) 出願日 平成28年2月24日 (2016.2.24)

(71) 出願人 000000158  
イビデン株式会社  
岐阜県大垣市神田町2丁目1番地  
(74) 代理人 100091096  
弁理士 平木 祐輔  
(74) 代理人 100105463  
弁理士 関谷 三男  
(74) 代理人 100129861  
弁理士 石川 滝治  
(74) 代理人 100169410  
弁理士 小町 澄輝  
(72) 発明者 石原 輝幸  
岐阜県大垣市河間町3丁目200番地 イビデン株式会社河間事業場構内

最終頁に続く

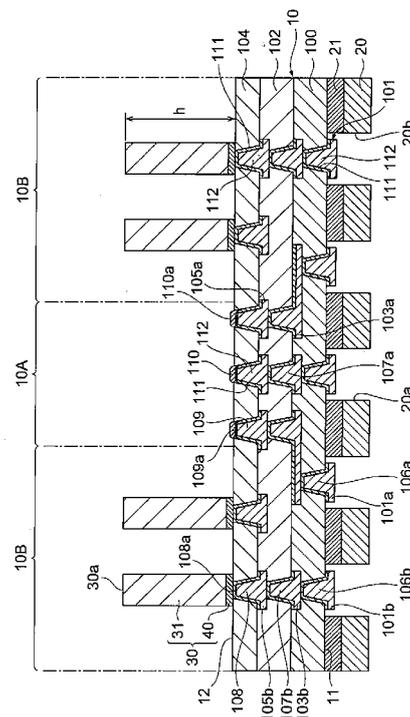
(54) 【発明の名称】 プリント配線板及びその製造方法

(57) 【要約】

【課題】電気的な短絡を防止しつつ、配線の微細化を実現することができ、且つ反りの発生を抑制できるプリント配線板及びその製造方法を提供する。

【解決手段】プリント配線板1は、第1主面11と該第1主面11とは反対側の第2主面12とを有する積層体10と、第1主面11上に形成されて導体パッド101a, 101bを含む配線層101と、第2主面12側に形成される導体ポスト30とを備える。第1ビア導体108は、積層体10の外縁部10Bに配置され、その最小径側の表面108aが第2主面12と同一平面上に位置する。第2ビア導体109は、積層体10の中央部10Aに配置され、その最小径側の表面109aが第2主面より凹む。導体ポスト30は、銅箔40と該銅箔40の上に形成されるめっき層31とからなる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

プリント配線板であって、  
 第 1 主面と該第 1 主面とは反対側の第 2 主面とを有する積層体と、  
 前記積層体の前記第 1 主面上に形成され、複数の導体パッドを含む配線層と、  
 前記積層体の内部に形成されると共に、前記第 1 主面から前記第 2 主面に向かって縮径される複数のビア導体と、  
 を備え、  
 前記複数のビア導体は、前記積層体の外縁部に配置されると共に、その最小径側の表面が前記第 2 主面と同一平面上に位置する第 1 ビア導体と、前記積層体の中央部に配置されると共に、その最小径側の表面が前記第 2 主面より凹む第 2 ビア導体とをそれぞれ複数有し、  
 前記第 1 ビア導体の上には、金属箔と該金属箔の上に形成されるめっき層とからなる導体ポストが形成されている。

10

## 【請求項 2】

請求項 1 に記載のプリント配線板において、  
 前記第 2 ビア導体の最小径側の表面には、表面処理層が形成されている。

## 【請求項 3】

請求項 2 に記載のプリント配線板において、  
 前記表面処理層の上表面は、前記第 2 主面より外部に突出している。

20

## 【請求項 4】

請求項 1 ~ 3 のいずれか一項に記載のプリント配線板において、  
 前記積層体の前記第 1 主面には、接着層を介してベース板が貼り付けられている。

## 【請求項 5】

請求項 4 に記載のプリント配線板において、  
 前記ベース板及び前記接着層には、前記導体パッドを露出させるための開口部が複数形成されている。

## 【請求項 6】

請求項 5 に記載のプリント配線板において、  
 前記開口部から露出する複数の前記導体パッドのうち、少なくとも一部は、前記第 1 ビア導体及び前記導体ポストと同軸上に配置されている。

30

## 【請求項 7】

請求項 1 ~ 6 のいずれか一項に記載のプリント配線板において、  
 前記第 1 ビア導体間のピッチは、前記第 2 ビア導体間のピッチよりも大きい。

## 【請求項 8】

請求項 1 ~ 7 のいずれか一項に記載のプリント配線板において、  
 前記導体ポストの高さを  $h$  としたときに、 $50 \mu\text{m} < h < 200 \mu\text{m}$  である。

## 【請求項 9】

第 1 ベース板にキャリア銅箔付きの金属箔を貼り付ける第 1 工程と、  
 それぞれの最小径側の表面を前記金属箔の上に位置させるように、該金属箔の外縁部に拡径される第 1 ビア導体、該金属箔の中央部に拡径される第 2 ビア導体をそれぞれ複数形成し、且つ、第 1 主面と該第 1 主面とは反対側の第 2 主面とを有する積層体をその第 2 主面が前記金属箔側に向くように該金属箔の上に形成する第 2 工程と、  
 前記積層体の前記第 1 主面上に、複数の導体パッドを含む配線層を形成する第 3 工程と、  
 前記第 1 ベース板及び前記キャリア銅箔を剥離させることで前記金属箔を露出させる第 4 工程と、

40

接着層が形成された第 2 ベース板を用意し、該第 2 ベース板を前記積層体の前記第 1 主面に貼り付ける状態で該第 1 主面上に形成された前記導体パッドを露出させるように、前記第 2 ベース板及び前記接着層に開口部を事前に形成する第 5 工程と、

50

前記接着層を介して前記積層体の前記第 1 主面に前記第 2 ベース板を貼り付ける第 6 工程と、

前記金属箔の中央部を除去することにより、前記第 2 ピア導体の最小径側の表面を露出させる第 7 工程と、

前記金属箔上であって前記第 1 ピア導体に接する位置にめっき処理を施すことにより、導体ポストを形成する第 8 工程と、

前記金属箔のうち、前記導体ポストに接する部分以外を除去する第 9 工程と、を含むプリント配線板の製造方法。

【請求項 10】

請求項 9 に記載のプリント配線板の製造方法において、

前記第 7 工程では、前記第 2 ピア導体の最小径側の表面を露出させた後に、露出した該第 2 ピア導体の最小径側の表面に表面処理層を更に形成する。

【請求項 11】

請求項 9 又は 10 に記載のプリント配線板の製造方法において、

前記第 9 工程の後に、バンプを介して電子部品を前記第 2 ピア導体と電気的に接続させ、前記電子部品と前記導体ポストとを封止樹脂層で封止することを更に含む。

【請求項 12】

請求項 9 ~ 11 のいずれか一項に記載のプリント配線板の製造方法において、

前記第 9 工程の後に前記第 2 ベース板を取り外す第 10 工程を更に含む。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パッケージ - オン - パッケージ (POP: Package On Package) 用のプリント配線板及びその製造方法に関する。

【背景技術】

【0002】

従来、このような分野の技術として、例えば下記特許文献に記載されるものがある。特許文献 1 には、下基板の導体パッドに形成された半田ボール (すなわち、半田バンプ) を介して、該下基板と上基板とを電気的に接続する方法が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】米国特許公開 2010 / 0289134 A 1 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、上述の特許文献 1 に開示された方法では、リフロー炉などで加熱する際に、半田ボールが溶融して周囲に流れやすく、且つ実装される上基板の荷重が半田ボールにかかるので、半田ボールは横方向に膨らむことが多い。このため、隣接する半田ボール間に電気的な短絡 (ショート) が発生しやすくなると推測される。このような電気的な短絡を防止するためには、半田ボールを載せる実装パッド間の間隔をある程度大きく取ることが検討されるが、実装パッド間の間隔を大きく取ると、配線の微細化 (ファインピッチ) を図り難くなる問題が新たに生じると考えられる。

【課題を解決するための手段】

【0005】

上記課題を解決する本発明のプリント配線板は、第 1 主面と該第 1 主面とは反対側の第 2 主面とを有する積層体と、前記積層体の前記第 1 主面上に形成され、複数の導体パッドを含む配線層と、前記積層体の内部に形成されると共に、前記第 1 主面から前記第 2 主面に向かって縮径される複数のビア導体と、を備え、前記複数のビア導体は、前記積層体の外縁部に配置されると共に、その最小径側の表面が前記第 2 主面と同一平面上に位置する

10

20

30

40

50

第1ビア導体と、前記積層体の中央部に配置されると共に、その最小径側の表面が前記第2主面より凹む第2ビア導体とをそれぞれ複数有し、前記第1ビア導体の上には、金属箔と該金属箔の上に形成されるめっき層とからなる導体ポストが形成されている。

【0006】

また、本発明に係るプリント配線板の製造方法は、第1ベース板にキャリア銅箔付きの金属箔を貼り付ける第1工程と、それぞれの最小径側の表面を前記金属箔の上に位置させるように、該金属箔の外縁部に拡径される第1ビア導体、該金属箔の中央部に拡径される第2ビア導体をそれぞれ複数形成し、且つ、第1主面と該第1主面とは反対側の第2主面とを有する積層体をその第2主面が前記金属箔側に向くように該金属箔の上に形成する第2工程と、前記積層体の前記第1主面上に、複数の導体パッドを含む配線層を形成する第3工程と、前記第1ベース板及び前記キャリア銅箔を剥離させることで前記金属箔を露出させる第4工程と、接着層が形成された第2ベース板を用意し、該第2ベース板を前記積層体の前記第1主面に貼り付ける状態で該第1主面上に形成された前記導体パッドを露出させるように、前記第2ベース板及び前記接着層に開口部を事前に形成する第5工程と、前記接着層を介して前記積層体の前記第1主面に前記第2ベース板を貼り付ける第6工程と、前記金属箔の中央部を除去することにより、前記第2ビア導体の最小径側の表面を露出させる第7工程と、前記金属箔上であって前記第1ビア導体に接する位置にめっき処理を施すことにより、導体ポストを形成する第8工程と、前記金属箔のうち、前記導体ポストに接する部分以外を除去する第9工程と、を含む。

【発明の効果】

【0007】

本発明によれば、電気的な短絡を防止しつつ、配線の微細化を実現することができ、且つ反りの発生を抑制できる。

【図面の簡単な説明】

【0008】

【図1】第1実施形態に係るプリント配線板を示す概略断面図である。

【図2】第2ビア導体の部分拡大図である。

【図3】プリント配線板の部分平面図である。

【図4A】プリント配線板の製造方法を説明する工程図である。

【図4B】プリント配線板の製造方法を説明する工程図である。

【図4C】プリント配線板の製造方法を説明する工程図である。

【図4D】プリント配線板の製造方法を説明する工程図である。

【図5A】プリント配線板の製造方法を説明する工程図である。

【図5B】プリント配線板の製造方法を説明する工程図である。

【図5C】プリント配線板の製造方法を説明する工程図である。

【図5D】図5Cに示す第2ビア導体の部分拡大図である。

【図5E】プリント配線板の製造方法を説明する工程図である。

【図6A】プリント配線板の製造方法を説明する工程図である。

【図6B】プリント配線板の製造方法を説明する工程図である。

【図6C】プリント配線板の製造方法を説明する工程図である。

【図6D】プリント配線板に電子部品を実装させることを説明するための概略断面図である。

【図6E】プリント配線板に封止樹脂層を形成することを説明するための概略断面図である。

【図7】第2実施形態に係るプリント配線板を示す概略断面図である。

【図8】第3実施形態に係るプリント配線板を示す概略断面図である。

【図9】プリント配線板を用いたPOP構造の半導体パッケージを示す概略断面図である。

【図10】プリント配線板を用いたPOP構造の半導体パッケージを示す概略断面図である。

10

20

30

40

50

## 【発明を実施するための形態】

## 【0009】

以下、図面を参照して本発明に係るプリント配線板及びその製造方法の実施形態について説明する。図面の説明において同一の要素には同一符号を付し、重複説明は省略する。

## 【0010】

## &lt;第1実施形態&gt;

図1は第1実施形態に係るプリント配線板を示す概略断面図である。本実施形態に係るプリント配線板1は、第1主面11と該第1主面11とは反対側の第2主面12とを有する積層体10と、該積層体10の第1主面11に接着層21を介して貼り付けられたベース板20と、第2主面12の外縁部に形成された複数の導体ポスト30とを備えている。

10

## 【0011】

積層体10は、複数の配線層と絶縁層とを交互に積層してなるビルドアップ構造である。具体的には、積層体10は、第1主面11側から第2主面12側に向かって順に絶縁層100、絶縁層102及び絶縁層104を有している。すなわち、これらの絶縁層のうち、絶縁層100は最も下側、絶縁層104は最も上側、絶縁層102は絶縁層100と絶縁層104との間に配置されている。従って、絶縁層100の下表面は積層体10の第1主面11、絶縁層104の上表面は第2主面12を構成している。なお、絶縁層100、102、104は、例えば層間樹脂フィルムにより形成されている。

## 【0012】

積層体10の第1主面11上には、導体パッド101aと導体パッド101bとをそれぞれ複数含む配線層101が形成されている。配線層101は、特許請求の範囲に記載の「配線層」に相当するものであり、例えば無電解めっき層111と電解めっき層112によって形成されている。なお、本実施形態における配線層は、電気回路を構成する導体層のことを指し、その配置位置によってパッドと配線等を含む場合もあれば、パッドのみを含む場合もある。図1では、パッドのみの場合が示されている。

20

## 【0013】

導体パッド101aは、後述の第2ビア導体109と電氣的に接続するための構造であり、第1主面11の中央部に位置し、該第1主面11から外部(図1では下方)に突出している。一方、導体パッド101bは、後述の第1ビア導体108と電氣的に接続するための構造であり、第1主面11の外縁部に位置し、該第1主面11から外部に突出している。本実施形態では、導体パッド101aと導体パッド101bは、その配置ピッチ及び面積が同じであるが、これに限らない。例えば、必要に応じて中央部に配置される導体パッド101aよりも、外縁部に配置される導体パッド101bの配置ピッチ及び面積を大きくしても良く、又はその逆であっても良い。

30

## 【0014】

絶縁層102の下表面には、配線層103a及び配線層103bが形成されている。配線層103aは、第2ビア導体109と電氣的に接続するための構造であり、導体パッド101aの上方に配置されている。この配線層103aは、絶縁層100の内部に形成されたビア導体106aを介し、導体パッド101aと電氣的に接続されている。一方、配線層103bは、第1ビア導体108と電氣的に接続するための構造であり、導体パッド101bの上方に配置されている。配線層103bは、絶縁層100の内部に形成されたビア導体106bを介し、導体パッド101bと電氣的に接続されている。

40

## 【0015】

また、絶縁層104の下表面には、配線層105a及び配線層105bが形成されている。配線層105aは、第2ビア導体109と電氣的に接続するための構造であり、配線層103aの上方に配置されている。この配線層105aは、絶縁層102の内部に形成されたビア導体107aを介し、配線層103aと電氣的に接続されている。一方、配線層105bは、第1ビア導体108と電氣的に接続するための構造であり、配線層103bの上方に配置されている。図1に示すように、複数の配線層105bのうち、一部が絶縁層102の内部に形成されたビア導体107bを介して配線層103bと電氣的に接続

50

されている。

【0016】

配線層103a、103b、105a、105bは、配線層101と同様に、無電解めっき層111と電解めっき層112によってそれぞれ形成されている。ビア導体106a、106b、107a、107bは、それぞれ円錐台形状を呈し、第1主面11から第2主面12に向かって縮径されている。これらのビア導体106a、106b、107a、107bは、無電解めっき層111と電解めっき層112によって形成されている。

【0017】

絶縁層104の内部には、第1ビア導体108及び第2ビア導体109がそれぞれ複数形成されている。第1ビア導体108は、絶縁層104の外縁部（すなわち、積層体10の外縁部10B）に配置され、導体ポスト30の直下に位置している。第2ビア導体109は、絶縁層104の中央部（すなわち、積層体10の中央部10A）に配置されている。第1ビア導体108及び第2ビア導体109は、ビア導体106a、106b、107a、107bと同様に円錐台形状を呈し、第1主面11から第2主面12に向かって縮径されている。第1ビア導体108は、無電解めっき層111と電解めっき層112によって形成されている。第1ビア導体108の最小径側の表面108aは、積層体10の第2主面12と同一平面上に位置している。第1ビア導体108は、その上に形成された導体ポスト30と電氣的に接続されている。

【0018】

図2は第2ビア導体の部分拡大図である。第2ビア導体109は、第1ビア導体108と同様に、無電解めっき層111と電解めっき層112によって形成されている。第2ビア導体109の無電解めっき層111は、第1ビア導体108及びビア導体106a、106b、107a、107bの無電解めっき層111と比べて、第2主面12に近付くにつれ厚さが徐々に薄くなっている。第2ビア導体109の最小径側の表面109aは、第2主面12より凹んでおり、すなわち第2主面12より低くなっている。最小径側の表面109aの上には、表面処理層110が形成されている。表面処理層110としては、例えば、Ni/Pd/Au、Ni/Au、またはSnなどの複数または単一の金属膜をめっき法により形成することにより行われてもよい。

【0019】

図2に示すように、表面処理層110は、上方及び周囲から無電解めっき層111を包むように帽子状に形成されている。また、表面処理層110の一部は、無電解めっき層111と絶縁層104との隙間に入り込み、無電解めっき層111と密着されている。そして、表面処理層110の上表面110aは、第2主面12より外部に突出し、第2主面12から露出している。なお、ここで、表面処理層110の上表面110aは、第2主面12と同一平面上に位置するように形成されてもよい。

【0020】

導体ポスト30は、円柱状に形成され、第1ビア導体108の最小径側の表面108aの上に形成された銅箔40と、該銅箔40の上に形成されためっき層31とからなる。めっき層31は、例えば銅めっき層である。そして、導体ポスト30の高さ（すなわち、第2主面12から導体ポスト30の頂面30aまでの距離）をhとしたときに、 $50\mu\text{m} < h < 200\mu\text{m}$ であることが好ましい。また、導体ポスト30の直径は、第1ビア導体108の最小径よりも大きく、 $80\sim 150\mu\text{m}$ であることが好ましい。

【0021】

図3はプリント配線板の部分平面図である。図3中のX-X線に沿う断面図は図1である。図3に示すように、第2主面12から露出した表面処理層110の上表面110aは、円形状に形成されている。該表面処理層110で被覆された第2ビア導体109の最小径側の表面109aも、円形状に形成されている。そして、第2ビア導体109は、所定のピッチP1で積層体10の中央部10Aに配列されている。一方、第1ビア導体108は、所定のピッチP2で積層体10の外縁部10Bに配列され、その最小径側の表面108aは円形状に形成されている。第1ビア導体108の上に形成された導体ポスト30は

10

20

30

40

50

、第1ビア導体108と同じピッチで配列されている。そして、第1ビア導体108間のピッチP2は、第2ビア導体109間のピッチP1よりも大きい。ここでのピッチとは、隣接する第1ビア導体108同士又は第2ビア導体109同士の中心の距離を意味している。

#### 【0022】

表面処理層110の上表面110aが第2主面12より外部に突出するので、表面処理層110と該表面処理層110で被覆された第2ビア導体109は、電子部品と接続するための構造として用いられる。導体ポスト30は、第1ビア導体108と共に、他の配線板と接続するための構造として用いられる。

#### 【0023】

図1に示すように、第2ビア導体109及びビア導体106a、107aの一部は、絶縁層100、102、104の積層方向に沿って直線状に積み重ねられてスタック構造をなし、他の一部は積層方向に沿って位置をずらしながら積み重ねてオフセット構造をなしている。一方、第1ビア導体108及びビア導体106b、107bの一部は、積層方向に沿って直線状に積み重ねられてスタック構造をなしている。

#### 【0024】

ベース板20は、金属板やプリプレグ材のような一定の強度を有する材料によって形成され、接着層21を介して積層体10の第1主面11に貼り付けられている。ベース板20及び接着層21には、導体パッド101aを露出するための開口部20aと、導体パッド101bを露出させるための開口部20bが複数形成されている。図1に示すように、開口部20bから露出する複数の導体パッド101bのうち、少なくとも一部は、ビア導体106b、107b、第1ビア導体108及び導体ポスト30と同軸上に配置されている。

#### 【0025】

以上のように構成されたプリント配線板1では、積層体10の第2主面12の外縁部に導体ポスト30が形成されているので、この導体ポスト30を介して他の配線板と電気的に接続することができる。そして、導体ポスト30は、従来の半田ボールのように熔融時に横方向に膨らむことがないので、隣接する導体ポスト30間の電気的な短絡を防止しつつ、導体ポスト30間の間隔を小さくすることができる。従って、プリント配線板1の配線の微細化を図り易くなる。

#### 【0026】

加えて、導体ポスト30は銅箔40とめっき層31とからなるので、第1ビア導体108とめっき層31との間に銅箔40が介在される。このため、第1ビア導体108にかかる応力を緩和させることができ、応力集中に起因する第1ビア導体108のクラックの発生を抑制することができ、接続信頼性を高める効果を期待できる。また、第2ビア導体109の最小径側の表面109aに表面処理層110が形成されているので、第2ビア導体109の実装性を高めることができる。更に、表面処理層110の上表面110aが第2主面12より外部に突出するので、該表面処理層110を介して外部の電子部品との実装を行い易くなる。

#### 【0027】

また、積層体10の第1主面11に接着層21を介してベース板20が貼り付けられているので、ベース板20はプリント配線板1の強度を高めることができ、材料の熱膨張係数の違い等による反りの発生を抑制することができる。その結果、プリント配線板1の導通検査を容易に実施できると共に、導通検査の精度を高める効果を奏する。更に、ベース板20及び接着層21には導体パッド101a、101bを露出するための開口部20a、20bが形成されているので、プリント配線板1の反り発生を防止しつつ、これらの開口部20a、20bを通して導通検査を容易に実施することができる。

#### 【0028】

なお、導体ポスト30と導体パッド101bとの間の導通検査を行う際には、例えば導通検査用メータの一方の端子を導体ポスト30の頂面30aに接触させ、他方の端子を開

10

20

30

40

50

口部 20b に差し込んで導体パッド 101b に接触させて、これらの間の抵抗値を測定する。一方、表面処理層 110 と導体パッド 101a との間の導通検査を行う際には、導通検査用メータの一方の端子を表面処理層 110 の上表面 110a に接触させ、他方の端子を開口部 20a に差し込んで導体パッド 101a に接触させて、これらの間の抵抗値を測定する。

#### 【0029】

##### < プリント配線板 1 の製造方法 >

以下、図 4A ~ 図 6E を参照しプリント配線板 1 の製造方法、電子部品の実装及び樹脂封止を説明する。以下に述べる各工程は、製造に用いられる第 1 ベース板 60、第 2 ベース板 20 (すなわち、上述のベース板 20) 及び第 3 ベース板 22 の上下両側にそれぞれ実施されている。また、図 4D 及び図 5B においては、上側部分のみに符号を付しているが、下側部分の符号は上側部分と同じである。図 5C ~ 図 6C においては、図面を見やすくするために、第 3 ベース板 22 の上側のみを示す。

10

#### 【0030】

##### < 第 1 工程 >

まず、第 1 ベース板 60 を用意する。第 1 ベース板 60 は、例えば、ガラス入りのプリプレグ材からなっている。次に、第 1 ベース板 60 の上下両側に、キャリア銅箔 62 付きの銅箔 40 を貼り付ける (図 4A 参照)。なお、図示しないが、キャリア銅箔 62 と銅箔 40 との間には、剥離層が塗布されている。

#### 【0031】

##### < 第 2 工程 >

次に、セミアディティブ法 (Semi Additive Process : SAP) を用いて銅箔 40 の上に積層体 10 を形成する。具体的には、まず、銅箔 40 の上に層間樹脂フィルムを昇温しながら真空圧着ラミネートすることにより、絶縁層 104 を積層する。続いて、レーザ照射で絶縁層 104 の中央部に銅箔 40 を露出させるためのピアホール 104a、絶縁層 104 の外縁部に銅箔 40 を露出させるためのピアホール 104b を複数形成する。形成されるピアホール 104a、104b は、それぞれ円錐台形状を呈し、その直径が第 1 ベース板 60 から離れる方向に沿って広がっている (図 4B 参照)。

20

#### 【0032】

次に、ピアホール 104a の内部に第 2 ピア導体 109、ピアホール 104b の内部に第 1 ピア導体 108 を形成すると共に、絶縁層 104 の上に配線層 105a、105b を形成する (図 4C 参照)。具体的には、まず、絶縁層 104 の上表面、ピアホール 104a、104b の内壁面及び露出された銅箔 40 の上にパラジウムなどの触媒を付与させて、無電解めっき液に 5 ~ 60 分間浸漬させることにより、厚さ 0.1 ~ 5 μm の範囲で無電解めっき層 111 を形成する。続いて、無電解めっき層 111 の上に感光性レジスト層を積層し、露光現像処理でレジストパターンを形成する。

30

#### 【0033】

次に、無電解めっき層 111 を給電層として電解めっきを施すことにより、電解めっき層 112 を形成する。その後、レジストパターンを除去し、更にレジストパターンの除去によって露出された無電解めっき層 111 をエッチング処理で除去する。そして、絶縁層 104 の上表面に残された無電解めっき層 111 及び電解めっき層 112 は、配線層 105a、105b を形成する。

40

#### 【0034】

一方、ピアホール 104a の内部に充填された無電解めっき層 111 及び電解めっき層 112 は第 2 ピア導体 109、ピアホール 104b の内部に充填された無電解めっき層 111 及び電解めっき層 112 は第 1 ピア導体 108 をそれぞれ形成する。この場合、形成された第 1 ピア導体 108 の最小径側の表面 108a 及び第 2 ピア導体 109 の最小径側の表面 109a' は、それぞれ銅箔 40 の上に位置している。なお、第 2 ピア導体 109 の最小径側の表面 109a' は、上述した最小径側の表面 109a の前駆体であり、すなわち過剰エッチングにより削られる前の状態である。

50

## 【 0 0 3 5 】

次に、上述の方法を繰り返して行うことにより、積層体 1 0 を形成する。ここでは、絶縁層 1 0 4 の下表面が積層体 1 0 の第 2 主面 1 2、絶縁層 1 0 0 の上表面が積層体 1 0 の第 1 主面 1 1 を構成する。そして、第 1 主面 1 1 及び第 2 主面 1 2 のうち、第 2 主面 1 2 は銅箔 4 0 側に向いている（すなわち、銅箔 4 0 に最も近い）。

## 【 0 0 3 6 】

## &lt; 第 3 工程 &gt;

次に、上述した方法で絶縁層 1 0 0 の内部にビア導体 1 0 6 a, 1 0 6 b を形成すると共に、絶縁層 1 0 0 の上表面（すなわち、積層体 1 0 の第 1 主面 1 1）の上に複数の導体パッド 1 0 1 a, 1 0 1 b を含む配線層 1 0 1 を形成する（図 4 D 参照）。

10

## 【 0 0 3 7 】

## &lt; 第 4 工程 &gt;

次に、図 4 D の矢印 F に沿って第 1 ベース板 6 0 に形成された積層体 1 0 の外周を切断することで、第 1 ベース板 6 0 及びキャリア銅箔 6 2 を剥離させる。その剥離によって、銅箔 4 0 が露出する。

## 【 0 0 3 8 】

## &lt; 第 5 工程 &gt;

次に、接着層 2 1 が形成された第 2 ベース板 2 0 を用意する。第 2 ベース板 2 0 には、例えば、金属板やプリプレグ材のような一定の強度を有する材料が用いられる。続いて、この第 2 ベース板 2 0 を積層体 1 0 の第 1 主面 1 1 に貼り付ける状態で該第 1 主面 1 1 上に形成された導体パッド 1 0 1 a, 1 0 1 b を露出させるように、第 2 ベース板 2 0 及び接着層 2 1 に開口部 2 0 a, 2 0 b を事前に形成する（図 5 A 参照）。なお、図 5 A に示す第 2 ベース板 2 0 及び接着層 2 1 が開口部 2 0 a, 2 0 b によって個々に分断されるように見えるが、実際に繋がっている状態である。また、開口部 2 0 a, 2 0 b の開口サイズは、導体パッド 1 0 1 a, 1 0 1 b のサイズに応じて調整することが可能である。

20

## 【 0 0 3 9 】

## &lt; 第 6 工程 &gt;

次に、接着層 2 1 を介して第 2 ベース板 2 0 を積層体 1 0 の第 1 主面 1 1 に貼り付ける。そして、第 2 ベース板 2 0 が第 1 主面 1 1 に貼り付けられた状態では、導体パッド 1 0 1 a は第 2 ベース板 2 0 及び接着層 2 1 に形成された開口部 2 0 a から露出し、一方、導体パッド 1 0 1 b は開口部 2 0 b から露出する。

30

## 【 0 0 4 0 】

続いて、両面に接着層 2 3 が形成された第 3 ベース板 2 2 を用意する。第 3 ベース板 2 2 には、第 2 ベース板 2 0 と同様に、金属板やプリプレグ材のような一定の強度を有する材料が用いられる。次に、積層体 1 0 の第 1 主面 1 1 に貼り付けられた状態の第 2 ベース板 2 0 を、接着層 2 3 を介して第 3 ベース板 2 2 に固定させる。このとき、銅箔 4 0 は、第 3 ベース板 2 2 から最も離れる側に位置することになる（図 5 B 参照）。

## 【 0 0 4 1 】

## &lt; 第 7 工程 &gt;

次に、第 2 ビア導体 1 0 9 の最小径側の表面を露出させる。具体的には、まず、銅箔 4 0 の上に感光性レジスト層 3 2 を塗布し、その後に露光現像処理を行うことにより、第 2 主面 1 2 の中央部に配置される銅箔 4 0（すなわち、第 2 ビア導体 1 0 9 に対応する銅箔 4 0）を露出するための開口部 3 2 a を形成する。次に、開口部 3 2 a から露出する銅箔 4 0 をエッチングで除去し、第 2 ビア導体 1 0 9 の最小径側の表面 1 0 9 a を露出させる（図 5 C 参照）。

40

## 【 0 0 4 2 】

図 5 D は図 5 C に示す第 2 ビア導体 1 0 9 の部分拡大図である。開口部 3 2 a から露出する銅箔 4 0 をエッチングする際に、過剰エッチングでエッチング液が無電解めっき層 1 1 1 に接触し、無電解めっき層 1 1 1 の上表面及び側面の一部が削られている。これによって、無電解めっき層 1 1 1 の上表面 1 1 1 a（すなわち、第 2 ビア導体 1 0 9 の最小径

50

側の表面 109a) は第 2 主面 12 より凹むようになっている。また、無電解めっき層 111 の側面と絶縁層 104 との間には断面楔状の隙間が形成されている。

【0043】

続いて、第 2 ピア導体 109 の最小径側の表面 109a の上に表面処理層 110 を形成する(図 5E 参照)。表面処理層 110 としては、例えば、Ni/Pd/Au、Ni/Au、または Sn などの複数または単一の金属膜をめっき法により形成することで行われる。そして、形成された表面処理層 110 は、無電解めっき層 111 の上方及び周囲から該無電解めっき層 111 を包むようになっている。また、表面処理層 110 の一部は、無電解めっき層 111 と絶縁層 104 との隙間に入り込み、無電解めっき層 111 と密着されている。このとき、表面処理層 110 を介して外部の電子部品との実装を行い易くするために、その上表面 110a が第 2 主面 12 より外部に突出するように該表面処理層 110 を形成することが好ましい。

10

【0044】

< 第 8 工程 >

次に、銅箔 40 上であって第 1 ピア導体 108 に接する位置に導体ポスト 30 を形成する。具体的には、まず、銅箔 40、第 2 ピア導体 109 及び第 2 主面 12 の上に感光性レジスト層 41 を塗布する。その後、感光性レジスト層 41 の第 1 ピア導体 108 に接する位置に、露光現像処理で開口部 41a を複数形成する(図 6A 参照)。このとき、形成される開口部 41a の直径を、第 1 ピア導体 108 の最小径より大きくする。続いて、銅箔 40 を給電層として電解銅めっきを施すことにより、開口部 41a の内部にめっき層 31 を形成する。そして、形成されためっき層 31 と銅箔 40 は、導体ポスト 30 を構成する。その後、めっき層 31 の表面を研磨することにより、導体ポスト 30 の高さを調整する。このように銅箔 40 をそのまま給電層として使用することで、新たに給電層を設ける必要がないので、工程の簡略化を図ることができる。

20

【0045】

< 第 9 工程 >

次に、例えばモノエタノールアミンを含む溶液を用いて、残った感光性レジスト層 41 を除去する(図 6B 参照)。その後、露出された銅箔 40 のうち、導体ポスト 30 に接する部分以外を選択エッチングで除去する(図 6C 参照)。ここで、導体ポスト 30 に接する部分とは、平面視で銅箔 40 のめっき層 31 と重なる部分である。

30

【0046】

次に、接着層 23 を除去することにより、第 3 ベース板 22 を取り外す。これによって、プリント配線板 1 が作製される。続いて、上述したように導体ポスト 30 と導体パッド 101b との間の導通検査、表面処理層 110 と導体パッド 101a との間の導通検査をそれぞれ行う。次に、導通検査に合格したプリント配線板 1 に対し、半田バンプ 53 を介して電子部品 51 を表面処理層 110 と実装させることにより、該電子部品 51 の端子 52 を第 2 ピア導体 109 と電氣的に接続させる(図 6D 参照)。続いて、実装された電子部品 51 と導体ポスト 30 とを封止樹脂層 54 で封止する。具体的には、電子部品 51、半田バンプ 53、及び導体ポスト 30 等を覆うように積層体 10 の第 2 主面 12 にモールド樹脂を塗布し、封止樹脂層 54 を形成する(図 6E 参照)。

40

【0047】

封止樹脂層 54 の形成時に、その上表面 54a を導体ポスト 30 の頂面 30a と同一平面上に揃えるように封止樹脂層 54 を形成すれば良い。或いは、導体ポスト 30 の頂面 30a を覆うまでに封止樹脂層 54 を形成し、その後、封止樹脂層 54 の上表面 54a と導体ポスト 30 の頂面 30a とを同一平面上に揃えるように、封止樹脂層 54 と導体ポスト 30 とを研磨しても良い。

【0048】

< 第 10 工程 >

次に、接着層 21 を除去することにより、第 2 ベース板 20 を取り外す。

【0049】

50

上述の製造方法では、製造の段階に合わせて一定の強度を有する第1ベース板60、第2ベース板20及び第3ベース板22を用いるので、材料の熱膨張係数の違い等による反りの発生を抑制することができる。また、第2ベース板20に導体パッド101a、101bを露出するための開口部20a、20bが形成されているので、プリント配線板1の反り発生を防止しつつ、第2ベース板20の貼り付けによる導通検査への影響を低減することができる。更に、電子部品51の実装及び封止樹脂層54の形成の際に、ベース板20を積層体10の第1主面11に貼り付けた状態で行うので、反りの発生を抑制でき、実装性を向上する効果も期待できる。

#### 【0050】

##### <第2実施形態>

図7は第2実施形態に係るプリント配線板を示す概略断面図である。本実施形態に係るプリント配線板2と第1実施形態との相違点は、ベース板20を有しないことである。本実施形態に係るプリント配線板2は、例えば上述の第10工程に示すようにプリント配線板1を作製した後に、電子部品51の実装及び封止樹脂層54の形成を行わずに、接着層21及びベース板20を除去することにより作製される。このように構成されたプリント配線板2は上述の第1実施形態と同様な作用効果を得られる。

#### 【0051】

##### <第3実施形態>

図8は第3実施形態に係るプリント配線板を示す概略断面図である。本実施形態に係るプリント配線板3と第2実施形態との相違点は、積層体10が絶縁層104を一層のみ有することである。この場合には、絶縁層104の下表面は積層体10の第1主面11、その上表面は第2主面12を構成する。配線層105a、105bは、特許請求の範囲に記載の「第1導体パッド」に相当するものになる。このように構成されたプリント配線板3は上述の第1実施形態と同様な作用効果を得られる。

#### 【0052】

以下、図9及び図10を参照して、第2実施形態のプリント配線板2を用いたPOP構造の半導体パッケージを説明する。

#### 【0053】

図9に示す例では、積層体10の第2主面12側に電子部品51が実装されている。電子部品51の端子52は、半田バンプ53を介して表面処理層110と電気的に接続されている。更に、積層体10の第2主面12の上には、封止樹脂層54が設けられている。そして、電子部品51及び半田バンプ53は、封止樹脂層54の内部に封止されている。一方、導体ポスト30は、頂面30aを除き封止樹脂層54によって封止されている。頂面30aは、封止樹脂層54の上表面54aと同一平面上に位置し、外部に露出している。

#### 【0054】

このように構成された半導体パッケージ4では、導体ポスト30及び電子部品51等は、封止樹脂層54によって保護されるので、振動や衝撃等から守られる。また、導体ポスト30の頂面30aが封止樹脂層54の上表面54aと同一平面上に位置し外部に露出するので、導体ポスト30と他の配線板との実装を容易に行える。なお、半導体パッケージ4は、例えば上述の図6D、図6Eに示す方法で作製し後に第2ベース板20を取り外すことによって、作製される。

#### 【0055】

図10に示す例では、積層体10の第2主面12に電子部品51が実装され、電子部品51、半田バンプ53及び導体ポスト30は、封止樹脂層55の内部に封止されている。封止樹脂層55には、導体ポスト30の頂面30aと側面の一部とを露出させる開口部55bが形成されている。

#### 【0056】

このように構成された半導体パッケージ5では、導体ポスト30と第2ビア導体109に実装された電子部品51とが封止樹脂層55によって封止されるので、導体ポスト30

10

20

30

40

50

及び電子部品 5 1 は封止樹脂層 5 5 に保護され、外部の衝撃等から守られる。また、導体ポスト 3 0 の頂面 3 0 a も外部に露出しているので、封止樹脂層 5 5 に保護されると共に、導体ポスト 3 0 と他の配線板との実装を容易に行える。

【 0 0 5 7 】

半導体パッケージ 5 は、例えば以下の方法で作製される。すなわち、まず、半田バンプ 5 3 を介して電子部品 5 1 を表面処理層 1 1 0 と実装させる。次に、電子部品 5 1 及び導体ポスト 3 0 等を封止樹脂層 5 5 で封止した後に、レーザ加工で開口部 5 5 b を形成し、導体ポスト 3 0 の先端と側面の一部とを外部に露出させる。最後に、第 2 ベース板 2 0 を取り外す。

【 0 0 5 8 】

以上、本発明の実施形態について詳述したが、本発明は、上述の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の精神を逸脱しない範囲で、種々の設計変更を行うことができるものである。例えば、上述したプリント配線板 1 の製造方法では、接着層 2 1 及び第 2 ベース板 2 0 に導体パッド 1 0 1 a , 1 0 1 b を露出させる開口部 2 0 a , 2 0 b を事前に形成した後に、該第 2 ベース板 2 0 を積層体 1 0 に貼り付けることについて説明したが、開口部を形成せずに第 2 ベース板を積層体 1 0 に貼り付けて、導通検査前にレーザ加工でこれらの開口部を形成しても良い。また、必要に応じて積層体 1 0 の第 2 主面 1 2 の上にソルダレジスト層を更に形成しても良い。更に、上述の実施例では、第 2 ビア導体 1 0 9 の最小径側の表面 1 0 9 a に表面処理層 1 1 0 が形成された例を挙げて説明したが、表面処理層 1 1 0 を形成しなくてもよい。

【 符号の説明 】

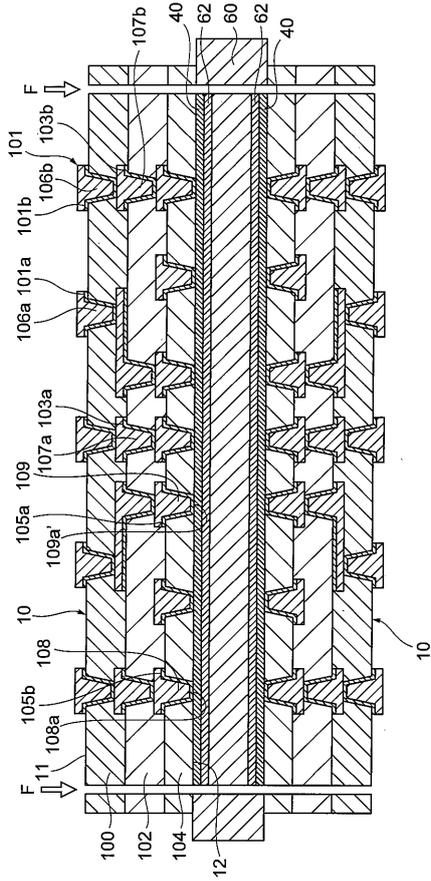
【 0 0 5 9 】

1 , 2 , 3	プリント配線板	
4 , 5	半導体パッケージ	
1 0	積層体	
1 0 A	中央部	
1 0 B	外縁部	
1 1	第 1 主面	
1 2	第 2 主面	
2 0	ベース板 ( 第 2 ベース板 )	30
2 0 a , 2 0 b	開口部	
2 1	接着層	
3 0	導体ポスト	
3 1	めっき層	
4 0	銅箔	
5 1	電子部品	
6 0	第 1 ベース板	
6 2	キャリア銅箔	
1 0 0 , 1 0 2 , 1 0 4	絶縁層	
1 0 1	配線層	40
1 0 1 a , 1 0 1 b	導体パッド	
1 0 3 a , 1 0 3 b , 1 0 5 a , 1 0 5 b	配線層	
1 0 6 a , 1 0 6 b , 1 0 7 a , 1 0 7 b	ビア導体	
1 0 8	第 1 ビア導体	
1 0 8 a	最小径側の表面	
1 0 9	第 2 ビア導体	
1 0 9 a	最小径側の表面	
1 1 0	表面処理層	
1 1 0 a	上表面	
1 1 1	無電解めっき層	50

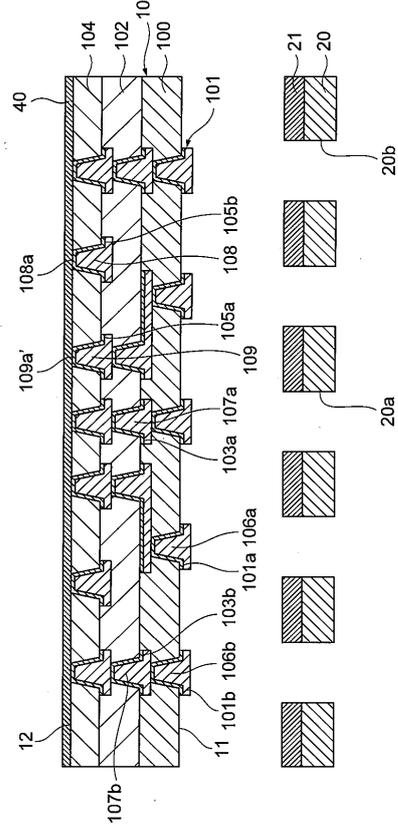




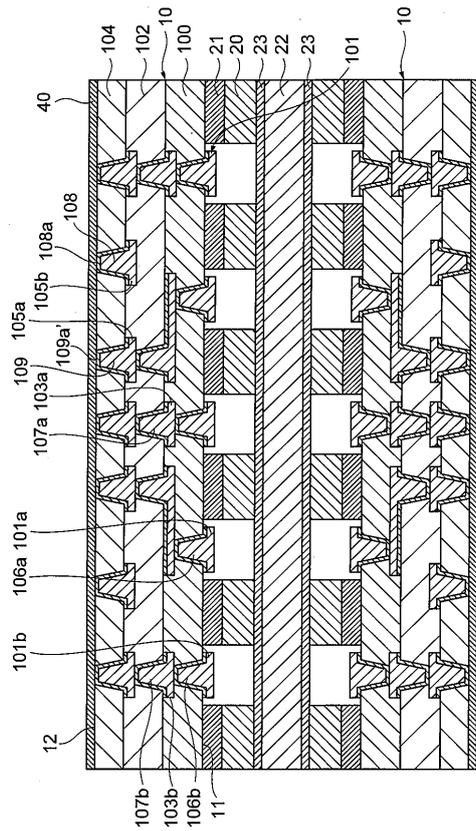
【図 4 D】



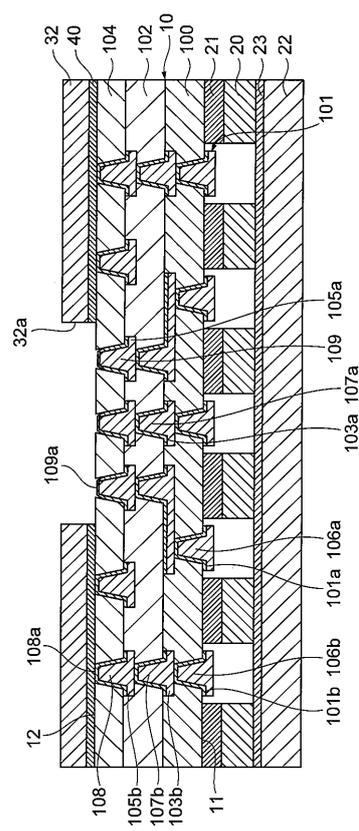
【図 5 A】



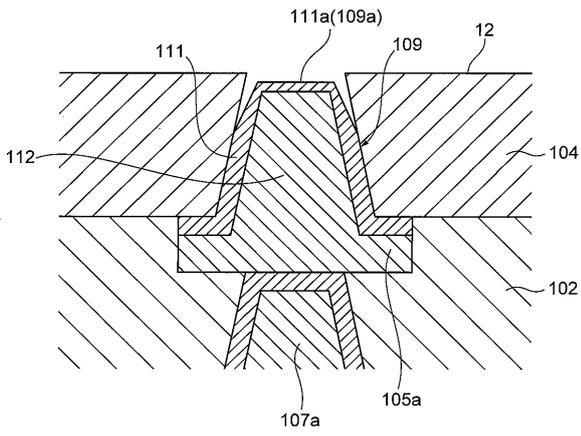
【図 5 B】



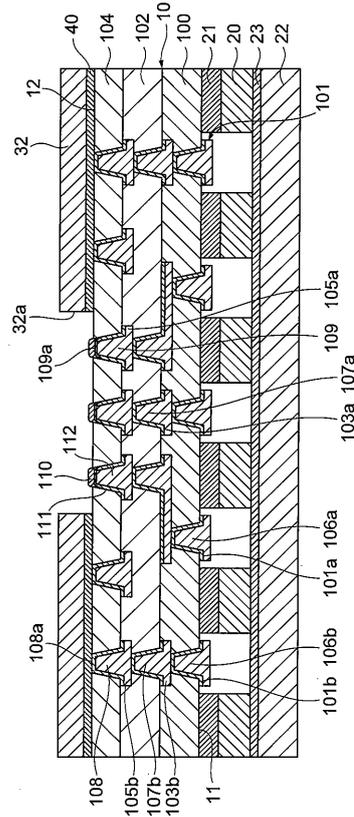
【図 5 C】



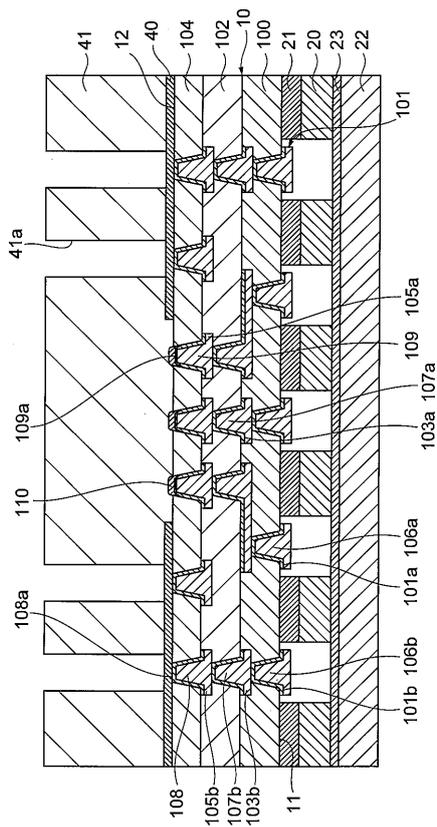
【図 5 D】



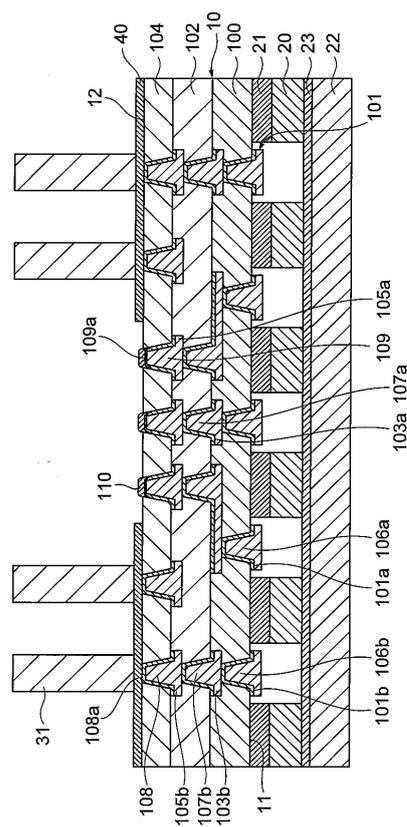
【図 5 E】



【図 6 A】



【図 6 B】







---

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
H 0 1 L 23/12 5 0 1 P

(72)発明者 坂 浩之

岐阜県大垣市河間町3丁目200番地 イビデン株式会社河間事業場構内

(72)発明者 梅 海櫻

岐阜県大垣市河間町3丁目200番地 イビデン株式会社河間事業場構内

Fターム(参考) 5E316 AA32 AA43 BB16 CC32 DD22 EE31 FF07 GG15 GG17 GG28  
HH08 HH11 JJ01