

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G01R 31/00		(45) 공고일자 (11) 등록번호 (24) 등록일자	1999년06월01일 10-0190479 1999년01월20일
(21) 출원번호 (22) 출원일자 (86) 국제출원번호 (86) 국제출원일자 (81) 지정국	10-1991-0701846 1991년12월13일 PCT/DE 91/00255 1991년03월22일 AP ARIPO특허 : 독일(DE)	(65) 공개번호 (43) 공개일자 (87) 국제공개번호 (87) 국제공개일자	특1992-0702776 1992년10월06일 W0 91/16637 1991년10월31일
(30) 우선권주장 (73) 특허권자  (72) 발명자  (74) 대리인	P4012109.7 1990년04월14일 독일(DE) 로베르트 보쉬 게엠베하 클라우스 포스, 게오르그 뮐러 독일 데-70442 스투트가르트 포스트파흐 30 02 20 칼오프 독일연방공화국, D-7145마르크그뢰닌겐, 임아이흐라인12 루디마이어 독일연방공화국, D-7143바이히겐/엔쯔, 뢰르헨베그28 헬무트덴쯔 독일연방공화국, D-7 스투트가르트1, 린덴스뮐러스트라세18 한스-페터스트뢰벨레 독일연방공화국, D-7 스투트가르트1, 파울-린케-스트라세28 라인하르트팔레쉬 독일연방공화국, D-7147에베르딘겐-호흐도르프데오도르-호이썬-스트라세48 위르겐에크하르트 독일연방공화국, D-7141쉬비레르딘겐, 파라디스베그19 이병호, 최달용		

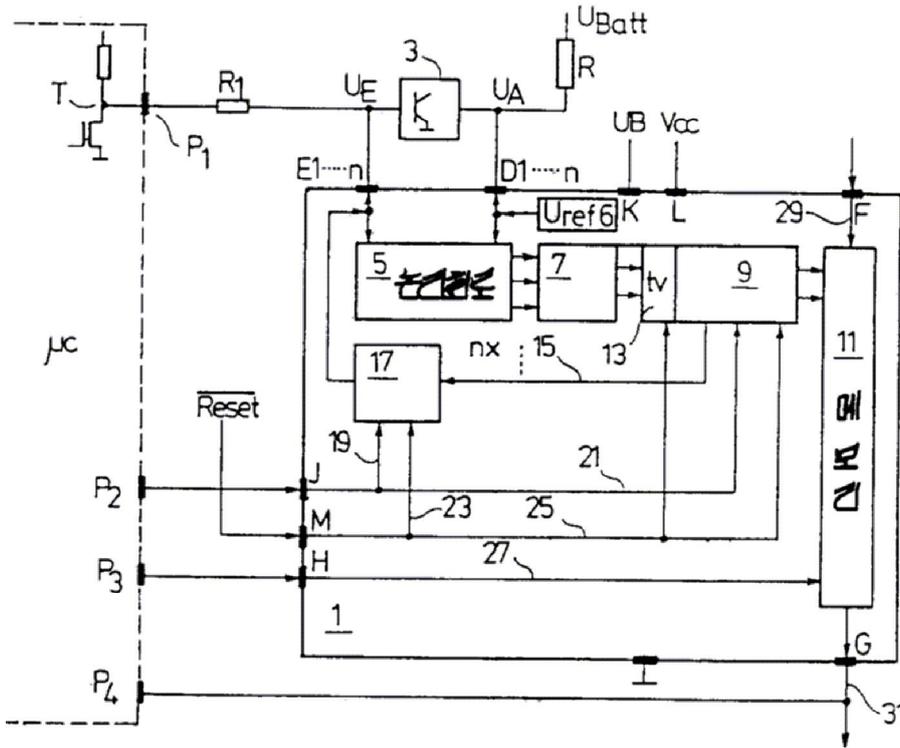
심사관 : 박종호

(54) 전기/전자스위치의기능감시장치

요약

본 발명은 제어 회로에 의해 구동되는 전기/전자 스위치의 기능 감시 장치에 관한 것이다. 이 장치는 출력단(3)과 병렬 접속된 적어도 하나의 논리 회로(5)가 제공되어서, 출력단(3)의 입력 단자  $U_E$ 와 출력 단자  $U_A$  및 기준 전위( $U_{ref}$ )가 인가되어 판별된다. 양의 전위와의 과부하/단락, 부하 드롭-아웃 및 접지와 단락의 결함 상태들이 신뢰성있게 판별되어, 출력단의 정확한 동작이 진단된다. 부하(R), 구동부 및 그 접속 라인의 출력단에서의 결함(이상)은 버퍼 메모리(9)에서의 부호화기(7)를 통해 기억되고, 메모리(11)를 통해 제어 회로( $\mu C$ )에 의한 검색이 판독되며, 이로부터 제어 회로의 인터페이스( $P_4$ )에 출력된다. 이러한 방식으로, 결함들은 특정 출력단에 할당되어 용이하게 구별될 수 있다. 안정 회로는 출력단을 단절하여 과부하로부터 보호할 수 있다. 안정 회로는 또한 예를 들면 초기화 단계중 규정된 방식으로 출력단을 단절시킬 수 있다.

대표도



명세서

[발명의 명칭]

전기/전자 스위치의 기능 감시 장치

(종래의 기술)

본 발명은 전기 부하, 출력단(예컨대, 트랜지스터 출력단), 구동부 및 이와 연관된 접속부의 기능을 감시하기 위한 감시 장치에 관한 것이다.

기능 감시 회로는,

- 조립체의 접지부와와의 단락과 부하 드롭 아웃(load drop-out)간의 구별을 하지 못하고,
- 어떠한 결함 기억도 하지 못하며(즉, 온-라인 결함 검출만이 가능하다)
- 결함 검출은 µC의 조정만을 받으며,
- 결함 경로와 결함 형태를 검출하기 위해 확장 소프트웨어 검색 루틴이 필요한 것으로 알려져 있다.

종래의 기능 감시 회로중 하나로서 출력단의 출력 전위를 신호화하기 위한 구동 핀이 이용되고 있다. 상기 처리중, 트랜지스터로 구성된 출력단은 하이 또는 로우 출력 전위로 가정됨을 알 수 있다. 그 결과, 입출력 신호의 소프트웨어 비교 후에, 출력단이 전원, 양의 전위 또는 접지와의 단락이 존재하는가의 여부가 판정될 수 있다.

다른 기능 감시 회로에서는, 출력단의 출력 전위가 상술한 바와 대비하여 직렬 인터페이스를 통해 신호화된다.

다른 기능 감시 회로는 몇개의 출력단에 대해서, 한측에서는 전원과의 단락, 부하 드롭-아웃, 다른 측에서는 부하의 접지와의 단락이 각 접속핀 마다 신호화되는 것으로 알려져 있다. 여기에서는 결함들, 즉 부하 드롭-아웃 및 접지와의 단락간의 구별이 불가능하였다. 결함을 하나의 출력단에 할당하기 위해서는, 확장 소프트웨어 검색 루틴이 필요하다.

(본 발명의 장점)

이와 비교하면, 전기 부하, 구동부 및 이와 연관된 접속부의 기능을 감시하기 위한 본 발명에 따른 장치는, 가능한 결함 예, 즉 접지와의 단락, 양의 전위와의 단락 및 부하 드롭-아웃이 하드웨어적 또는 소프트웨어적으로 부가되는 비용이 거의 없이, 특히 검색 루틴 없이 신뢰성있게 구별될 수 있는 장점이 있다. 또한, 부하와 구동부의 정확한 동작이 검출될 수 있다. 상기한 구성에 있어서, 부하는 접지와 접속되어 소위 상측 스위치에 의해 구동될 수 있으며, 양의 전위와 접속되어 소위 하측 스위치에 의해 구동될 수 있다. 반전 및 비반전 출력단은 감시될 수 있다. 또한, 본 발명에 따른 장치는 기존의 제어 회로에 내장될 수 있다. 출력단, 기능 감시 회로 및 각 개별적 부품은 독립적인 구성, 하이브리드 및 집적 회로일 수 있다.

청구항 제 1 항에 언급된 특징으로 갖는 서두에 설명된 형태의 장치는, 부하를 구동하기 위해 이용되는 출력단과 병렬로 접속된 적어도 하나의 결함 검출 회로를 포함한다. 서두에 나열된 결함들은 입출력 전위의 하드웨어 비교를 통해 구별된다. 부하 드롭-아웃을 검출하기 위해, 출력단에 인가되어 발생한 다른 전위를, 부하와 연결 라인이 단절되었을 때, 평가한다. 상기 전위는, 예를 들면 전원, 내부 저항, 연산 및 비교 회로 또는 전류원 등에 의해 얻어질 수 있다. 기능 감시 회로가 부하의 출력단과 병렬로 접속됨으로 인해, 부하, 출력단 및 연관된 접속부의 기능을 감시하기 위해 제어 회로의 어떠한 조정도 필요하지 않다. 그 결과, 상기 회로는 단순한 방식으로 개선될 수 있다. 또한, 간단한 구성으로 이루어져 장치가 저가로 제조될 수 있다.

기능 감시 회로의 양호한 실시예에서, 결함 검출 논리 회로는 메모리와 연계되어 있다. 메모리 내의 결함들이 기억됨으로 인해, 결함들은 비동기적으로, 즉 결함의 발생과 무관하게 검색된다. 메모리는 동시에 출력 유닛으로, 예컨대 순차 직렬 인터페이스를 위한 시프트 레지스터 또는 병렬 인터페이스를 위한 출력 래치로 이용되는 방식으로 배치될 수 있다. 이것은 결함이 온라인 처리될 필요가 없기 때문에, 제어 회로의 동작을 손상시키지 않는다.

또한, 기능 감시 회로의 실시예에서는 버퍼 메모리가 결함 검출 논리 회로 사이에 제공되는 것이 바람직하다. 상기 버퍼 메모리에서, 결함들이 검출된 직후에 기억된다. 동시에, 결함의 발생은 기능 감시 회로의 포트에서의 대응하는 신호에 의해 신호화된다. 제어 유닛에 의한 검색 시, 결함은 버퍼 메모리로부터 메모리에 전송되어 메모리에 의해 제어 장치에 신호화된다. 본 실시예는 제어 장치로의 결함 전송이 방해받는 경우, 결함 상태가 다시 버퍼 메모리로부터 메모리로 로드된 후, 다시 전송될 수 있는 장점이 있다. 또한, 버퍼 메모리는 결함 검출 논리 회로에 의해 지배된다. 즉, 출력단 결함이 더 이상 발생하지 않는다면 버퍼 메모리가 또한 리셋된다. 결함의 형태가 변경되면, 현재의 결함은 버퍼 메모리에 기입된다. 이로서, 제어 회로가 언제든지 현재의 결함 상태로 액세스될 수 있는 장점이 있다. 또한, 기능 감시 회로의 일 실시예에서, 버퍼 메모리는 시간 지연을 위한 장치와 연관되는 것이 바람직하다. 예를 들면 출력단에서 전송 시간만큼 발생하는 출력단의 입출력간의 이상이 제공되어도 결함 메시지로 나타나지 않는 장점이 있다. 마찬가지로, 예를 들면, 램프 출력단 같이 서서히 감쇠하는 스위칭 온 전류를 갖는 부하가 상기 장치를 통해 감시될 수 있다. 초기의 매우 높은 스위칭-온 전류로 인해, 부하의 단락 결함이 있다고 가정하면, 결함 유형이 타이밍 소자의 지연 시간이 경과한 후 버퍼 메모리내에 판독되기 때문에, 스위칭-온 전류가 우선 감쇠한다.

본 발명의 다른 실시예가 따르면, 기능 감시용 장치에는 결함 검출 논리회로 다음에 부화회기가 제공된다. 2개 이상의 결함 유형이 동시에 발생할 수 없기 때문에, 결함 유형은 부호화 회로를 통해 부호화되고, 그 결과 버퍼 메모리/메모리 내의 기억 공간이 절약될 수 있으며, 또한 메모리의 판독 사이클은 감소된 비트 수에 따라 적은 시간을 소비할 수 있다.

본 발명의 다른 개선점 및 장점은 나머지 종속항에서 나타난다. 특히, 기능 감시용 장치에 안정 회로가 제공되어, 결함이 발생한 경우에, 제어 신호를 출력단에 인가함으로써, 출력단과 부하가 단절될 수 있는 장점이 있다. 이로서, 예를 들면 양의 전위와의 단락(하측 스위치) 또는 접지와와의 단락(상측 스위치)과 같은 과부하로 인한 출력단의 파괴를 방지할 수 있다.

기능 감시 회로에 있어서, 회로 변동은 결함이 발생한 때, 기능 감시 회로의 포트에 신호가 인가되어, 결함 발생이 고레벨 제어 회로에 즉시 신호화되며, 제어 회로는 결함 메모리의 판독을 개시할 수 있다.

[도면의 간단한 설명]

도면을 참조한 이하의 설명으로 본 발명의 이해가 용이할 것이다.

제1도는 기능 감시 회로의 기본 블럭도.

제2도는 기능 감시 회로의 블럭도.

제3도는 기능 감시 회로의 결함 전송 프로토콜의 타이밍 차트.

제4도는 기능 감시 회로의 배선도.

(실시예의 설명)

제 1 도의 기본 블럭도로부터 결함 검출 원리를 유도할 수 있다. 전기 부하의 기능 감시 장치, 즉 기능 감시 회로(1)는 부하(R)의 증폭기 기호(3)로 표시된 출력단과 병렬 접속된다. 이 장치에서, 기능 감시 회로(1)의 입력 단자(E<sub>1</sub>)는 입력부 U<sub>E</sub>와 접속되고, 기능 감시 회로(1)의 단자 D<sub>1</sub>은 출력단(3)의 출력부 U<sub>A</sub>와 접속된다. 출력단은 본원의 설명에서는 비반전 출력단인 것으로 가정하지만, 결함 검출 원리는 반전 출력단에 대해서도 적용될 수 있다.

이 경우에 도시된 하측 출력단, 즉 양의 전위와 접속된 부하(R)은 출력단(3)을 통해 스위치 온 될때 접지와 접속된다. 그러나, 결함 검출 원리가 상측 출력단에도 용이하게 적용될 수 있다.

출력단(3)은 제어 회로 μC에 의해 구동된다(이 경우 저항(R<sub>1</sub>)을 경유한다). 도면에서는 편의상 제어 회로의 구동단과 부하를 구비한 하나의 출력단만을 도시하였다.

제 2 도의 블럭도에서는 출력단과 병렬 접속된 기능 감시 회로를 도시하고 있다.

출력단(3)의 출력부에는 전원 종속 기준 전압 U<sub>ref1</sub>에 좌우되는 다이오드 D 및 소위 폴-업 레지스터 R<sub>p</sub>를 갖는 레벨 가산 장치(6)가 제공된다. 다른 실시예에서, 레벨 가산 장치는 또한 예컨대 전류원, 연산 증폭 회로 또는 비교 회로 등으로 구성될 수 있다.

기능 감시 회로(1)는 한측이 입력 포트 E<sub>1</sub>를 거쳐 출력단(3)의 입력 단자 U<sub>E</sub>에 접속되고, 다른 한측이 포

트  $D_1$  을 거쳐 출력단(3)의 출력 단자  $U_A$  에 접속된 결합 검출 논리 회로(5)를 포함한다. 포트  $E_1$ 에는 출력단의 출력 레벨을 로우와 하이로 보호하는 회로 장치가 설치된다. 입출력단  $D_1$ 에는 출력단의 출력 레벨 로우, 하이 및  $U_{ref}$  를 검출할 수 있는 회로 장치가 제공된다.

다음의 실시예에서 지정된 전압 레벨은 12-V 자동 전기 시스템에서는 응용과 관계가 있다. 이것은 전압 레벨 선택 예로서 간주된다. 전압 레벨은 양의 전위에 의존하여 적합하게 추적된다.

기능 감시 회로(1)의 결합 검출 논리 회로(5)는 다음 상태들은 구별한다(예를 들면, 비반전 출력단의 경우).

1. 출력단(3)의 입력 단자  $U_E$ 가 저 전위이며 이에 따라 출력단(3)의 도통, 즉 턴온되는 경우, 출력단(3)의 출력 단자  $U_A$  에 3V 이상의 전위가 존재하여, 양의 전위와 부하 R의 단락으로 가정한다.
2. 출력단(3)의 입력 단자  $U_E$ 가 고 전위이며 이에 따라 출력단(3)이 턴오프되는 경우,  $U_A$ 에 3V 이하의 전위가 존재하여, 접지와 단락으로 가정한다.
3. 출력단(3)의 입력 단자가 하이이며 이에 따라, 출력단(3)이 턴 오프 되는 경우, 3V-7V 사이의 전위가 출력단의 출력 단자  $U_A$ 에 존재하여 출력단(3)이 턴오프되는, 부하 드롭-아웃, 즉 부하선의 단절로 가정한다.

그 결과, 도통 출력단에 있어서 정상 무결함 동작이 제공되는 경우에 0V에서 3V의 전위가 출력 단자  $U_A$ 에 나타난다. 출력단이 턴 오프 되는 경우, 출력 단자의 출력 전위가 VA7V이면, 정상 무결함 동작이 제공된다.

3 개의 전압 범위, 즉 0V-3V, 3V-7V, 7V 이상의 전위가 양의 전위, 기준 전위 및 접지 전위에 기초하여 구별될 수 있다. 따라서, 3가지 결합 유형, 즉 양의 전위와의 단락, 접지와 단락 및 부하 드롭-아웃이 입력 전압 레벨과 연계하여 직접 구별될 수 있다.

결합 검출 논리 회로에는 버퍼 메모리(9)와 접속된 부호화기(7)가 이어진다. 버퍼 메모리의 출력 신호는 기능 감시 회로(1)의 한 출력 포트 G와 접속된 출력 단자를 갖는 메모리(11)에 공급된다. 제 2 도는 버퍼 메모리의 시간 지연 장치(13)를 도시한다. 이것은  $t_v$  지연 시간을 갖는 지연 회로이다.

버퍼 메모리(9)는 라인(15)을 통해서, 기능 감시 회로(1)의 입력 포트  $E_1$ 와 접속된 안정 회로(17)를 거쳐 출력단(3)의 입력 단자  $U_E$ 에 접속된다.

기능 감시 회로의 한 입력 단자(J)는 제어 회로의 동기 포트  $P_2$ 에 접속되고, 기능 감시 회로의 다른 입력 단자(H)는 포트  $T_3$ 와 접속되어 제어 회로  $\mu C$ 의 클럭 신호를 출력한다. 마지막으로, 반전된 리셋 신호는 기능 감시 회로(1)의 추가 입력 단자 M'에 공급된다.

동기 신호는 적절한 라인(19, 21)을 거쳐 안정 회로(17)와 버퍼 메모리(9)에 공급된다. 이와 유사하게, 반전된 리셋 신호는 라인(23, 25)을 거쳐서 안정 회로(17), 버퍼 메모리(9) 및 타이밍부(13)에 공급된다. 마지막으로, 포트  $P_3$ 의 클럭 신호는 라인(27)을 거쳐서 메모리(11)에 공급된다.

추가 기능 감시 회로는 포트 F를 거쳐서 메모리(11)와 접속된다. 메모리(11)와의 접속부는 라인(29)을 거쳐서 상기 포트쪽에 존재한다.

추가 기능 감시 회로와 포트 G와의 접속부는 도시하지 않았지만,  $\mu C$ 의 직렬 인터페이스 라인(31)을 경유하여 접속되며, 라인(31)은  $\mu C$ 의 포트  $P_4$ 와 접속된다.

기능 감시 회로(1)는 그 한측에 공급 전압  $B_{att}$  와 이외의 전압  $V_{cc}$ 가 인가되는 추가 포트 K, L 을 갖는다.

제 2 도에서는, 하나의 논리 회로(5)만이 기능 감시 회로(1)의 포트  $E_1$ ,  $D_1$ 과 접속되고 출력단(3)에 할당된 것으로 편의상 도시하였다. 그러나, 예를 들면, 출력단에 대응하는 나머지 포트  $E_2$  내지  $D_2$  내지  $D_n$ 을 통해 접속된 n회로 같은 여러개의 논리 회로가 제동될 수 있다. 부호화기(7), 버퍼(9) 및 안정 회로(17)의 수는 논리 회로(5)의 수에 대응한다. 그러나, n 논리 회로라 하더라도 대응하는 비트 수를 갖는 하나의 메모리(11)만이 제공된다.

제 3 도는 결합 전송 프로토콜에 대한 가능한 타이밍도를 도시한다. 상단의 도면은  $\mu C$ 의 동기 포트  $P_2$ 에 존재하는 신호의 시간에 따른 변동을 나타내고, 중앙의 도면은 클럭 포트  $P_3$ 에서의 전위 변동을, 하단의 도면은  $\mu C$ 의  $P_4$  또는 기능 감시 회로의 포트 G에서의 전위 변동을 도시한다.

$P_2$ ,  $P_3$  및  $P_4$ 에서의 전위 변동은 기능 감시 회로(1)의 기능 설명을 참조하여 상세히 설명된다. 제 2 도의 감시 회로(1)의 동작은 이하에서 상술한다.

기능 감시 회로(1)를 사용하면, 출력단(3)의 입력부  $U_E$  와 출력부  $U_A$ 의 전위는 정밀한 검색을 받게 된다. 이 과정에서, 3개의 전위, 즉 3개의 결합 상태가, 제 1 도를 참조하여 상세히 설명한 바와 같이 논리 회로(5)의 윈도우 비교기를 통해 검출 및 구별된다. 즉, 전원  $U_{batt}$  과 부하 R의 단락, 접지와 단락, 부하 드롭-아웃(즉 공급선과 부하 R의 단절)을 구별한다. 상기 목적을 위하여, 기능 감시 회로(1)의 단자  $E_1$ ,  $D_1$  에 존재하는 전위와 기준 전압  $U_{ref}$  는 논리 회로(5)에서 서로 비교된다.

출력단(3)에서의 결함은 결함 검출 논리 회로(5)를 통해 검출된다. 디바이스(9)에 의해 설정된 지연 시간  $t_v$  가 경과된 후, 곧바로 결함이 버퍼 메모리에 기입되고, 포트(이 경우 포트 G)를 통해 결함 발생이 표시된다. 상기 지연 시간으로 인해, 예컨대 출력단에서의 정상 전송 시간 지연으로 인해, 예를 들면 출력단에서의 입력 및 출력 전위간의 이상 같은 결함 메시지가 억제된다.

예컨대, 램프 출력단의 스위칭-온 전류가 상당히 크거나, 출력단  $U_A$  의 전위가 상당히 크면, 부하 R과 전원과의 단락이 진단된다. 지연 시간은 임출력간의 단시간의 이상이 축소되는 방식으로, 또는 선택된 지연 시간이 경과된 후 스위칭-온 전류가 감소되는 방식으로 선택된다. 버퍼 메모리(9) 내에 기억된 결함이 있는 경우, 가능하면 결함이 제거될 때까지 남아있게 된다. 간헐적인 접촉이 있는 경우, 초기에 신호화된 부하 드롭-아웃은 이후의 시간에 더 이상 제공되지 않는다. 버퍼 메모리(9) 내에 기억된 결함은 결함이 제거된 경우에 무시 또는 삭제된다.

따라서, 기능 감시 회로(1)의 포트 G는 결함이 발생한 후 시간 지연 종료와 동시에 로우로 설정된다. 결함 내용은 버퍼 메모리(9)에 저장된다. 제어장치  $\mu C$  는 입력 포트  $P_4$  로 검색함으로써, 필요에 따라 결함 검색을 행하여 단자 G의 변경된 전위를 검출할 수 있다. 따라서, 이것은 제어 장치가 비동기적으로, 즉 결함 발생과 무관하게 행해짐을 의미한다.

상기 목적을 위하여, 신호는 동기화 포트  $P_2$ 와 연결 라인(21)을 통해서 메모리(11)내로 결함 메시지를 전송시키는 버퍼 메모리(9)에 출력된다. 메모리(11)는 출력 장치와 접속된다. 이러한 구성에 있어서, 예를 들면 병렬 출력부와 직렬 출력부가 함께 접속될 수 있다. 메모리(11)는 시프트 레지스터로서 직렬 출력부와 접속되는 것이 바람직하다. 상기 구성을 통해 기능 감시 회로와의 접속부의 수를 상당히 감소시킬 수 있다.

제 3 도에서는 직렬의 결함 판독을 위한 전송 프로토콜을 일례로 표시하였다.

메모리(11)에 전송된 결함 리포트는 검색된다. 즉, 메모리의 내용은 라인(27)을 통해서 메모리(11)에 도달하는 클럭 포트  $P_3$  의 클럭 신호에 의해 연속적으로 판독된다.

제 3 도의 하단 도면을 참조하면, 메모리(11)에 설정된 비트, 이 경우 비트 1-15 가 연속적으로 판독된다. 결함 형태 및 결함 경로, 즉 결함이 존재하는 출력단은 전송 프로토콜 내의 비트 위치로부터 판정된다.

제 3 도는 포트  $P_3$  에서의 클럭 신호가 동기 포트  $P_2$  에서의 전위 변동 결과로서 출력됨을 도시하고 있다. 동기 포트  $P_2$  에서의 전위가 하이인 동안에, 클럭 신호는 제 3 도에 따른 진단 인터페이스의 입력 포트  $P_4$ 에 어떠한 영향도 주지 않는다.

제 3 도에서는 결함 메시지가 버퍼 메모리(9)에서 메모리(11)로 전송되었음을 알 수 있다. 원칙적으로는, 4 개의 메시지는 무결함, 양의 전위와의 단락, 접지와와의 단락 및 부하 드롭-아웃으로 구별된다. 따라서, 4 개의 비트는 버퍼 메모리(9) 및 메모리(11)내에서 각 논리 회로(5)에 제공되어야 한다. 기능 감시 회로(1)에는  $n$  논리 회로, 즉  $4 \cdot n$  비트가 버퍼 메모리에 제공될 수 있다. 대응하는 비트의 수가 또한 메모리(11)에 제공될 수도 있다.

한 출력단에서 2 개의 출력단 결함이 동시에 일어날 가능성이 없기 때문에, 결함은 이하에 도시된 실시예에서의 표에 따라 부호화된다.

결함 형태	비트	비트
무결함	1	1
양의 전위와의 단락	0	0
부하 드롭-아웃	1	0
접지와와의 단락	0	1

여기서의 단락은 단락 회로인 경우를 표시한다.

상기 부호화는 결함 검출 논리 회로(5)와 버퍼 메모리(9) 사이에 배치된 부호화기(7)에서 행해진다. 이것은 결함 검출 논리 회로(5)마다 필요한 비트 수를 버퍼 메모리(9)와 메모리(11)에서 2 개로 축소시킨다.

7개의 출력단인 경우에, 메모리(11)에는 14개의 비트만이 제공된다.

메모리(11)에서 제어 회로  $\mu C$  로 결함 리포트의 무결함 전송을 위한 진단 인터페이스를 검색하기 위해, 직렬 인터페이스의  $P_4$  포트에서 최종 비트, 즉 제 3 도에서는 15 비트로서 출현하는 레지스터(11)의 단부에 추가 비트가 제공된다. 결함 전송 프로토콜에서, 최종 추가 15 번째 비트는 무결함 전송이 일어날 때 로우로 되어야 한다. 이것은 제 3 도 하단 도면에 표시된다.

만일 결함 전송 프로토콜의 검색 기간에 테스트 비트가 로우인 경우에, 버퍼 메모리(9)에 기억된 결함 전송 프로토콜은 메모리(11)에 다시 전송되어서 제 3 도에 따른 신호 순차에 따라 검색받는다.

메모리(11)로부터 결함 프로토콜의 전송 기간에 비트는 연속적으로 검색 받는다. 이로써 결함 비트를 관련 결함 검출 논리 회로(5)와 대응 출력단(3)에 명확하게 할당 가능하게 된다. 기능 감시 회로(1)에 할당된 출력단에서 발생한 결함의 유형을 결함 전송 프로토콜로부터 용이하게 판정할 수 있다. 따라서, 명확한 결함 할당 및 구별이 수행된다.

기능 감시 회로(1)에는 라인(15)을 통해 버퍼 메모리(9)와 접속된 안정 차단기(17)(즉, 안정 회로)가 부가적으로 제공된다. 출력단에 손상을 가하는 단락 회로가 발생할 때(하측 스위치로 전원과의 단락, 또는 상측 스위치로 접지와와의 단락), 연결된 출력단(3)을 차단시키는 안정 차단기에 상기 라인을 통해 신호가 공급된다. 여기에 도시된 실시예에 있어서, 출력단의 입력 단자는 인액티브 출력단을 제공하는 레벨과 접속된다. 이러한 방식으로, 부하 R 은 접지 또는 전원과의 단락에 따라 즉시 단절되어, 실질적으로 손상이 불가능하도록 한다. 차단 지연으로 인해, 출력단은 단시간동안 단락에 대한 내성을 갖어, 안정 회로(17)에 의한 단절이 생길 때까지 손상을 피할 수 있게 된다.

일단 출력단이 단절되면, 결함 전송 프로토콜이 접속 라인(19)과 안정 회로(17)에 의해 메모리에서 판독될 때에 다시 해제된다. 그러나, 양의 전위와의 단락인 결함의 경우에는 가능한 결함 제거에 의해 리셋될 때까지 버퍼 메모리(9)에 기억된다. 결함이 존재하는 한, 출력단은 각 판독 공정 후에 다시 단절된다. 모든 결함, 즉 버퍼 메모리(9)는 기능 감시 회로(1)의 입력 포트 M 에서 반전 리셋 신호에 의해 소정의 방식으로 리셋될 수 있다. 상기 목적을 위하여, 리셋 신호는 라인(25)을 통해 버퍼 메모리(9)에 인가된다.

기능 감시 회로(1)는 또한 반전된 리셋 신호에 의하여 소정의 방식으로 초기화 또는 단절된다. 상기 목적을 위하여, 리셋 신호는 라인(23)을 통해서 출력단을 단절시키기 위해 사용되는 안정 차단기와도 통된다. 즉, 출력단에 대응 입력 레벨을 인가함으로써 부하를 갖는 출력단이 단절된다.

기능 감시 회로의 초기 구동시에 단절되지 않아야 하는 부하는 제어 장치에 의해 적절하게 구동되고, 즉 제어 장치  $\mu C$  의 출력 포트  $P_1$  와 출력단의 입력 단자  $U_E$  사이에 위치한 레지스터  $R_1$  은 상기 출력단들에게 생략된다. 대신에, 출력단의 입력 단자  $U_E$  와 기능 감시 회로(1)의 연결 포트  $E_1$  사이에 접속라인으로 배치된다.

또한, 출력단은 리셋 신호가 설정될 때에 안전상의 이유로 안정 회로(17)를 거쳐 단절될 수 있어서, 제어 회로  $\mu C$  의 출력 포트에서 미확정의 전위가 부하의 오기능을 유발하지 않는다.

전체적으로, 결함이 각 출력단에 할당되어 도시된 기능 감시 회로에 의해 구별될 수 있음을 확인할 수 있다.

기능 감시 회로는 병렬 회로만이 제공되기 때문에, 부하의 출력단에 어려움 없이 할당될 수 있음을 용이하게 알 수 있다. 연관된 출력단에서의 어떠한 조정도 필요없다. 이러한 방식으로, 전술한 기능 감시 회로는 광범위하며 단순한 방식으로 이용될 수 있다.

전술한 회로를 이용하면, 저가의 출력단 모듈로 단락 저지 및 진단을 할 수 있게 된다. 결함 감시 회로는 직렬로 연결할 수 있음을 주목하자.

결국, 상술한 바와 같이 결함 감시 회로는 케스케이드될 수 있다. 가능한 케스케이드 회로는 제 4 도에 도시된다.

도시된 실시예에 있어서, 하나의 제어 장치  $\mu C$ 에 3 개의 결함 감시 회로(10, 20, 30)가 할당된다. 가장 중요한 부하의 출력단은 제어 장치  $\mu C$ 와 직접 접속된 감시 회로(30)에 할당된다. 상기 구성에서, 상기 감시 회로의 출력 포트  $G'$  는 제어 회로의 입력 포트  $P4'$  에 할당된다. 이것의 목적은 가장 중요한 출력단의 결함 메시지를 검색 기간에 제일 먼저 이용할 수 있다는 것이다. 결함 감시 회로(20)의 출력단  $G$  은 결함 감시 회로(30)의 포트  $F'$  에 접속된다.

따라서, 결함 감시 회로(10)의 출력 포트  $G'$  는 결함 감시 회로(20)의 포트  $F$ 에 접속된다.

클럭 신호는 제어 회로의 포트  $P_3'$  를 거쳐서 모든 결함 감시 회로에 공급되며, 제어 회로의 포트  $P_2'$  에 존재하는 동기 신호도 마찬가지이다.

결함 감시 회로중 하나에 의해 결함이 검출되는 순간, 로우 전위가 제어 회로  $\mu C$  의 포트  $P_4'$  에 인가된다. 결함 검색은 제 2 도에 대한 설명에 따라 발생하는데, 즉 결함 회로(10, 20, 30)에 존재하는 결함은 제 2 도를 참조하여 설명한 바와 같은 대응 메모리들 및 연관 메모리(11)에서 제공된다.

접선 A, B 는 결함 감시 회로(10, 20, 30)에 존재하는 결함 프로토콜이 판독 시간을 단축하기 위하여 병렬적으로 제어 회로  $\mu C$  에 의해 검색될 수 있음을 도시한 것이다.

## (57) 청구의 범위

### 청구항 1

(정정) 전기 부하, 적어도 하나의 출력단, 상기 출력단과 상기 전기 부하를 접속하는 접속 라인 및 상기 출력단과 접속된 제어 회로를 포함한 전기/전자 회로의 기능을 감시하는 회로에 있어서,

(1) 상기 출력단과 병렬로 접속된 적어도 하나의 결함 검출 논리 회로로서, 상기 결함 검출 논리 회로는 부하의 단락, 출력단의 단락 및 접속 라인의 단절을 포함한 결함 상태의 발생을 검출하며,

상기 결함 검출 논리 회로는,

상기 출력단의 입력 전위와 접속된 제 1 단자와,

상기 출력단의 출력 전위와 접속된 제 2 단자와,

소정 레벨의 기준 전위를 제 1 및 제 2 단자중 적어도 하나에 공급하여 출력단의 단락과 접속 라인의 단절 사이를 구별하는 수단 및,

적어도 하나의 미리 선택된 임계 전위와 출력단과 연관된 전위들을 비교하는 비교 수단을 더 구비하는 상기 적어도 하나의 결함 검출 논리 회로 및,

(2) 검출된 결함 상태를 표시하는 신호를 기억하는 기억 수단을 포함하는 전지/전자 회로의 기능 감시 회로.

(2) 검출된 결함 상태를 표시하는 신호를 기억하는 기억 수단을 포함하는 전기/전자 회로의 기능 감시 회로.

**청구항 2**

(정정) 제 1 항에 있어서, 상기 출력단은 반전과 비반전 출력단중 하나를 포함하는 전기/전자 회로의 기능 감시 회로.

**청구항 3**

(정정) 제 1 항에 있어서, 상기 출력단은 하측과 상측 출력단중 하나를 포함하는 전기/전자 회로의 기능 감시 회로.

**청구항 4**

(정정) 제 1 항에 있어서, 상기 기억 수단은 제 1 메모리 및 제 2 메모리를 포함하며, 상기 제 1 메모리 및 제 2 메모리들은 서로 접속된 전기/전자 회로의 기능 감시 회로.

**청구항 5**

(정정) 제 4 항에 있어서, 상기 제 1 메모리는 버퍼 메모리를 포함하는 전기/전자 회로의 기능 감시 회로.

**청구항 6**

(정정) 제 2 항에 있어서, 상기 버퍼 메모리는 검출된 결함 상태를 나타내는 신호들의 일시적인 기억부인 전기/전자 회로의 기능 감시 회로.

**청구항 7**

(2회 정정) 제 5 항에 있어서, 버퍼 메모리와 결합된 시간 지연 장치를 더 포함하는 전기/전자 회로의 기능 감시 회로.

**청구항 8**

(2회 정정) 제 1 항에 있어서, 상기 감시 회로는 검출된 결함 상태를 표시하는 신호를 부호화하는 부호화 수단을 포함하는 전기/전자 회로의 기능 감시 회로.

**청구항 9**

제 1 항에 있어서, 상기 감시 회로는 출력단을 보호하기 위한 안정회로를 더 포함하는 전기/전자 회로의 기능 감시 회로.

**청구항 10**

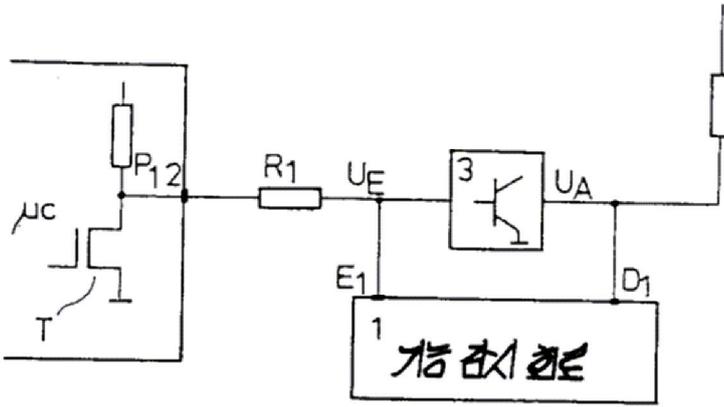
(2회 정정) 제 1 항에 있어서, 상기 기억 수단은 자체에 기억된 소정의 정보를 판독하기 위해 제어 신호를 기억 수단에 입력하는 제어 회로와 접속된 전기/전자 회로의 기능 감시 회로.

**청구항 11**

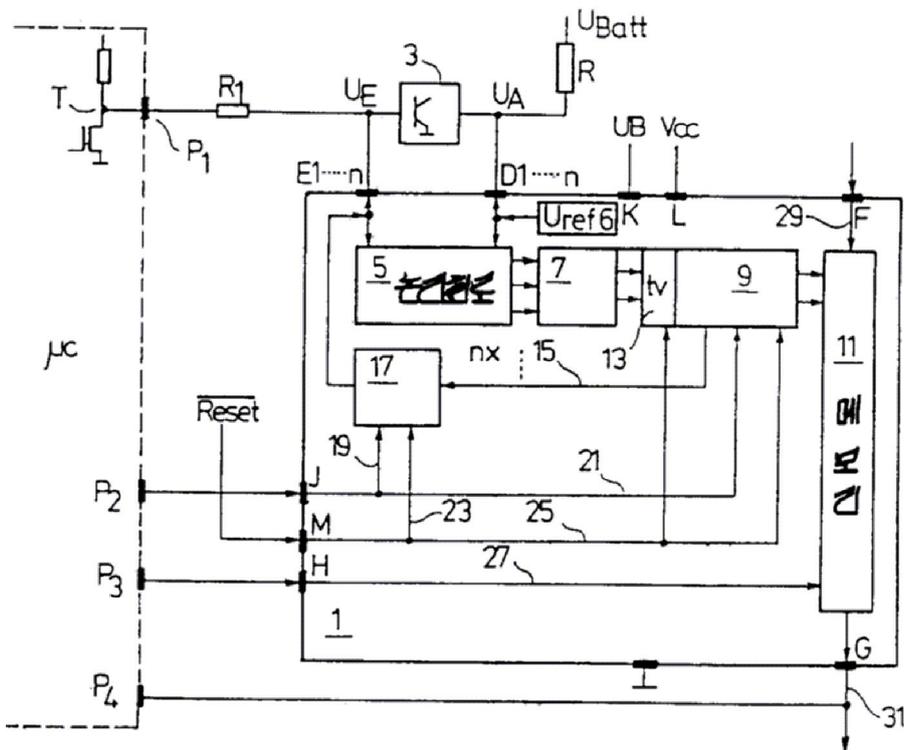
(2회 정정) 제 1 항에 있어서, 상기 감시 회로는 다수의 케이스케이드 회로를 포함하는 전기/전자 회로의 기능 감시 회로.

**도면**

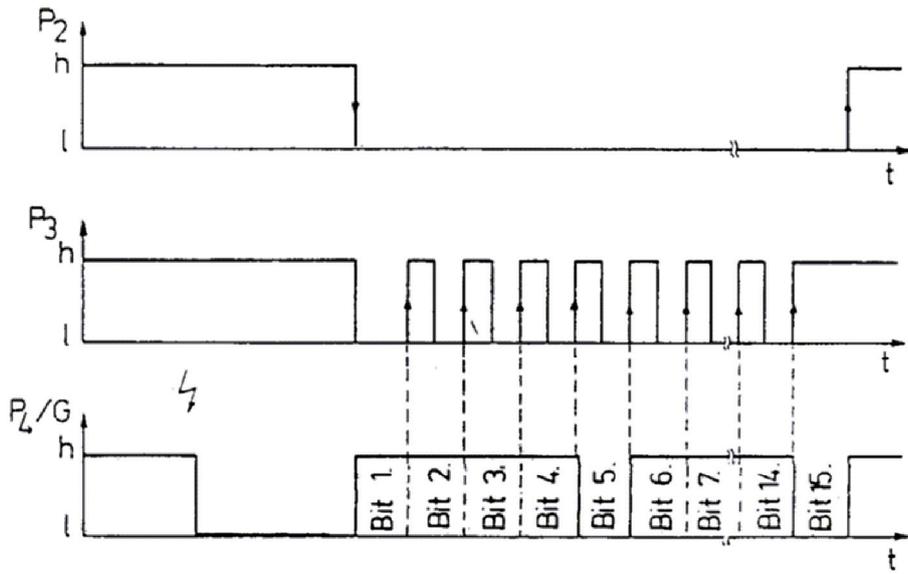
도면1



도면2



도면3



도면4

