



(12) 发明专利申请

(10) 申请公布号 CN 104122724 A

(43) 申请公布日 2014. 10. 29

(21) 申请号 201410318192. 0

(22) 申请日 2014. 07. 04

(71) 申请人 深圳市华星光电技术有限公司  
地址 518132 广东省深圳市光明新区塘明大道 9—2 号

(72) 发明人 柴立

(74) 专利代理机构 深圳翼盛智成知识产权事务所 (普通合伙) 44300

代理人 黄威

(51) Int. Cl.

G02F 1/1362(2006. 01)

G02F 1/1368(2006. 01)

G02F 1/133(2006. 01)

H01L 27/12(2006. 01)

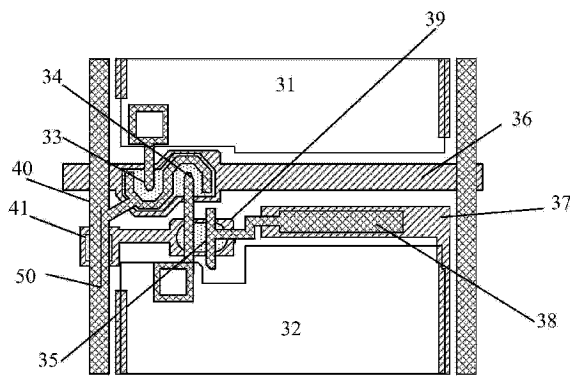
权利要求书1页 说明书5页 附图2页

(54) 发明名称

低色偏液晶阵列基板及其驱动方法

(57) 摘要

本发明涉及一种液晶阵列基板以及相应的驱动方法,该液晶阵列基板包括多个像素结构,每一像素结构包括一主像素区以及一次像素区,所述主像素区与次像素区之间设置有一栅线,所述栅线设置有一第一薄膜晶体管以及一第二薄膜晶体管,分别连接于所述主像素区以及所述次像素区,其中所述栅线与所述次像素区之间还包括:一共用电极线,设置有一关态电容;以及一金属部件,设置有一共享薄膜晶体管与所述关态电容连接,并且通过一通孔与一数据线电连接。通过省略子栅线的設計,直接以数据线的讯号电压开启共享薄膜晶体管的开关,并且利用调整主像素区中薄膜晶体管的栅源电容来改善主像素区与次像素区之间的电压不一致问题,以提升开口率并且降低制程的成本。



1. 一种液晶阵列基板,包括多个像素结构,每一像素结构包括一主像素区以及一次像素区,所述主像素区与所述次像素区间设置有一栅线,所述栅线分别连接一第一薄膜晶体管以及一第二薄膜晶体管,以及至少一数据线分别连接于所述第一薄膜晶体管以及第二薄膜晶体管,其特征在于,所述栅线与所述次像素区间还包括:

一共用电极线,设置有一关态电容;以及

一金属部件,设置有一共享薄膜晶体管与所述关态电容连接,并且通过一通孔与所述数据线电连接。

2. 根据权利要求1所述的液晶阵列基板,其特征在于,所述共享薄膜晶体管的开关是由所述数据线所控制。

3. 根据权利要求1所述的液晶阵列基板,其特征在于,所述第一薄膜晶体管具有一第一栅源电容值,所述第二薄膜晶体管具有一第二栅源电容值,所述第一栅源电容值大于所述第二栅源电容值。

4. 根据权利要求1所述的液晶阵列基板,其特征在于,所述金属部件为一浮闸。

5. 一种液晶阵列基板的驱动方法,所述液晶阵列基板包括多个像素结构,每一像素结构包括一主像素区以及一次像素区,所述主像素区与所述次像素区间设置有一栅线,所述栅线分别连接一第一薄膜晶体管以及一第二薄膜晶体管,以及至少一数据线分别连接于所述第一薄膜晶体管以及第二薄膜晶体管,所述栅线与所述次像素区间还包括一共用电极线,设置有一关态电容,以及一第一金属部,设置有一共享薄膜晶体管,其特征在于:所述栅线产生一电压信号用于控制所述第一薄膜晶体管以及一第二薄膜晶体管的开关;

所述共享薄膜晶体管通过一通孔与所述数据线电连接,并且所述数据线产生一电压信号用于控制所述共享薄膜晶体管的开关。

6. 根据权利要求5所述的驱动方法,其特征在于,所述共享薄膜晶体管与所述关态电容连接,当所述共享薄膜晶体管导通时,所述次像素区的一电荷即释放到所述关态电容。

7. 根据权利要求5所述的驱动方法,其特征在于,所述第一薄膜晶体管具有一第一栅源电容值,所述第二薄膜晶体管具有一第二栅源电容值,所述第一栅源电容值大于所述第二栅源电容值。

8. 根据权利要求5所述的驱动方法,其特征在于,所述金属部件为一浮闸。

9. 根据权利要求5所述的驱动方法,其特征在于,所述数据线的电压于白画面时为0.2伏特或14.2伏特。

10. 根据权利要求5所述的驱动方法,其特征在于,所述数据线的电压于黑画面时为7.7伏特或7.2伏特。

## 低色偏液晶阵列基板及其驱动方法

### 技术领域

[0001] 本发明涉及低色偏液晶阵列基板及其相应的驱动方法,特别是涉及一种省略子栅线的像素结构。

### 背景技术

[0002] 随着信息社会的发展,人们对显示设备的需求逐年升高,从而推动了液晶面板的快速发展,面板的尺寸也越做越大,尤其对广视角、低能耗等要求也越来越高,因此薄膜晶体管(TFT)器件及液晶面板的像素结构设计也朝多样化发展。

[0003] 一般的液晶电子装置均具有广视角的显示模式,在广视角的显示模式下,由于在不同视角观察到的液晶分子指向不同,导致于大视角下观察到的颜色失真。目前,为了改善大视角的颜色失真,在像素结构设计时会将一个像素结构分为主像素区和次像素区两部分,并通过共享薄膜晶体管和关态电容来降低次像素区的电压,从而控制主像素区和次像素区的液晶旋转量差,以改善在广视角下颜色失真的现象。而上述将像素结构分为主像素区以及次像素区的设计一般称为低色偏设计(Low Color Shift, LCS)。

[0004] 图1显示现有技术的像素结构示意图,该像素结构包括有主像素区11和次像素区12、连接于主像素区11的第一薄膜晶体管13、连接于次像素区12的第二薄膜晶体管14、共享薄膜晶体管15、主栅线16(main gate line)、子栅线17(sub gate line)、共同电极18、关态(Cdown)电容19、以及共享薄膜晶体管15等关键部件,其中共享薄膜晶体管15的开关由子栅线17所控制,而第N根子栅线与第N+1或N+2或N+3或N+4根主栅线连接在一起。

[0005] 上述设计的缺陷在于,子栅线17会增加与数据线20的重迭区域,不但影响像素的开口率,亦导致栅线与数据线20之间短路(Gate-Drain Short, GDS)的发生机率增加,连带产品制造的成本大幅度上升。故,有必要提供一种像素结构,以解决现有技术所存在的问题。

### 发明内容

[0006] 本发明的目的在于提供一种低色偏液晶阵列基板的技术方案,通过省略子栅线,减少不良的短路现象发生,进而提升开口率以及节约成本。

[0007] 为达成本发明的前述目的,本发明提供一种有别于现有技术使用两条栅线以实现低色偏阵列基板的设计,本发明的液晶阵列基板包括多个像素结构,每一像素结构包括一主像素区以及一次像素区,所述主像素区与所述次像素区间设置有一栅线,所述栅线分别连接一第一薄膜晶体管以及一第二薄膜晶体管,以及至少一数据线分别连接于所述第一薄膜晶体管以及第二薄膜晶体管,其中所述栅线与所述次像素区间还包括:一共用电极线,设置有一关态电容;以及一金属部件,设置有一共享薄膜晶体管与所述关态电容连接,并且通过一通孔与所述数据线电连接。

[0008] 在本发明的液晶阵列基板中,所述共享薄膜晶体管的开关可直接由所述数据线所控制。

[0009] 在本发明的液晶阵列基板中,所述第一薄膜晶体管具有一第一栅源电容值,所述第二薄膜晶体管具有一第二栅源电容值,所述第一栅源电容值大于所述第二栅源电容值。

[0010] 在本发明的液晶阵列基板中,所述金属部件为一浮闸。

[0011] 本发明的另一目的在于提供一种液晶阵列基板的驱动方法,通过省略子栅线,直接以数据线驱动共享薄膜晶体管以减少不良的短路现象发生,进而提升开口率以及节约成本。

[0012] 为解决上述技术问题,本发明提供一种液晶阵列基板的驱动方法,所述液晶阵列基板包括多个像素结构,每一像素结构包括一主像素区以及一次像素区,所述主像素区与所述次像素区间设置有一栅线,所述栅线分别连接一第一薄膜晶体管以及一第二薄膜晶体管,以及至少一数据线分别连接于所述第一薄膜晶体管以及第二薄膜晶体管,所述栅线与所述次像素区间还包括一共用电极线,设置有一关态电容;以及一第一金属部,设置有一共享薄膜晶体管,其中所述栅线产生一电压信号用于控制所述第一薄膜晶体管以及一第二薄膜晶体管的开关;所述共享薄膜晶体管通过一通孔与所述数据线电连接,并且所述数据线产生一电压信号用于控制所述共享薄膜晶体管的开关。

[0013] 在本发明的驱动方法中所述,共享薄膜晶体管与所述关态电容连接,当所述共享薄膜晶体管导通时,所述次像素区的一电荷即释放到所述关态电容。

[0014] 在本发明的驱动方法中,所述第一薄膜晶体管具有一第一栅源电容值,所述第二薄膜晶体管具有一第二栅源电容值,所述第一栅源电容值大于所述第二栅源电容值。

[0015] 在本发明的驱动方法中,所述金属部件为一浮闸。

[0016] 在本发明的驱动方法中,所述数据线的电压于白画面时为 0.2 伏特或 14.2 伏特。

[0017] 在本发明的驱动方法中,所述数据线的电压于黑画面时为 7.7 伏特或 7.2 伏特。

[0018] 本发明通过省略子栅线的设置,直接以数据线控制共享薄膜晶体管的开关,并且通过将主像素区中薄膜晶体管的栅源电容设计为大于在次像素区中薄膜晶体管的栅源电容,以调整主像素区与次像素区之间的电压差,使主像素区与次像素区之间的电压一致。

[0019] 在本发明的设计下,可省略子栅线,降低和数据线与金属部件的重迭部分,降低 GDS 不良发生率的发生,在不降低像素开口率的情况下实现低色偏的显示效果,即节能又节省成本。

[0020] 为了让本发明的上述内容能更明显易懂,下文特举优选实施例,并配合所附图示,做详细说明如下:

#### 附图说明

[0021] 图 1 为现有技术的像素结构示意图。

[0022] 图 2 绘示本发明的像素结构示意图。

[0023] 图 3 为图 2 中标号“50”处的剖面示意图。

#### 具体实施方式

[0024] 以下各实施例的说明是参考附加的图式,用以例示本发明可用以实施的特定实施例。本发明所提到的方向用语,例如「上」、「下」、「前」、「后」、「左」、「右」、「内」、「外」、「侧面」等,仅是参考附加图式的方向。因此,使用的方向用语是用以说明及理解本发明,而非用

以限制本发明。在图中,结构相似的单元是以相同标号表示。

[0025] 本发明的液晶阵列基板包括多个像素结构,图 2 绘示每一像素结构示意图,每一像素结构包括一个主像素区 31 以及一个次像素区 32,所述主像素区 31 与所述次像素区 32 间设置有一栅线 36,所述栅线 36 分别电性连接一第一薄膜晶体管 33 以及一第二薄膜晶体管 34 的栅级,以及至少一数据线分别连接于所述第一薄膜晶体管 33 以及第二薄膜晶体管 34 的源级,所述第一薄膜晶体管 33 以及第二薄膜晶体管 34 的漏极则分别连接于所述主像素区 31 以及所述次像素区 32,用于控制主像素区 31 以及次像素区 32 的显示。所述栅线 36 与所述次像素区 32 之间还包括:一共用电极线 37 且所述共用电极线 37 设置有一关态电容 38,以及一金属部件 39,设置有一共享薄膜晶体管 35 且所述共享薄膜晶体管 35 用于与所述关态电容 38 电性连接,并且通过一通孔 41 与所述数据线 40 电连接。

[0026] 在本发明一实施例中,所述栅线 36、通孔 41、金属部件 39、以及共用电极线 37 皆为一第一金属层,可同时形成于液晶阵列基板上,所述数据线 40 则为一第二金属层,形成于所述第一金属层之后,并且与所述栅线 36 以及通孔 41 有部分重叠。

[0027] 在本发明一实施例中,所述主像素区与次像素区的电极为透明导电电极,优选为氧化铟锡 (ITO)。

[0028] 在本发明一实施例中,所述金属部件 39 为一浮闸。

[0029] 请参考图示 3,图示 3 为本发明图示 2 中标号“50”处的剖面示意图,其中,39 为金属部件,也就是第一金属层,其可为一浮闸;51 为栅极-氮化硅层 (Gate-SiNx);40 为数据线,也就是第二金属层;52 为氮化硅钝化层 (Passivation-SiNx)。因此,所述金属部件 39 通过通孔 41 与数据线 40,40 产生电连接。

[0030] 而一般数据线的电压皆为正负半周交变电压,例如,在白画面时的电压为 0.2 伏特或 14.2 伏特,在黑画面时的电压为 7.7 伏特或 7.2 伏特。依据现有非晶硅的电流对电压曲线 (I-V Curve) 特性,上述 7.2 伏特、7.7 伏特、以及 14.2 伏特都可以开启共享薄膜晶体管 35 的开关。

[0031] 因此,有别于现有技术使用子栅线来控制共享薄膜晶体管的开关,在本发明一实施例中,共享薄膜晶体管 35 的开关可直接由数据线 40 所控制,也就是利用数据线 40 的信号电压来开启非晶硅共享薄膜晶体管 35 的开关,使得次像素区 32 的电荷可释放至关态电容 38,达到低色偏的显示效果。

[0032] 由于上述数据线 40 的电压在 0.2 伏特时已接近阈值电压 ( $V_{th}$ ),共享薄膜晶体管 35 的开关视为不开启,因此在白画面下正负半周共享薄膜晶体管 35 开启的程度不同,次像素区 32 释放的电荷也不同,导致次像素区 32 的正半周电压下降,负半周的电压也跟着下降,从而其最佳共享电压 (Best  $V_{com}$ ) 也需要向下调整。

[0033] 因此,为了使得主像素区 31 与次像素区 32 的最佳共享电压一致,在本发明一实施例中,可视实际状况把主像素区 31 中薄膜晶体管 33 的栅源电容 ( $C_{gs}$ ) 设计的大一点,通过跳变电压 ( $\Delta V_p$ ) 将主像素区 31 的最佳共享电压下拉至与次像素区 32 的最佳共享电压一致。也就是说,使主像素区 31 中第一薄膜晶体管 33 的第一栅源电容值大于次像素区 32 中第二薄膜晶体管 34 的第二栅源电容值,以改善通过数据线 40 控制共享薄膜晶体管 35 时因为数据线正负半周开启程度不同所引起的最佳共享电压偏移 (Best  $V_{com}$  Shift) 现象。

[0034] 通过上述的像素结构设计,本发明可省略子栅线的配置,直接以数据线控制的讯

号电压开启共享薄膜晶体管的开关,并且利用调整主像素区中薄膜晶体管的栅源电容来改善主像素区与次像素区之间的电压不一致问题。因此,不但可减少数据线与栅线之间的重迭部分、提升开口率,亦可降低整体制程的成本。

[0035] 本发明还涉及一种液晶阵列基板的驱动方法,所述液晶阵列基板包括:所述液晶显示面板包括多个像素结构,每一像素结构包括一主像素区 31 以及一次像素区 32,所述主像素区 31 与所述次像素区 32 间设置有一栅线 36,所述栅线 36 分别电性连接一第一薄膜晶体管 33 以及一第二薄膜晶体管 34,所述第一薄膜晶体管 33 以及第二薄膜晶体管 34 分别连接于所述主像素区 31 以及所述次像素区 32,用于控制主像素区 31 以及次像素区 32 的显示,其中所述栅线 36 与所述次像素区 32 间还包括:一共用电极线 37,设置有一关态电容 38;以及一第一金属部 39,设置有一共享薄膜晶体管 35。

[0036] 在本发明一实施例中,所述金属部件 39 为一浮闸。

[0037] 在本发明一实施例中,所述主像素区 31 与次像素区 32 的电极为透明导电电极,优选为氧化铟锡 (ITO)。

[0038] 在本发明一实施例中,所述栅线 36 用于产生开启或关闭的电压信号给第一薄膜晶体管 33,用于控制第一薄膜晶体管 33 的开关,第一薄膜晶体管 33 的漏极连接于第一像素区 31,第一薄膜晶体管 33 的源极连接于数据线 40,所述数据线 40 在第一薄膜晶体管 33 导通时输入数据驱动信号,从而控制主像素区 31 的显示。

[0039] 在本发明一实施例中,所述栅线 36 用于产生开启或关闭的电压信号给第二薄膜晶体管 34,用于控制第二薄膜晶体管 34 的开关,第二薄膜晶体管 34 的漏极连接于第二像素区 32,第二薄膜晶体管 34 的源极连接于数据线 40,所述数据线 40 在第二薄膜晶体管 34 导通时输入数据驱动信号,从而控制次像素区 32 的显示。

[0040] 由于一般数据线的电压都是正负半周交变电压,例如,在白画面时的电压为 0.2 伏特或 14.2 伏特,在黑画面时的电压为 7.7 伏特或 7.2 伏特。依据现有非晶硅的电流对电压曲线 (I-V Curve) 的特性,上述 7.2 伏特、7.7 伏特、以及 14.2 伏特皆可开启所述共享薄膜晶体管 35 的开关。

[0041] 因此,在本发明的一实施例中,所述共享薄膜晶体管 35 的开关可直接由所述数据线 40 所控制,也就是所述共享薄膜晶体管 35 通过一通孔 41 与数据线 40 电连接,利用数据线 40 的电压讯号来开启非晶硅共享薄膜晶体管 35 的开关。

[0042] 在本发明一实施例中,所述共享薄膜晶体管 35 与关态电容 38 连接,因此当所述共享薄膜晶体管 35 导通时,次像素区 32 的电荷即释放到所述关态电容 38 达到低色偏的效果。

[0043] 在本发明一实施例中,所述数据线的电压于白画面时为 0.2 伏特或 14.2 伏特。

[0044] 在本发明一实施例中,术数据线的电压于黑画面时为 7.7 伏特或 7.2 伏特。

[0045] 由于上述数据线 40 的电压在 0.2 伏特时已接近阈值电压,共享薄膜晶体管 35 的开关视为不开启,因此在白画面下正负半周共享薄膜晶体管 35 开启的程度不同,次像素区 32 释放的电荷也不同,导致次像素区 32 的正半周电压下降,负半周的电压也下降,从而其最佳共享电压也需要向下调整。

[0046] 因此,为了使得主像素区 31 与次像素区 32 的最佳共享电压一致,在本发明一实施例中,可视实际状况把主像素区 31 中薄膜晶体管 33 的栅源电容设计的大一点,通过跳变电

压将主像素区 31 的最佳共享电压下拉至与次像素区 32 的最佳共享电压一致。也就是说，使主像素区 31 中第一薄膜晶体管 33 的第一栅源电容值大于次像素区 32 中第二薄膜晶体管 34 的第二栅源电容值，以改善通过数据线 40 控制共享薄膜晶体管 35 时因为数据线正负半周开启程度不同所引起的最佳共享电压偏移现象。

[0047] 综上所述，虽然本发明已以优选实施例揭露如上，但上述优选实施例并非用以限制本发明，本领域的普通技术人员，在不脱离本发明的精神和范围内，均可做各种更动与润饰，因此本发明的保护范围以权利要求界定的范围为准。

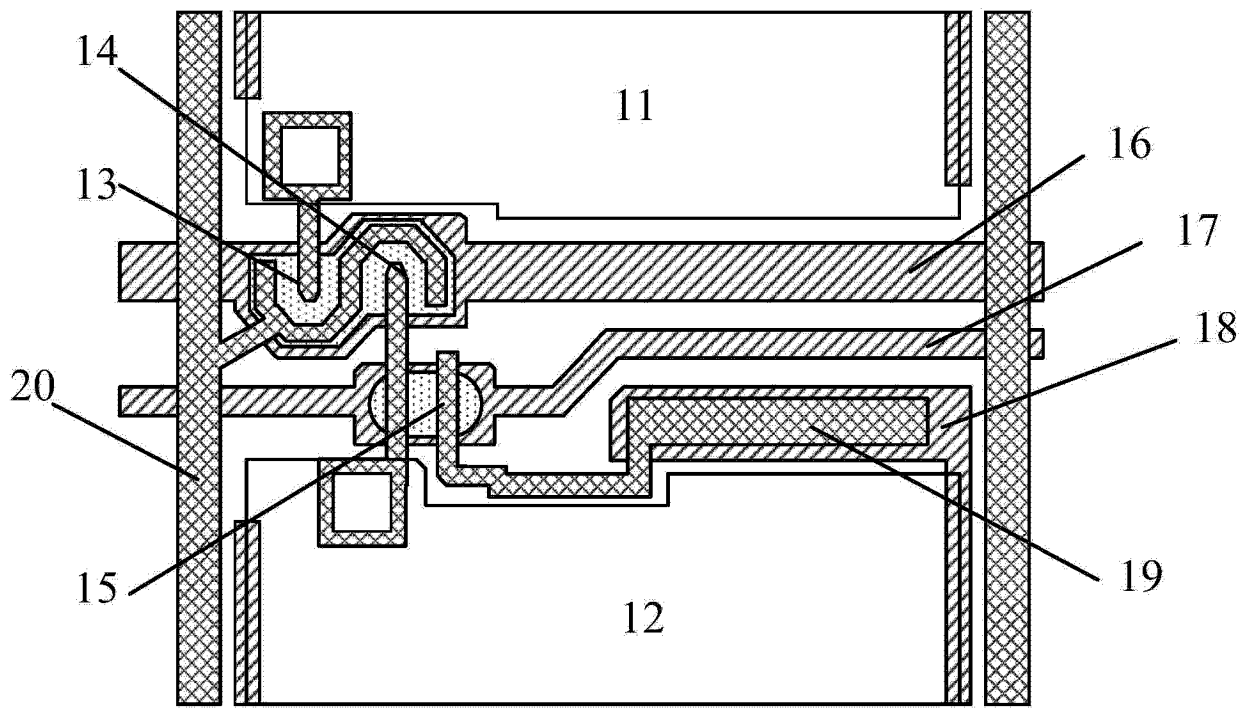


图 1

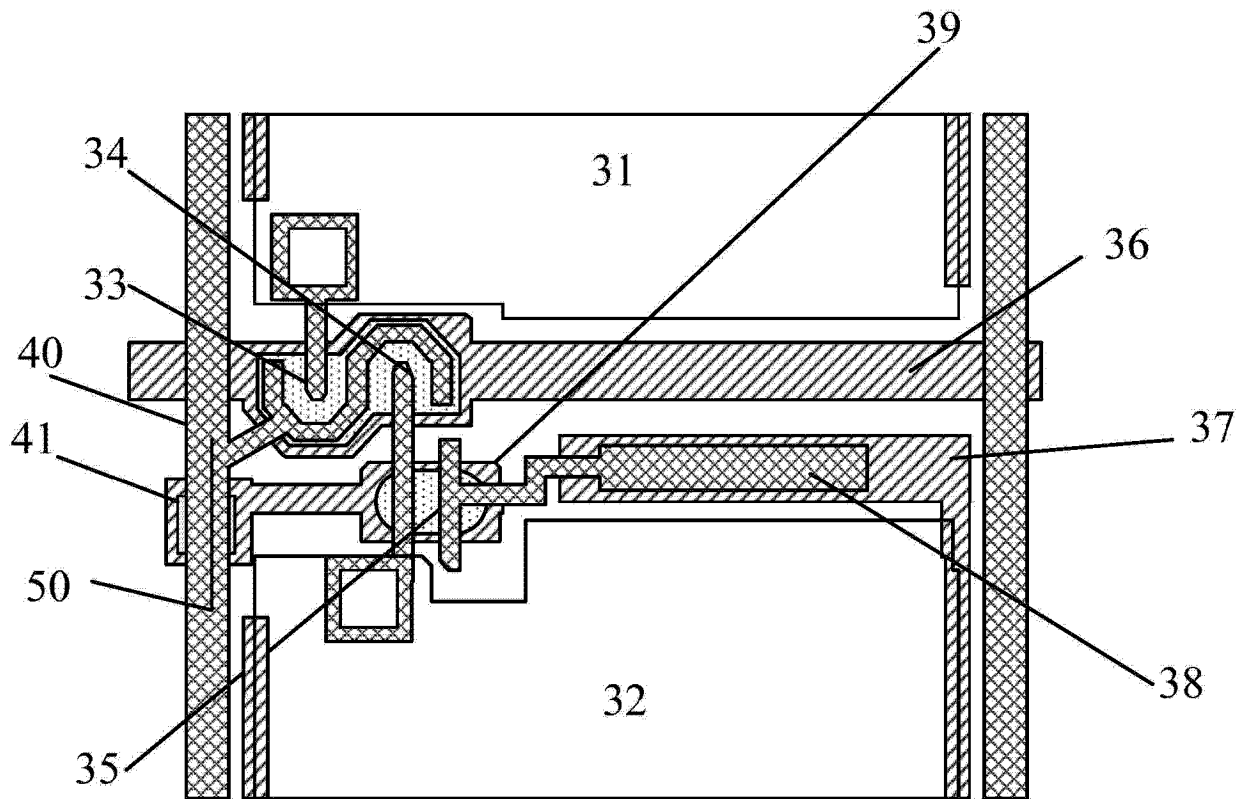


图 2



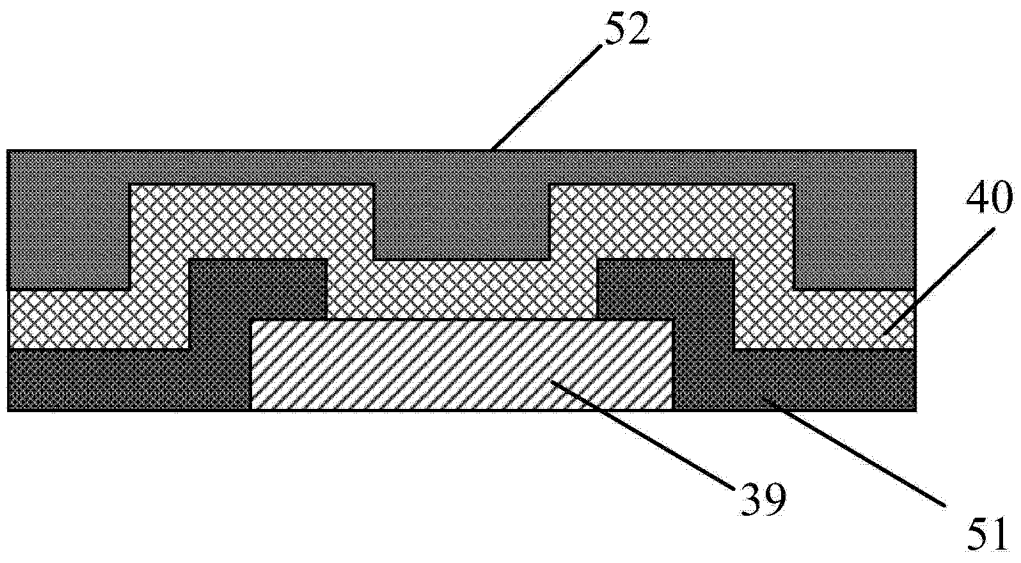


图 3