

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014年10月30日 (30.10.2014)



(10) 国际公布号
WO 2014/172965 A1

- (51) 国际专利分类号:
G11C 19/28 (2006.01) G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2013/077086
- (22) 国际申请日: 2013年6月9日 (09.06.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310140815.5 2013年4月22日 (22.04.2013) CN
- (71) 申请人: 合肥京东方光电科技有限公司 (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市铜陵北路 2177 号, Anhui 230012 (CN)。 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 马睿 (MA, Rui); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 胡明 (HU, Ming); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 王国磊 (WANG, Guolei); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: SHIFT REGISTER UNIT, GATE DRIVING CIRCUIT, AND ARRAY SUBSTRATE

(54) 发明名称: 移位寄存器单元、栅极驱动电路及阵列基板

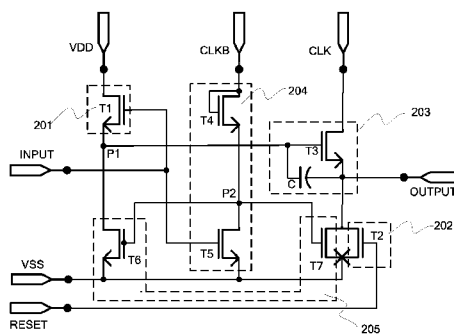


图 2 / FIG. 2

(57) Abstract: The present invention relates to the field of display technologies. Provided are a shift register unit, a gate driving circuit, and an array substrate, which are used for restraining interference noise caused by the change of an alternating current clock signal, improving the stability of the shift register unit, and reducing the size of the shift register unit. The shift register unit comprises: an input module, responding to an input signal and providing a first voltage signal to an output module; an output module, responding to a voltage signal of a first node, and providing a first clock signal to an output end; a reset module, responding to a reset signal, and providing a second voltage signal to an output end; a pull-down control module, responding to a second clock signal and providing a second clock signal to a second node, and responding to the input signal and providing the second voltage signal to the second node; and a pull-down module, responding to a voltage signal of the second node, and providing the second voltage signal to the first node and the output end.

(57) 摘要:

[见续页]



WO 2014/172965 A1



本发明涉及显示技术领域。提供一种移位寄存器单元、栅极驱动电路及阵列基板，用以抑制由交流时钟信号的变化导致的干扰噪声，提高移位寄存器单元的稳定性，同时减小移位寄存器单元的尺寸。所述移位寄存器单元包括：响应于输入信号，将第一电压信号提供给输出模块的输入模块；响应于第一节点的电压信号，将第一时钟信号提供给输出端的输出模块；响应于复位信号，将第二电压信号提供给输出端的复位模块；响应于第二时钟信号将第二时钟信号提供给第二节点，并且响应于输入信号将第二电压信号提供给第二节点的下拉控制模块；响应于第二节点的电压信号，将第二电压信号提供给第一节点和输出端的下拉模块。

移位寄存器单元、栅极驱动电路及阵列基板

技术领域

本发明涉及显示技术领域，尤其涉及一种移位寄存器单元、栅极驱动电路及阵列基板。

5

背景技术

薄膜晶体管液晶显示器（TFT-LCD）驱动器主要包括栅极驱动电路和数据驱动电路，其中，栅极驱动电路将输入的时钟信号通过移位寄存器单元转换后加在液晶显示面板的栅线上，栅极驱动电路的形成可以与薄膜晶体管的形成具有相同工艺，并与薄膜晶体管一起同时形成在液晶面板的阵列基板上。栅极驱动电路包括具有多级的移位寄存器单元，每级均连接到相应的栅极线以输出栅极驱动信号。栅极驱动电路的各级彼此相连，起始信号输入至各级中的第一级并顺序地将栅极驱动信号输出至栅极线，其中前级的输入端连接到上一级的输出端，并且下一级的输出端连接到前级的控制端。

15

在 LCD 面板设置上述结构的栅极驱动电路，其每一级移位寄存器单元包括如图 1 所示的结构。图 1 所示的移位寄存器单元，包括 10 个薄膜晶体管 M1-M10 和 1 个电容器 C1，用于实现移位寄存器单元的输出和复位功能；同时消除因栅极驱动电路中各交流时钟信号的变化而产生的干扰噪声，提高信号的输出及移位寄存器单元的稳定性；但是，较多的薄膜晶体管需要较大的布线空间，使得整个移位寄存器单元的尺寸较大，进而导致液晶显示器的体积较大。

20

发明内容

为了解决现有技术中存在的上述技术问题，本发明实施例提供了一种移位寄存器单元、栅极驱动电路及阵列基板，用以抑制由于交流时钟信号的变化导致的干扰噪声，提高移位寄存器单元的稳定性，同时减小移位寄存器单元的尺寸。

25

按照本发明实施例，提供一种移位寄存器单元，包括：输入模块、输出模块、复位模块、下拉控制模块和下拉模块；

30

所述输入模块响应输入信号，将第一电压信号通过第一节点提供给输出模块；

所述复位模块响应复位信号，将第二电压信号提供给输出端；

所述输出模块响应第一节点的电压信号，将第一时钟信号提供给输出端；

所述下拉控制模块响应第二时钟信号，将第二时钟信号提供给第二节点；以及响应于输入信号，将第二电压信号提供给第二节点；

所述下拉模块响应第二节点的电压信号，将第二电压信号提供给第一节点和输出端。

10 按照本发明实施例，提供一种栅极驱动电路，包括级联的各级移位寄存器单元，其中，第一级移位寄存器单元的输入端连接起始信号端，第一级移位寄存器单元的复位信号端连接第二级移位寄存器单元的输出端；最后一级移位寄存器单元的输入端连接前一级移位寄存器单元的输出端，最后一级移位寄存器单元的复位信号端连接起始信号端；

15 除第一级和最后一级移位寄存器单元外，其余各级移位寄存器单元的输入端连接上一级移位寄存器单元的输出端，复位信号端连接下一级移位寄存器单元的输出端；

所有级联的移位寄存器单元均为上述移位寄存器单元。

20 按照本发明实施例，提供一种阵列基板，包括：基板、形成于所述基板显示区域的有源阵列、以及设置在所述基板周边区域的上述的栅极驱动电路。

按照本发明实施例，提供一种移位寄存器单元和栅极驱动电路，所述移位寄存器单元包括：输入模块、输出模块、复位模块、下拉控制模块和下拉模块，其中，所述输入模块响应输入信号，将第一电压信号通过第一节点提供给输出模块；所述输出模块响应第一节点的电压信号，
25 将第一时钟信号提供给输出端；所述复位模块响应复位信号，将第二电压信号提供给输出端；所述下拉控制模块响应第二时钟信号，将第二时钟信号提供给第二节点，以及响应于输入信号，将第二电压信号提供给第二节点；所述下拉模块响应第二节点的电压信号，将第二电压信号提
30 供给第一节点和输出端。该移位寄存器单元通过使用较少数目的薄膜晶体管，实现了移位寄存器单元的信号传输功能和降噪功能；同时，由于

使用的薄膜晶体管相对较少，节省了布线空间，有利于减小移位寄存器单元的尺寸，从而可以减小整个液晶显示器的体积。

附图说明

- 5 图 1 为现有技术中移位寄存器单元结构示意图；
图 2 为按照本发明实施例的一种移位寄存器单元的结构示意图；
图 3 为按照本发明实施例的一种栅极驱动电路的结构示意图；
图 4 为按照本发明实施例的一种移位寄存器单元的各信号端的时序信号图。

10

具体实施方式

本发明实施例提供了一种移位寄存器单元及栅极驱动电路，用以抑制由于交流时钟信号的变化导致的干扰噪声，提高移位寄存器单元的稳定性，同时减小移位寄存器单元的尺寸。

- 15 为了更好的理解本发明的技术方案，下面结合附图，对本发明的示范性实施例进行详细的说明。

按照本发明实施例，提供一种移位寄存器单元，其结构如图 2 所示，从图 2 中可以看出，该移位寄存器单元包括：输入模块 201、复位模块 202、输出模块 203、下拉控制模块 204 和下拉模块 205。

- 20 输入模块 201 响应输入信号，将第一电压信号通过第一节点 P1 提供给输出模块 203。

复位模块 202 响应复位信号，将第二电压信号提供给输出端 OUTPUT。

- 25 输出模块 203 响应第一节点 P1 的电压信号，将第一时钟信号提供给输出端 OUTPUT。

下拉控制模块 204 响应第二时钟信号，将第二时钟信号提供给第二节点 P2；以及响应于输入信号，将第二电压信号提供给第二节点 P2。

下拉模块 205 响应第二节点 P2 的电压信号，将第二电压信号提供给第一节点 P1 和输出端 OUTPUT。

- 30 下面结合具体实施例，对本发明进行更详细的说明。需要说明的是，本实施例中是为了更好的解释本发明，但不限制本发明。

如图 2 中所示的移位寄存器单元, 包括: 输入模块 201、复位模块 202、输出模块 203、下拉控制模块 204 和下拉模块 205;

具体的, 输入模块 201 包括:

第一薄膜晶体管 T1, 其栅极连接所述移位寄存器单元的输入端
5 INPUT, 漏极连接第一电压信号 VDD 输入端, 源极连接第一节点 P1。

复位模块 202 包括:

第二薄膜晶体管 T2, 其栅极连接复位信号输入端 RESET, 漏极连接
输出端 OUTPUT, 源极连接第二电压信号 VSS 输入端。

输出模块 203 包括:

10 第三薄膜晶体管 T3, 其栅极连接第一节点 P1, 漏极连接第一时钟信
号 CLK 输入端, 源极连接输出端 OUTPUT;

电容器 C, 连接在第一节点 P1 和输出端 OUTPUT 之间。

下拉控制模块 204 包括:

15 第四薄膜晶体管 T4, 其栅极和漏极同时连接第二时钟信号 CLKB 输
入端, 源极连接第二节点 P2;

第五薄膜晶体管 T5, 其栅极连接所述移位寄存器单元的输入端
INPUT, 漏极连接第二节点 P2, 源极连接第二电压信号 VSS 输入端。

下拉模块 205 包括:

20 第六薄膜晶体管 T6, 其栅极连接第二节点 P2, 漏极连接第一节点
P1, 源极连接第二电压信号 VSS 输入端;

第七薄膜晶体管 T7, 其栅极连接第二节点 P2, 漏极连接输出端
OUTPUT, 源极连接第二电压信号 VSS 输入端。

可选择地, 上述所有薄膜晶体管均为 N 型薄膜晶体管 TFT。

25 可替换地, 上述所有薄膜晶体管同时为多晶硅薄膜晶体管, 或同时
为非晶硅薄膜晶体管, 或同时为氧化物薄膜晶体管, 或同时为有机薄膜
晶体管。

在上述移位寄存器单元中, 通过使用较少数目的薄膜晶体管, 实现
了移位寄存器单元的信号传输功能和降噪功能; 同时, 由于使用的薄膜
晶体管相对较少, 节省了布线空间, 有利于减小移位寄存器单元的尺寸,
30 从而可以减小整个液晶显示器的体积。

上述移位寄存器单元级联形成阵列基板栅极驱动电路。按照本发明

实施例，提供一种栅极驱动电路，包括：级联的各级移位寄存器单元，其中，第一级移位寄存器单元的输入端连接起始信号输入端，第一级移位寄存器单元的复位信号输入端连接第二级移位寄存器单元的输出端；最后一级移位寄存器单元的输入端连接前一级移位寄存器单元的输出端，最后一级移位寄存器单元的复位信号输入端连接起始信号输入端；

除第一级和最后一级移位寄存器单元外，其余各级移位寄存器单元的输入端连接上一级移位寄存器单元的输出端，复位信号输入端连接下一级移位寄存器单元的输出端。

所有上述级联的移位寄存器单元均为图 2 所示的移位寄存器单元。

具体地，该阵列基板栅极驱动电路包括 N 级，N 为栅线数量。参见图 3，栅极起始信号 STV 作为输入信号输入到第一级移位寄存器单元，并且顺序地将栅极驱动信号输出至栅极线，第 n 级的输入信号由第 n-1 级的输出信号提供，其中 $n < N$ 。

图 4 为的各信号端的时序图。下面结合图 4 对本发明实施例提供的阵列基板栅极驱动电路中的第 n ($n < N$, N 为阵列基板栅极电路的级数) 级移位寄存器单元的工作方法进行说明，其中，作为举例说明，所有移位寄存器单元均为上述的移位寄存器单元，所有薄膜晶体管 (TFT) 均为高电平导通，低电平截止。

当所述栅极驱动电路扫描时，第一电压信号 VDD 为高电平信号，第二电压信号 VSS 为低电平信号，第一时钟信号 CLK 与第二时钟信号 CLKB 的相位相反。

第一阶段 S1: 第一时钟信号 CLK 为低电平，第二时钟信号 CLKB 为高电平，作为第 n 级输入信号 INPUT(n) 的上一级输出信号 OUTPUT(n-1) 为高电平，作为第 n 级复位信号 RESET(n) 的下一级输出信号 OUTPUT(n+1) 为低电平；高电平的输入信号 OUTPUT(n-1) 使得第一薄膜晶体管 T1 导通，第一电压信号 VDD 为高电平信号对电容器 C 充电，使得第一节点 P1 为高电平；此时，响应于第一节点 P1 处电压信号的第三薄膜晶体管 T3 导通，但是，由于此时第一时钟信号 CLK 为低电平，因此，该时间段内输出端 OUTPUT(n) 的输出为低电平。

同时，高电平的第二时钟信号 CLKB 使得第四薄膜晶体管 T4 导通，但是，由于响应于输入信号的第五薄膜晶体管 T5 也处于导通状态，且第

二电压信号 VSS 为低电平信号，第二节点 P2 的电位被拉低，此时第二节点 P2 处为低电平，响应于第二节点 P2 的电压信号的第六薄膜晶体管 T6 和第七薄膜晶体管 T7 截止。

第二阶段 S2: 第一时钟信号 CLK 为高电平，第二时钟信号 CLKB 为低电平，作为第 n 级输入信号 INPUT (n) 的上一级输出信号 OUTPUT(n-1)为低电平，作为第 n 级复位信号 RESET(n)的下一级的输出信号 OUTPUT(n+1)为低电平；输入信号为低电平使得第一薄膜晶体管 T1 截止，但是由于电容器 C 的存在，第一节点 P1 保持高电平，T3 处于导通状态，同时第一时钟信号 CLK 为高电平，由于电容器 C 的自举效应 (Bootstrapping)，第一节点 P1 的电位继续升高，第三薄膜晶体管 T3 保持导通，第一节点 P1 的电位进一步拉高；此时输出端 OUTPUT(n)输出为高电平。

同时，第二节点 P2 处继续保持低电平，响应于第二节点 P2 处电压信号的第六薄膜晶体管 T6 和第七薄膜晶体管 T7 保持截止状态，从而保证信号的稳定性输出。

第三阶段 S3: 第一时钟信号 CLK 为低电平，第二时钟信号 CLKB 为高电平，作为第 n 级输入信号 INPUT(n)的上一级输出信号 OUTPUT(n-1)为低电平，作为第 n 级复位信号 RESET(n)的下一级输出信号 OUTPUT(n+1)为高电平；复位信号为高电平使得第二薄膜晶体管 T2 导通，并向输出端提供第二电压信号 VSS，使得输出端 OUTPUT(n)迅速降为低电平。

同时，输入信号为低电平使得第五薄膜晶体管 T5 截止，而第二时钟信号 CLKB 为高电平使得第四薄膜晶体管 T4 导通，第二节点 P2 为高电平，响应于第二节点 P2 处电压信号的第六薄膜晶体管 T6 和第七薄膜晶体管 T7 导通，由于第七薄膜晶体管 T7 导通，且第二电压信号 VSS 为低电平信号，电容器 C 进行放电；由于第六薄膜晶体管 T6 导通，且第二电压信号 VSS 为低电平信号，使得第一节点 P1 迅速降为低电平。

第四阶段 S4: 第一时钟信号 CLK 为高电平，第二时钟信号 CLKB 为低电平，作为第 n 级输入信号 INPUT(n)的上一级输出信号 OUTPUT(n-1)为低电平，作为第 n 级复位信号 RESET(n)的下一级输出信号 OUTPUT(n+1)为低电平。此时输入信号为低电平使得第一薄膜晶体管

T1 和第五薄膜晶体管 T5 截止，第一节点 P1 保持低电平，第三薄膜晶体管 T3 也处于截止状态；复位信号为低电平使得第二薄膜晶体管 T2 截止，输出端 OUTPUT(n) 输出为低电平。

在第四阶段 S4 中，第二节点 P2 处保持高电平，响应于第二节点 P2 处电压信号的第六薄膜晶体管 T6 和第七薄膜晶体管 T7 导通，消除由于交流时钟信号的变化导致的干扰噪声，保证输出信号的稳定性。

第五阶段 S5：第一时钟信号 CLK 为低电平，第二时钟信号 CLKB 为高电平，输入信号 INPUT(n) 为低电平，复位信号 RESET(n) 为低电平。此时输入信号为低电平使得第一薄膜晶体管 T1 截止，第一节点 P1 保持低电平，复位信号为低电平使得第二薄膜晶体管 T2 截止，输出端 OUTPUT(n) 输出为低电平；

在第五阶段 S5 中，由于第二时钟信号 CLKB 为高电平，第四薄膜晶体管 T4 导通，输入信号为低电平使得第五薄膜晶体管 T5 截止，使得第二节点 P2 处保持高电平，响应于第二节点 P2 处电压信号的第六薄膜晶体管 T6 和第七薄膜晶体管 T7 导通，继续对第一节点 P1 和输出端 OUTPUT(n) 的噪声进行降噪处理，消除由于交流时钟信号的变化导致的干扰噪声，将由噪声干扰引起的影响降至最低，保证输出信号的稳定性。

按照本发明实施例，提供一种阵列基板，所述阵列基板包括：基板、形成于所述基板显示区域的有源阵列、以及设置在所述基板周边区域的上述的栅极驱动电路。

综上所述，本发明实施例提供的一种移位寄存器单元、栅极驱动电路及阵列基板，所述移位寄存器单元包括：输入模块、复位模块、输出模块、下拉控制模块和下拉模块，其中，所述输入模块响应输入信号，将第一电压信号通过第一节点提供给输出模块；所述输出模块响应第一节点的电压信号，将第一时钟信号提供给输出端；所述复位模块响应复位信号，将第二电压信号提供给输出端；所述下拉控制模块响应第二时钟信号，将第二时钟信号提供给第二节点，以及响应于输入信号，将第二电压信号提供给第二节点；所述下拉模块响应第二节点的电压信号，将第二电压信号提供给第一节点和输出端，该移位寄存器单元通过使用较少数目的薄膜晶体管，实现移位寄存器单元的信号传输功能和降噪功能，消除由于交流时钟信号的变化导致的干扰噪声，有效提高了移位寄

存器单元的稳定性；同时，所述移位寄存器单元中使用的薄膜晶体管相对较少，节省了布线空间，有利于减小移位寄存器单元的尺寸，从而可以减小整个液晶显示器的体积。

显然，本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样，倘若本发明的这些修改和变型属于本发
5 明权利要求及其等同技术的范围之内，则本发明也意图包含这些改动和变型在内。

权 利 要 求 书

1、一种移位寄存器单元，包括：输入模块、输出模块、复位模块、下拉控制模块和下拉模块，其中，

5 所述输入模块响应输入信号，将第一电压信号通过第一节点提供给输出模块；

所述复位模块响应复位信号，将第二电压信号提供给输出端；

所述输出模块响应第一节点的电压信号，将第一时钟信号提供给输出端；

10 所述下拉控制模块响应第二时钟信号，将第二时钟信号提供给第二节点；以及响应于输入信号，将第二电压信号提供给第二节点；

所述下拉模块响应第二节点的电压信号，将第二电压信号提供给第一节点和输出端。

2、如权利要求 1 所述移位寄存器单元，其中，所述输入模块包括：

15 第一薄膜晶体管，其栅极连接所述移位寄存器单元的输入端，漏极连接第一电压信号输入端，源极连接第一节点。

3、如权利要求 1 所述移位寄存器单元，其中，所述复位模块包括：

第二薄膜晶体管，其栅极连接复位信号输入端，漏极连接输出端，源极连接第二电压信号输入端。

20 4、如权利要求 1 所述移位寄存器单元，其中，所述输出模块包括：

第三薄膜晶体管，其栅极连接第一节点，漏极连接第一时钟信号输入端，源极连接输出端；

电容器，连接在第一节点和输出端之间。

25 5、如权利要求 1 所述移位寄存器单元，其中，所述下拉控制模块包括：

第四薄膜晶体管，其栅极和漏极同时连接第二时钟信号输入端，源极连接第二节点；

第五薄膜晶体管，其栅极连接所述移位寄存器单元的输入端，漏极连接第二节点，源极连接第二电压信号输入端。

6、如权利要求 1 所述移位寄存器单元，其中，所述下拉模块包括：

第六薄膜晶体管，其栅极连接第二节点，漏极连接第一节点，源极连接第二电压信号输入端；

第七薄膜晶体管，其栅极连接第二节点，漏极连接输出端，源极连接第二电压信号输入端。

7、如权利要求 1~6 任一权利要求所述移位寄存器单元，其中，所有薄膜晶体管均为 N 型薄膜晶体管。

8、如权利要求 7 所述移位寄存器单元，其中，所述薄膜晶体管均为多晶硅薄膜晶体管，或者均为非晶硅薄膜晶体管，或者均为氧化物薄膜晶体管。

9、一种栅极驱动电路，包括级联的各级移位寄存器单元，其中，第一级移位寄存器单元的输入端连接起始信号端，第一级移位寄存器单元的复位信号输入端连接第二级移位寄存器单元的输出端；最后一级移位寄存器单元的输入端连接前一级移位寄存器单元的输出端，最后一级移位寄存器单元的复位信号输入端连接起始信号端；

除第一级和最后一级移位寄存器单元外，其余各级移位寄存器单元的输入端连接上一级移位寄存器单元的输出端，复位信号输入端连接下一级移位寄存器单元的输出端；

其中，所有级联的移位寄存器单元均为如权利要求 1~8 任一权利要求所述的移位寄存器单元。

10、一种阵列基板，包括：基板、形成于所述基板显示区域的有源阵列、以及设置在所述基板周边区域的如权利要求 9 所述的栅极驱动电路。

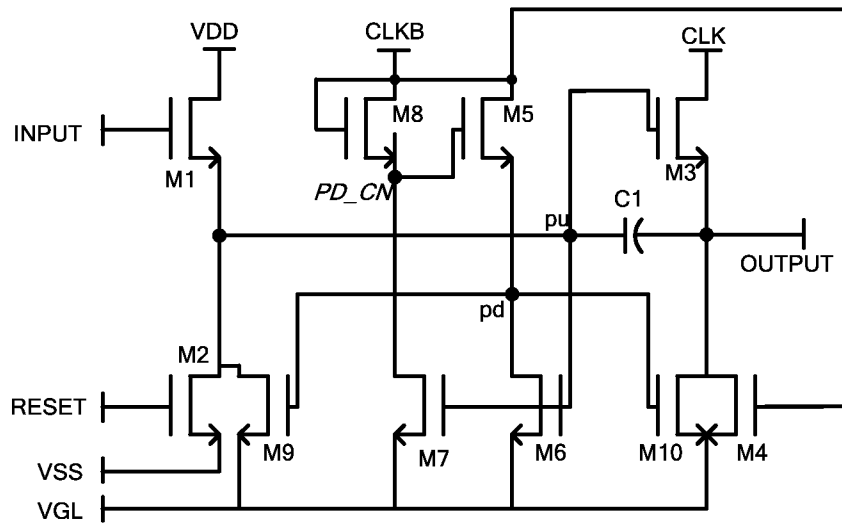


图 1

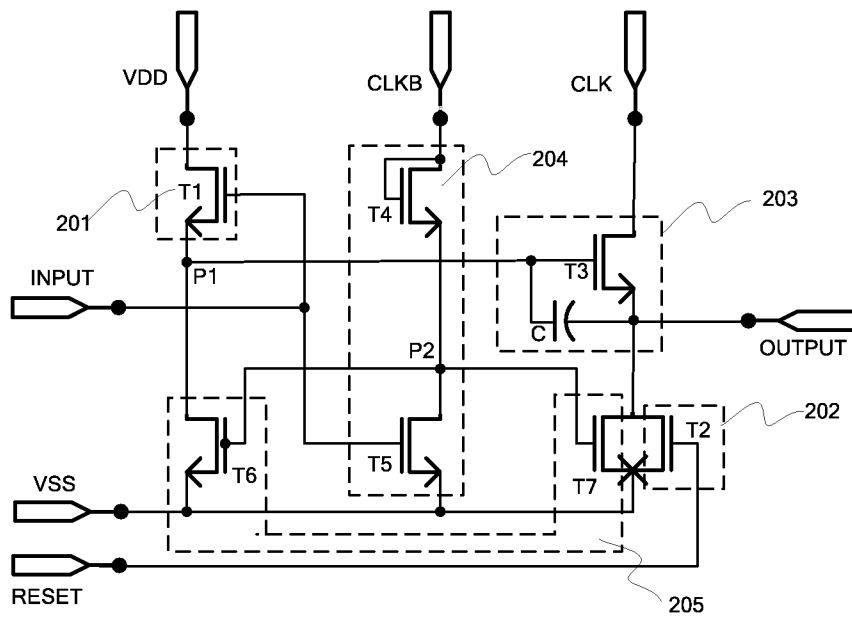


图 2

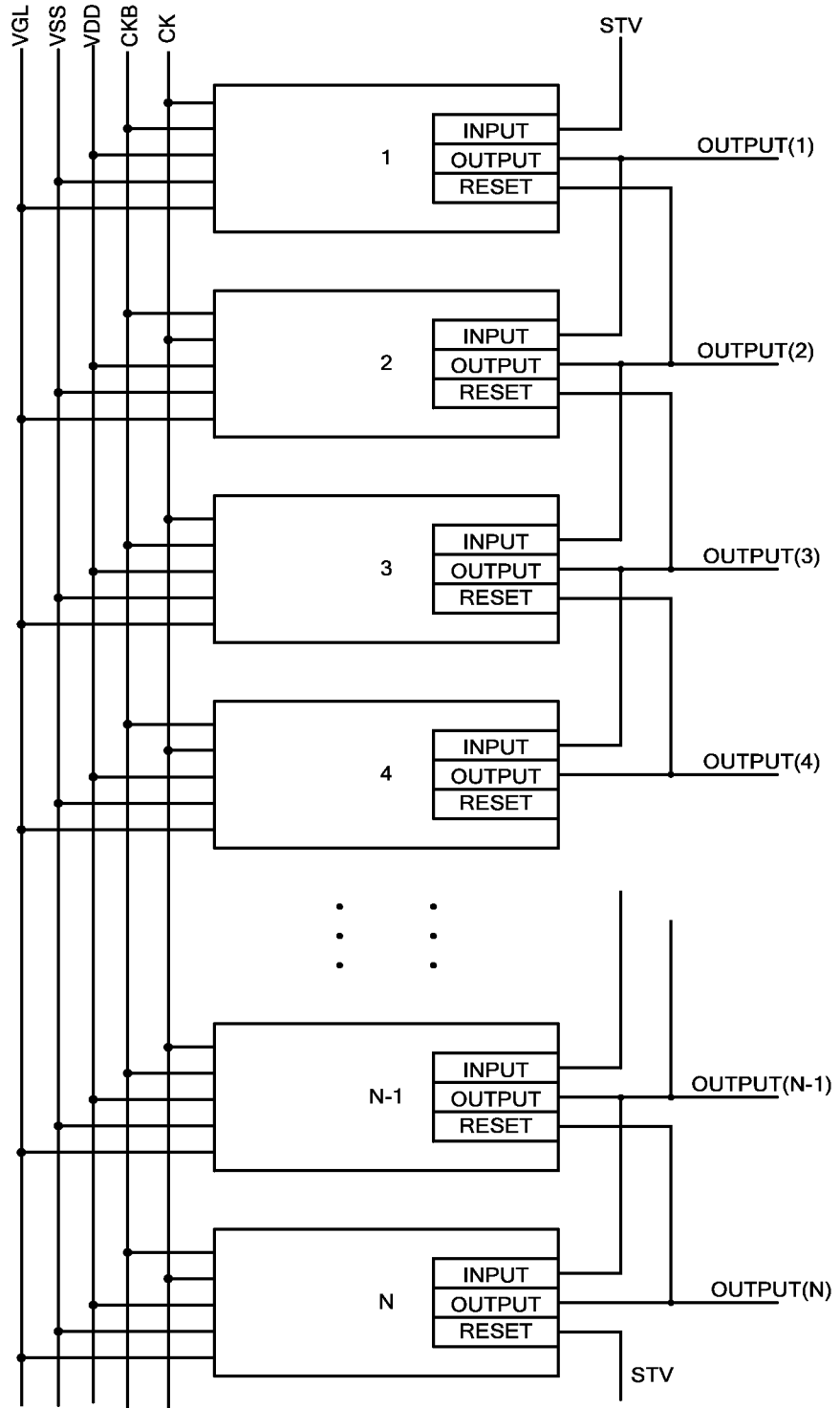


图 3

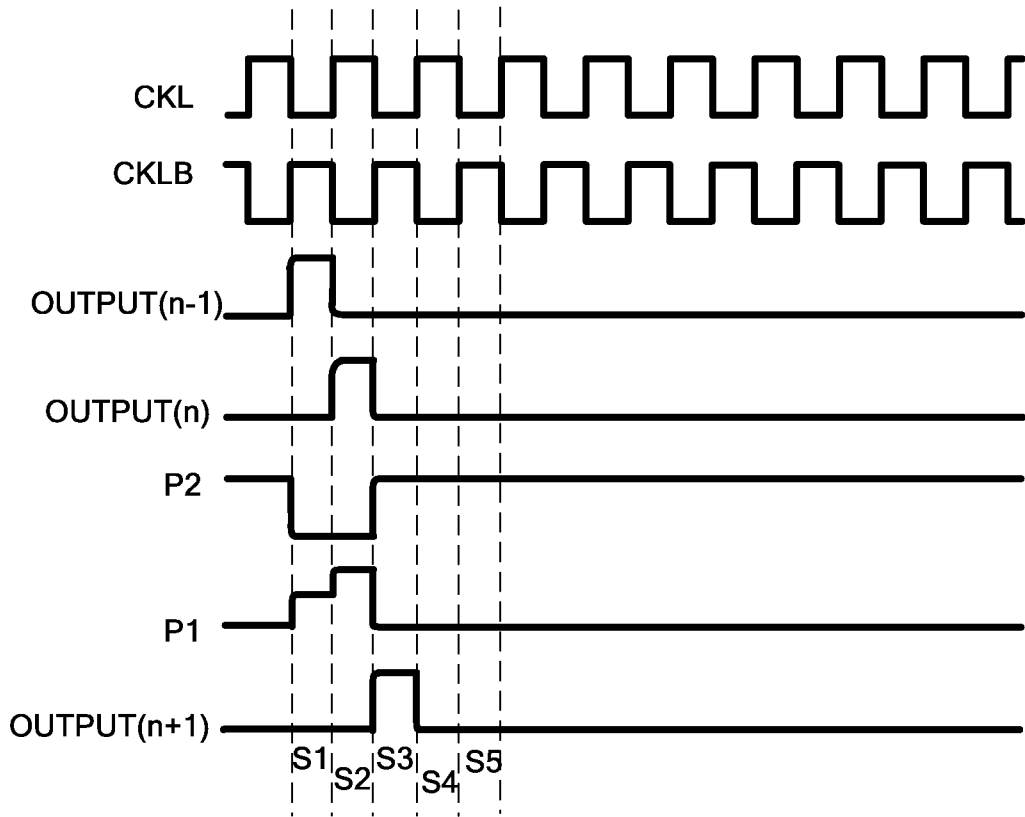


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/077086

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G11C 19/-, G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNKI, EPODOC, WPI: array, substrate, interfere, noise, reset, size, bulk, thin film transistor, shift register, reset, pull down, clock, array substrate, TFT, LCD

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 102903323 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 30 January 2013 (30.01.2013), description, paragraphs 68-121, and figures 1-2	1-10
Y	CN 102982777 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 20 March 2013 (20.03.2013), description, paragraphs 4-5, and figure 1	9, 10
Y	CN 102956186 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 06 March 2013 (06.03.2013), description, paragraphs 3-4 and 43-69, and figures 2 and 3	1-10
A	CN 101785065 A (SHARP KABUSHIKI KAISHA), 21 July 2010 (21.07.2010), the whole document	1-10
A	US 2010/0177023 A1 (SAMSUNG MOBILE DISPLAY CO., LTD.), 15 July 2010 (15.07.2010), the whole document	1-10

Further documents are listed in the continuation of Box C. See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

<p>Date of the actual completion of the international search</p> <p style="text-align: center;">03 January 2014 (03.01.2014)</p>	<p>Date of mailing of the international search report</p> <p style="text-align: center;">30 January 2014 (30.01.2014)</p>
<p>Name and mailing address of the ISA/CN:</p> <p>State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451</p>	<p>Authorized officer</p> <p style="text-align: center;">HUANG, Shan</p> <p>Telephone No.: (86-10) 62412637</p>

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/077086

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102903323 A	30.01.2013	None	
CN 102982777 A	20.03.2013	None	
CN 102956186 A	06.03.2013	None	
CN 101785065 A	21.07.2010	EP 2189987 B1	13.02.2013
		EP 2189987 A1	26.05.2010
		US 2010141641 A1	10.06.2010
		JPWO 2009034749 A1	24.12.2010
		US 2012307959 A1	06.12.2012
		JP 5241724 B2	17.07.2013
		US 8493312 B2	23.07.2013
		WO 2009034749 A1	19.03.2009
		US 8269713 B2	18.09.2012
		CN 101785065 B	15.05.2013
US 2010/0177023 A1	15.07.2010	KR 1020100082934 A	21.07.2010
		KR 101022092 B1	17.03.2011
		US 8284150 B2	09.10.2012

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/077086

A. CLASSIFICATION OF SUBJECT MATTER

G11C 19/28 (2006.01) i

G09G 3/36 (2006.01) i

国际检索报告

国际申请号
PCT/CN2013/077086

A. 主题的分类		
参见附加页		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC:G11C19/-, G09G3/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNABS, CNKI, EPODOC, WPI 移位寄存器, 移位暂存器, 阵列, 基板, 干扰, 噪声, 复位, 下拉, 时钟, 尺寸, 体积, 薄膜晶体管, shift register, reset, pull down, clock, array substrate, TFT, LCD		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 102903323 A (京东方科技集团股份有限公司等) 30.1 月 2013 (30.01.2013) 说明书第 68-121 段、图 1-2	1-10
Y	CN 102982777 A (京东方科技集团股份有限公司等) 20.3 月 2013 (20.03.2013) 说明书第 4-5 段、图 1	9, 10
Y	CN 102956186 A (京东方科技集团股份有限公司等) 06.3 月 2013 (06.03.2013) 说明书第 3-4 段, 第 43-69 段、图 2, 3	1-10
A	CN 101785065 A (夏普株式会社) 21.7 月 2010 (21.07.2010) 全文	1-10
A	US2010/0177023 A1 (SAMSUNG MOBILE DISPLAY CO., LTD.) 15.7 月 2010 (15.07.2010) 全文	1-10
<input type="checkbox"/> 其余文件在 C 栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 03.1 月 2014 (03.01.2014)		国际检索报告邮寄日期 30.1 月 2014 (30.01.2014)
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451		受权官员 黄珊 电话号码: (86-10) 62412637

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/077086

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 102903323 A	30.01.2013	无	
CN 102982777 A	20.03.2013	无	
CN 102956186 A	06.03.2013	无	
CN 101785065 A	21.07.2010	EP 2189987 B1	13.02.2013
		EP 2189987 A1	26.05.2010
		US 2010141641 A1	10.06.2010
		JP WO2009034749 A1	24.12.2010
		US 2012307959 A1	06.12.2012
		JP 5241724 B2	17.07.2013
		US 8493312 B2	23.07.2013
		WO 2009034749 A1	19.03.2009
		US 8269713 B2	18.09.2012
		CN 101785065 B	15.05.2013
US 2010/0177023 A1	15.07.2010	KR 1020100082934 A	21.07.2010
		KR 101022092 B1	17.03.2011
		US 8284150 B2	09.10.2012

A. 主题的分类

G11C 19/28 (2006.01) i

G09G 3/36 (2006.01) i