(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[5]
H01L 27/108

(11) 공개번호 특1992-0001724
(43) 공개일자 1992년01월30일

(21) 출원번호 특1990-0008164
(22) 출원일자 1990년06월02일

(71) 출원인 삼성전자 주식회사 김광호
경기도 수원시 권선구 매탄동 416번지
(72) 발명자 서광벽
서울특별시 강남구 도곡동 한신아파트 2-807
정태영
경기도 하남시 덕풍 2동 461-5
(74) 대리인 이영필

심사청구 : 있음

(54) 반도체 장치 및 그 제조방법

요약

내용 없음

대표도

도2

명세서

[발명의 명칭]

반도체 장치 및 그 제조방법

[도면의 간단한 설명]

제2도는 본 발명에 따른 반도체 메모리장치의 일부 평면도.

제4A도 내지 제4I도는 본 발명에 따른 스택형 커패시터의 제조공정을 도시한 일 실시예의 공정순서도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

제1전도형의 반도체 기관상에 액티브 영역을 한정하기 위하여 선택적으로 형성된 필드 산화막; 상기 액티브 영역상에 전기적으로 절연된 게이트 전극; 상기 게이트 전극 양측의 반도체 기판 표면에 형성된 제2전도형의 소오스 영역 및 드레인 영역; 상기 필드 산화막상의 소정부분에 인접하는 메모리 셀의 게이트 전극과 연결하기 위하여 형성된 제1도전층; 상기 게이트 전극 및 제1도전층을 절연시키기 위한 절연층; 커패시터의 제1전극으로 사용되며, 상기 소오스 영역의 일부분과 매몰 접촉창을 통하여 연결됨과 동시에 상기 게이트 전극 및 제1도전층 상부의 절연층상에 배치된 제2도전층; 상기 제2전도층과 함께 상기 커패시터의 제1전극으로 사용되며, 그 일단이 상기 제2도전층의 주연부상에서 이 제2도전층과 연결됨과 동시에 그 타단이 상기 매몰 접촉창쪽으로 상기 제2도전층과 일정한 캡을 두고 확장배치된 제3도전층; 상기 제2 및 제3도전층의 표면을 따라 형성된 유전체막; 상기 유전체막상에 형성된 제4도전층을 구비하여 된 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 절연층은 제1산화막과, 커패시터의 제1전극 패틴 형성시 식각저지층으로 사용하기 위하여 상기 제1산화막상에 형성된 질화막과, 상기 질화막상에 형성된 제2산화막으로 구성되는 것을 특징으로 하는 반도체 장치.

청구항 3

제2항에 있어서, 상기 제2산화막은 상기 제2도전층의 하부의 일부분에만 배치되는 것을 특징으로 하는

반도체 장치.

청구항 4

제1항에 있어서, 상기 일정한 캡은 1000A～2000A으로 하는 것을 특징으로 하는 반도체 장치.

청구항 5

제1항에 있어서, 상기 제1, 제2, 제3 및 제4도전층은 불순물이 도우핑된 다결정 실리콘층으로 하는 것을 특징으로 하는 반도체 장치.

청구항 6

제1항에 있어서, 상기 유전체막은 산화막/질화막/산화막 구조인 것을 특징으로 하는 반도체 장치.

청구항 7

제1전도형의 반도체 기판상에 필드 산화막을 성장시켜 액티브 영역을 정의하는 제1공정; 상기 액티브 영역상에 메모리 셀의 구성요소인 트랜지스터의 게이트 전극, 소오스 영역 및 드레인 영역을 형성하고, 상기 필드 산화막상의 소정부분에 제1도전층을 형성하며, 상기 게이트 전극 및 제1도전층위에 제1절연층을 형성하는 제2공정; 상기 제2공정이후 제2절연층을 형성하는 제3공정; 상기 소오스 영역의 일부분을 노출하기 위하여 개구를 형성하고, 상기 제2절연층 및 노출된 기판의 전표면에 제2도전층을 침적하는 제4공정; 상기 제2도전층상에 제3절연층을 도포하여 새들모양의 제3절연층을 패턴을 형성하는 제5공정; 상기 제5공정이후 제3도전층을 침적하는 제6공정;상기 소오스 영역 상부의 제3도전층을 식각하는 제7공정; 상기 제3절연층 패턴을 제거하고, 커패시터의 제1전극 패턴을 형성하는 제8공정; 그리고 상기 제8공정이후 유전체막 및 제4도전층을 차례로 형성하는 제9공정으로 이루어지는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 8

제7항에 있어서, 상기 제3공정의 제2절연층은 상기 제2공정이후 제1산화막, 질화막 및 제2산화막을 차례로 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 9

제7항에 있어서, 상기 제5공정의 제3절연층은 HTO막 혹은 LTO막으로 하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 10

제9항에 있어서, 상기 제3절연층의 두께는 1000A～2000A으로 하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 11

제7항에 있어서, 상기 제7공정은 상기 제4공정의 개구형성시 사용된 마스크 패턴의 임계치수와 동일한 마스크 패턴을 적용하여 이루어짐을 특징으로 하는 반도체 장치의 제조방법.

청구항 12

제7항에 있어서, 상기 제8공정의 제3절연층 패턴은 습식식각법을 사용하므로써 제거되는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 13

제8항에 있어서, 상기 제8공정후에 상기 제1전극 패턴의 제2도전층 아래에 있는 제2산화막을 제거하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 14

제13항에 있어서, 상기 제2산화막은 습식식각법을 통해 제거되는 것을 특징으로 하는 반도체 장치의 제조방법.

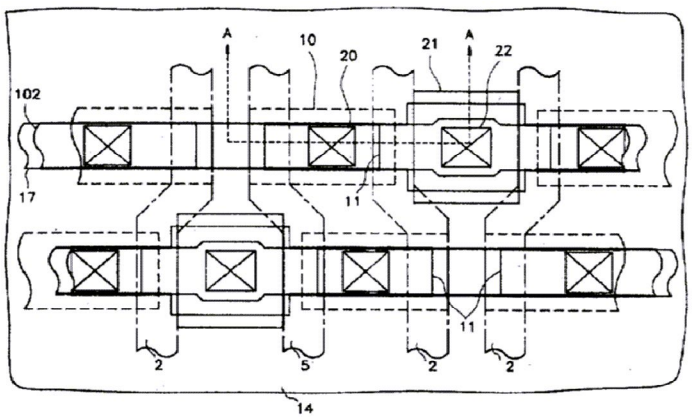
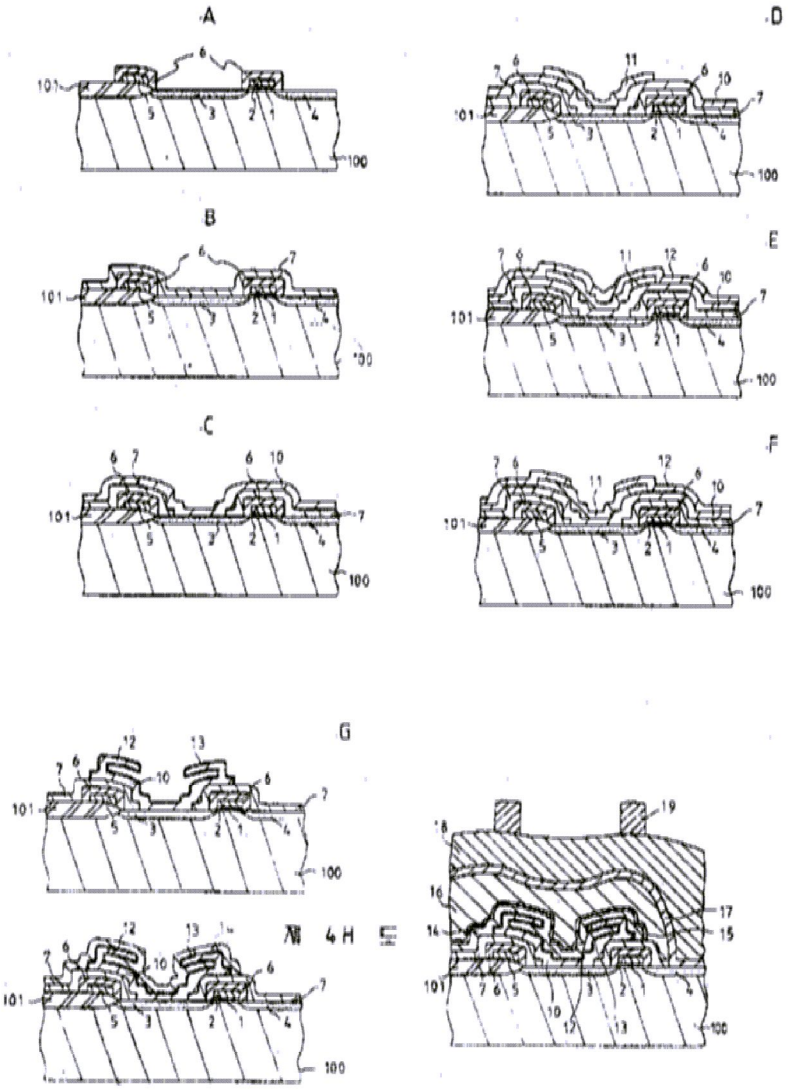
청구항 15

제7항에 있어서, 상기 제9공정의 유전체막은 상기 커패시터의 제1전극 패턴의 표면을 따라 첫번째 산화막을 형성하는 공정과, 이 산화막위에 질화막을 형성하는 공정과, 이 질화막위에 두번째 산화막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2



도면4