



(12) 发明专利

(10) 授权公告号 CN 114692554 B

(45) 授权公告日 2024.06.04

(21) 申请号 202210340348.X

CN 112151358 A, 2020.12.29

(22) 申请日 2022.03.31

CN 1399800 A, 2003.02.26

(65) 同一申请的已公布的文献号

CN 1866561 A, 2006.11.22

申请公布号 CN 114692554 A

CN 203434153 U, 2014.02.12

(43) 申请公布日 2022.07.01

US 10756004 B1, 2020.08.25

(73) 专利权人 本源科仪(成都)科技有限公司

US 2010006885 A1, 2010.01.14

地址 610000 四川省成都市中国(四川)自由贸易试验区成都市天府新区湖畔路北段366号1栋3楼1号附0L-01-202101016号

US 2012299018 A1, 2012.11.29

US 2019171784 A1, 2019.06.06

US 2021223654 A1, 2021.07.22

WO 2018231241 A1, 2018.12.20

WO 2020000948 A1, 2020.01.02

(72) 发明人 熊秋锋 张钧云 张宇 郑世杰 李孜怡

Danna Rosenberg 等.Solid-state qubits: 3D integration and packaging.《IEEE Microwave Magazine》.2020,第21卷(第8期),第72-85页.

李舒啸.低维材料上量子点的制备及量子输运研究.《万方学位论文》.2017,全文.

(51) Int. Cl.

G06F 30/392 (2020.01)

G06F 30/394 (2020.01)

G06N 10/40 (2022.01)

审查员 王婕

(56) 对比文件

CN 110782035 A, 2020.02.11

权利要求书2页 说明书7页 附图7页

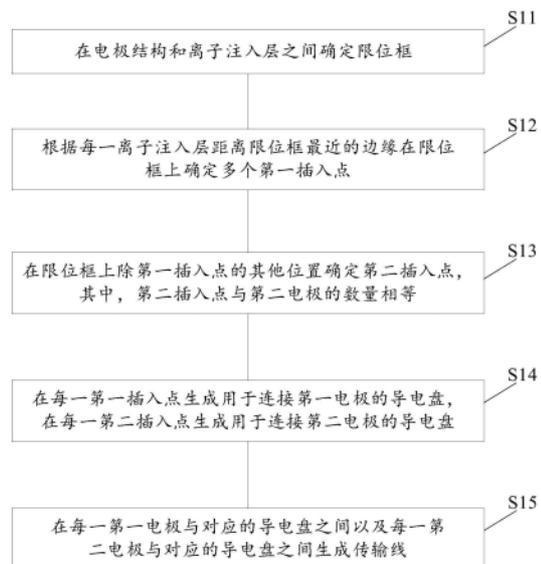
(54) 发明名称

量子比特版图的导电盘布图方法、系统、介质及设备

效率和精准度。

(57) 摘要

本发明公开了一种量子比特版图的导电盘布图方法、系统、介质及设备。量子比特版图包括电极结构和位于电极结构外围的多个离子注入层,电极结构包括多个用于引入载流子的第一电极以及多个用于调控量子比特的第二电极,且第一电极和离子注入层的数量相等。导电盘布图方法包括:在电极结构和离子注入层之间确定限位框;根据每一离子注入层距离限位框最近的边缘在限位框上确定多个第一插入点;在限位框上除第一插入点的其他位置确定第二插入点,其中,第二插入点与第二电极的数量相等;在每一第一插入点生成用于连接第一电极的导电盘,在每一第二插入点生成用于连接第二电极的导电盘。本发明能够自动绘制导电盘,可以提高版图绘制的



1. 一种量子比特版图的导电盘布图方法,所述量子比特版图包括电极结构和位于所述电极结构外围的多个离子注入层,所述电极结构包括多个用于引入载流子的第一电极以及多个用于调控量子比特的第二电极,且所述第一电极和所述离子注入层的数量相等,其特征在于,所述导电盘布图方法包括:

在所述电极结构和所述离子注入层之间确定限位框;

根据每一所述离子注入层距离所述限位框最近的边缘在所述限位框上确定多个对应每一所述第一电极的第一插入点;

在所述限位框上除所述第一插入点的其他位置确定第二插入点,其中,所述第二插入点与所述第二电极的数量相等;

在每一所述第一插入点生成用于连接所述第一电极的导电盘,在每一所述第二插入点生成用于连接所述第二电极的导电盘。

2. 根据权利要求1所述的导电盘布图方法,其特征在于,所述限位框为矩形框。

3. 根据权利要求2所述的导电盘布图方法,其特征在于,所述根据每一所述离子注入层距离所述限位框最近的边缘在所述限位框上确定多个对应每一所述第一电极的第一插入点的步骤包括:

在每一所述离子注入层距离所述限位框最近的边缘上选择任意一点作为基准点;

查找每一所述基准点到所述限位框的垂线与所述限位框的第一个交点,将所述交点作为第一插入点。

4. 根据权利要求3所述的导电盘布图方法,其特征在于,所述基准点为所述离子注入层距离所述限位框最近的边缘上的中点。

5. 根据权利要求1所述的导电盘布图方法,其特征在于,所述第二电极包括第一子电极和第二子电极,所述第一子电极位于相邻两个所述第一电极之间,所述第二子电极不位于任意相邻两个所述第一电极之间;

所述在所述限位框上除所述第一插入点的其他位置确定第二插入点的步骤包括:

确定每一所述第一插入点距离最近的所述第一电极;

根据当前相邻两个所述第一电极之间的第一子电极的数量在当前相邻两个所述第一电极对应的第一插入点之间的限位框段上确定相同数量的第二插入点;

在所述第一子电极对应的第二插入点数量最少的限位框段上确定所述第二子电极对应的第二插入点。

6. 根据权利要求5所述的导电盘布图方法,其特征在于,每一所述限位框段上所述第一子电极对应的第二插入点到所述电极结构的中心点的连线将当前所述限位框段上的第一插入点与所述电极结构的中心点构成的扇形区域进行角度平均分割。

7. 根据权利要求5所述的导电盘布图方法,其特征在于,每一所述限位框段上所述第二子电极对应的第二插入点到所述电极结构的中心点的连线将当前所述限位框段上的第一插入点与所述电极结构的中心点构成的扇形区域进行角度平均分割。

8. 根据权利要求5所述的导电盘布图方法,其特征在于,每一所述限位框段上所述第二子电极对应的第二插入点到所述电极结构的中心点的连线与当前所述限位框段垂直。

9. 根据权利要求1所述的导电盘布图方法,其特征在于,所述导电盘为矩形,所述导电盘的中心点为所述第一插入点或所述第二插入点。

10. 根据权利要求1所述的导电盘布图方法,其特征在于,所述导电盘布图方法还包括:在每一所述第一电极与对应的导电盘之间以及每一所述第二电极与对应的导电盘之间生成传输线。

11. 根据权利要求10所述的导电盘布图方法,其特征在于,与所述导电盘连接的传输线连接所述导电盘的中心点,与所述第一电极连接的传输线连接所述第一电极的中心点,与所述第二电极连接的传输线连接所述第二电极的中心点。

12. 根据权利要求10所述的导电盘布图方法,其特征在于,所述传输线为直线,且位于相同走线层的传输线不交叉。

13. 一种量子比特版图的导电盘布图系统,所述量子比特版图包括电极结构和位于所述电极结构外围的多个离子注入层,所述电极结构包括多个用于引入载流子的第一电极以及多个用于调控量子比特的第二电极,且所述第一电极和所述离子注入层的数量相等,其特征在于,所述导电盘布图系统包括:

第一确定模块,用于在所述电极结构和所述离子注入层之间确定限位框;

第二确定模块,用于根据每一所述离子注入层距离所述限位框最近的边缘在所述限位框上确定多个对应每一所述第一电极的第一插入点;

第三确定模块,用于在所述限位框上除所述第一插入点的其他位置确定第二插入点,其中,所述第二插入点与所述第二电极的数量相等;

图形生成模块,用于在每一所述第一插入点生成用于连接所述第一电极的导电盘,在每一所述第二插入点生成用于连接所述第二电极的导电盘。

14. 根据权利要求13所述的导电盘布图系统,其特征在于,所述图形生成模块还用于在每一所述第一电极与对应的导电盘之间以及每一所述第二电极与对应的导电盘之间生成传输线。

15. 一种存储介质,其特征在于,所述存储介质中存储有计算机程序,所述计算机程序被设置为运行时执行权利要求1至12任一项所述的量子比特版图的导电盘布图方法。

16. 一种电子设备,其特征在于,包括存储器和处理器,所述存储器中存储有计算机程序,所述处理器被设置为运行所述计算机程序以执行权利要求1至12任一项所述的量子比特版图的导电盘布图方法。

量子比特版图的导电盘布图方法、系统、介质及设备

技术领域

[0001] 本发明涉及电路设计领域,特别是涉及一种量子比特版图的导电盘布图方法、系统、介质及设备。

背景技术

[0002] 量子比特是量子芯片的关键单元,由于量子比特上的电极尺寸非常小,在工艺上难以实现焊接,需要通过传输线将电极引出至较大尺寸的焊盘。传输线通常为折线,但是由于传输线非常细,在工艺制备中折点处容易出现断连的情况,因此需要在折点处制作导电盘来提高传输线折点处的导电可靠性。

[0003] 然而,量子比特上的电极非常多,每一个电极都有一根传输线,在量子比特版图设计中,需要人工逐个添加导电盘,因此版图绘制工作量非常大,版图绘制效率非常低,而且绘制过程无法保证精准度,容易出错。

发明内容

[0004] 本发明的目的是提供一种量子比特版图的导电盘布图方法、系统、介质及设备,以解决现有技术中导电盘手动绘制效率低、容易出错的问题,能够自动绘制导电盘,可以提高版图绘制的效率和精准度。

[0005] 为解决上述技术问题,本发明提供一种量子比特版图的导电盘布图方法,所述量子比特版图包括电极结构和位于所述电极结构外围的多个离子注入层,所述电极结构包括多个用于引入载流子的第一电极以及多个用于调控量子比特的第二电极,且所述第一电极和所述离子注入层的数量相等,所述导电盘布图方法包括:

[0006] 在所述电极结构和所述离子注入层之间确定限位框;

[0007] 根据每一所述离子注入层距离所述限位框最近的边缘在所述限位框上确定多个第一插入点;

[0008] 在所述限位框上除所述第一插入点的其他位置确定第二插入点,其中,所述第二插入点与所述第二电极的数量相等;

[0009] 在每一所述第一插入点生成用于连接所述第一电极的导电盘,在每一所述第二插入点生成用于连接所述第二电极的导电盘,

[0010] 优选的,所述限位框为矩形框。

[0011] 优选的,所述根据每一所述离子注入层距离所述限位框最近的边缘在所述限位框上确定多个第一插入点的步骤包括:

[0012] 在每一所述离子注入层距离所述限位框最近的边缘上选择任意一点作为基准点;

[0013] 查找每一所述基准点到所述限位框的垂线与所述限位框的第一个交点,将所述交点作为第一插入点。

[0014] 优选的,所述基准点为所述离子注入层距离所述限位框最近的边缘上的中点。

[0015] 优选的,所述第二电极包括第一子电极和第二子电极,所述第一子电极位于相邻

两个所述第一电极之间,所述第二子电极不位于任意相邻两个所述第一电极之间;

[0016] 所述在所述限位框上除所述第一插入点的其他位置确定第二插入点的步骤包括:

[0017] 确定每一所述第一插入点距离最近的所述第一电极;

[0018] 根据当前相邻两个所述第一电极之间的第一子电极的数量在当前相邻两个所述第一电极对应的第一插入点之间的限位框段上确定相同数量的第二插入点;

[0019] 在所述第一子电极对应的第二插入点数量最少的限位框段上确定所述第二子电极对应的第二插入点。

[0020] 优选的,每一所述限位框段上所述第一子电极对应的第二插入点到所述电极结构的中心点的连线将当前所述限位框段上的第一插入点与所述电极结构的中心点构成的扇形区域进行角度平均分割。

[0021] 优选的,每一所述限位框段上所述第二子电极对应的第二插入点到所述电极结构的中心点的连线将当前所述限位框段上的第一插入点与所述电极结构的中心点构成的扇形区域进行角度平均分割。

[0022] 优选的,每一所述限位框段上所述第二子电极对应的第二插入点到所述电极结构的中心点的连线与当前所述限位框段垂直。

[0023] 优选的,所述导电盘为矩形,所述导电盘的中心点为所述第一插入点或所述第二插入点。

[0024] 优选的,所述导电盘布图方法还包括:

[0025] 在每一所述第一电极与对应的导电盘之间以及每一所述第二电极与对应的导电盘之间生成传输线。

[0026] 优选的,与所述导电盘连接的传输线连接所述导电盘的中心点,与所述第一电极连接的传输线连接所述第一电极的中心点,与所述第二电极连接的传输线连接所述第二电极的中心点。

[0027] 优选的,所述传输线为直线,且位于相同走线层的传输线不交叉。

[0028] 为解决上述技术问题,本发明还提供一种量子比特版图的导电盘布图系统,所述量子比特版图包括电极结构和位于所述电极结构外围的多个离子注入层,所述电极结构包括多个用于引入载流子的第一电极以及多个用于调控量子比特的第二电极,且所述第一电极和所述离子注入层的数量相等,所述导电盘布图系统包括:

[0029] 第一确定模块,用于在所述电极结构和所述离子注入层之间确定限位框;

[0030] 第二确定模块,用于根据每一所述离子注入层距离所述限位框最近的边缘在所述限位框上确定多个第一插入点;

[0031] 第三确定模块,用于在所述限位框上除所述第一插入点的其他位置确定第二插入点,其中,所述第二插入点与所述第二电极的数量相等;

[0032] 图形生成模块,用于在每一所述第一插入点生成用于连接所述第一电极的导电盘,在每一所述第二插入点生成用于连接所述第二电极的导电盘。

[0033] 优选的,所述图形生成模块还用于在每一所述第一电极与对应的导电盘之间以及每一所述第二电极与对应的导电盘之间生成传输线。

[0034] 为解决上述技术问题,本发明还提供一种存储介质,所述存储介质中存储有计算机程序,所述计算机程序被设置为运行时执行前述任一种所述的量子比特版图的导电盘布

图方法。

[0035] 为解决上述技术问题,本发明还提供一种电子设备,包括存储器和处理器,所述存储器中存储有计算机程序,所述处理器被设置为运行所述计算机程序以执行前述任一种所述的量子比特版图的导电盘布图方法。

[0036] 区别于现有技术的情况,本发明提供的量子比特版图的导电盘布图方法针对具有电极结构和离子注入层的量子比特版图,首先在电极结构和离子注入层之间确定限位框,根据每一离子注入层距离限位框最近的边缘在限位框上确定第一插入点,然后再在限位框上确定第二插入点,最后在每一第一插入点生成用于连接第一电极的导电盘,在每一第二插入点生成用于连接第二电极的导电盘,完成导电盘的绘制,整个绘制过程只需要人工设置限位框的尺寸即可,从而能够自动绘制导电盘,可以提高版图绘制的效率和精准度。

[0037] 本发明提供的量子比特版图的导电盘布图系统、存储介质及电子设备,与量子比特版图的导电盘布图方法属于同一发明构思,因此具有相同的有益效果,在此不再赘述。

附图说明

[0038] 图1为一种量子比特版图的结构示意图。

[0039] 图2为图1中量子比特版图的电极结构的放大示意图。

[0040] 图3为本发明第一实施例提供的量子比特版图的导电盘布图方法的流程示意图。

[0041] 图4为图3所示的导电盘布图方法确定的限位框的示意图。

[0042] 图5为图3所示的导电盘布图方法确定的第一插入点和第二插入点的示意图。

[0043] 图6为图3所示的导电盘布图方法生成的导电盘的示意图。

[0044] 图7为图3所示的导电盘布图方法生成的传输线与第一电极和第二电极连接的示意图。

[0045] 图8为本发明第二实施例提供的量子比特版图的导电盘布图方法中步骤S12的具体流程示意图。

[0046] 图9为本发明第二实施例提供的量子比特版图的导电盘布图方法中步骤S13的具体流程示意图。

[0047] 图10为本发明第三实施例提供的量子比特版图的导电盘布图系统的原理框图。

具体实施方式

[0048] 下面将结合示意图对本发明的具体实施方式进行更详细的描述。根据下列描述和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0049] 在本发明的描述中,需要理解的是,术语“中心”、“上”、“下”、“左”、“右”等指示的方位或者位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0050] 此外,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本发明的描述中,“多个”的含义是至少两个,例如两

个,三个等,除非另有明确具体的限定。

[0051] 本发明第一实施例提供了一种量子比特版图的导电盘布图方法。量子比特版图包括电极结构和位于电极结构外围的多个离子注入层,电极结构包括多个用于引入载流子的第一电极以及多个用于调控量子比特的第二电极,且第一电极和所述离子注入层的数量相等。请参考图1和图2,在一种具体实例中,量子比特版图包括电极结构1和位于电极结构外围的6个离子注入层2,电极结构1包括6个用于引入载流子的第一电极11以及21个用于调控量子比特的第二电极12。图2中,与第一电极11的阴影填充不同的均为第二电极12。离子注入层为多边形结构,离子注入层的形状由一个类锥形和一个矩形组合而成,有的离子注入层为7边形,有的离子注入层为8边形。

[0052] 请参考图3,本实施例的导电盘布图方法包括:

[0053] S11:在电极结构和离子注入层之间确定限位框。

[0054] 其中,结合参考图4,限位框3位于电极结构和离子注入层之间。限位框3确定后,电极结构1位于限位框3内,离子注入层2则位于限位框3外。限位框3可以由用户手动绘制,也可以是由量子比特版图提供,还可以根据用户输入的参数生成。例如用户输入限位框的每个顶点的坐标,然后按照预设顺序依次连接每个顶点确定限位框。

[0055] 限位框可以是由线段组成的任意形状,通常来说,限位框的边的数量尽量少。本实施例中,限位框为矩形框。

[0056] S12:根据每一离子注入层距离限位框最近的边缘在限位框上确定多个第一插入点。

[0057] 其中,离子注入层不论是什么形状,必定存在一条边距离限位框最近。结合图5所示,每一个离子注入层距离限位框最近的边缘为类锥形区域最短的边,根据每一个离子注入层最短的边可以分别在限位框上确定6个第一插入点A。

[0058] S13:在限位框上除第一插入点的其他位置确定第二插入点,其中,第二插入点与第二电极的数量相等。

[0059] 其中,6个第一插入点A将限位框分为6个限位框段,可以按照设定规则在6个限位框段上确定21个第二插入点B。结合参考图5,21个第二插入点B分散在不同的限位框段上,每个限位框段上的第二插入点B均匀分布。图5中,除了第一插入点A之外,其他的点均为第二插入点B。

[0060] S14:在每一第一插入点生成用于连接第一电极的导电盘,在每一第二插入点生成用于连接第二电极的导电盘。

[0061] 其中,结合参考图6,第一插入点A和第二插入点B均生成同样的导电盘C,不同的是,第一插入点A生成的导电盘C需要连接第一电极11,第二插入点B生成的导电盘C需要连接第二电极12。

[0062] 由于需要绘制传输线将导电盘与第一电极、第二电极连接,为了提高版图绘制效率,在本实施例中,导电盘布图方法还包括:

[0063] S15:在每一第一电极与对应的导电盘之间以及每一第二电极与对应的导电盘之间生成传输线。

[0064] 其中,为了避免后续芯片工艺制备过程中出现传输线与导电盘“断连”现象,在本实施例中,与导电盘连接的传输线连接导电盘的中心点,与第一电极连接的传输线连接第

一电极的中心点,与第二电极连接的传输线连接第二电极的中心点。进一步地,传输线为直线,且位于相同走线层的传输线不交叉。如果传输线需要交叉,则交叉的传输线分别位于不同走线层。

[0065] 如图6中放大部分和图7所示,与导电盘C连接的传输线Z连接导电盘C的中心点,与第一电极11连接的传输线Z连接第一电极11的中心点,与第二电极12连接的传输线Z连接第二电极12的中心点。需要说明的是,图6和图7中仅示意性展示了部分传输线Z。

[0066] 在本实施例中,导电盘C为矩形,导电盘C的中心点为第一插入点A或第二插入点B,也就是说,每个导电盘C的中心点均在限位框3上。

[0067] 通过上述步骤,本实施例能够通过电极结构和离子注入层之间确定限位框,根据离子注入层的边缘在限位框上确定第一插入点,然后再进一步确定第二插入点,利用第一插入点和第二插入点实现导电盘的布图构建。

[0068] 本发明第二实施例提供了一种量子比特版图的导电盘布图方法。本实施例的布图构建方法包括第一实施例的全部技术特征,不同之处在于,请参考图8,根据每一离子注入层距离限位框最近的边缘在限位框上确定多个第一插入点的步骤,即步骤S12包括:

[0069] S121:在每一离子注入层距离限位框最近的边缘上选择任意一点作为基准点。

[0070] 在本实施例中,基准点为离子注入层距离限位框最近的边缘上的中点。请结合参考图4,离子注入层距离限位框最近的边缘上的中点M为基准点。

[0071] S122:查找每一基准点到限位框的垂线与限位框的第一个交点,将交点作为第一插入点。

[0072] 其中,请结合参考图4,基准点(即中点M)到限位框的垂线(图中虚线)与限位框存在交点,将第一个交点作为第一插入点A。

[0073] 本发明第三实施例提供了一种量子比特版图的导电盘布图方法。在本实施例中,第二电极12包括第一子电极121和第二子电极122,第一子电极121位于相邻两个第一电极11之间,第二子电极122不位于任意相邻两个第一电极11之间。如图2所示,除了标注的第二子电极122以外,其余的第二电极12均为第一子电极121。

[0074] 本实施例的布图构建方法包括第一实施例的全部技术特征,不同之处在于,请参考图9,在限位框上除第一插入点的其他位置确定第二插入点的步骤,即步骤S13包括:

[0075] S131:确定每一第一插入点距离最近的第一电极。

[0076] 其中,结合参考图2、图5和图7,根据6个第一电极11的位置以及6个第一插入点A的位置可以确定限位框3上边缘的两个第一插入点A按照左右顺序分别对应的是电极结构1中上方的左右两个第一电极11、确定限位框3左边缘的两个第一插入点A按照上下顺序分别对应的是电极结构1中左侧的上下两个第一电极11、确定限位框3下边缘的两个第一插入点A按照左右顺序分别对应的是电极结构1中下方的左右两个第一电极11。

[0077] S132:根据当前相邻两个第一电极之间的第一子电极的数量在当前相邻两个第一电极对应的第一插入点之间的限位框段上确定相同数量的第二插入点。

[0078] 其中,结合参考图5,6个第一插入点A将限位框3分割为6个限位框段。以图2中右侧的相邻两个第一电极11为例,该相邻两个第一电极11之间的第一子电极11数量为11个,则需要在该相邻两个第一电极11对应的第一插入点A之间的限位框段上确定11个第二插入点B,即图5中最右侧的限位框段上的第二插入点B的数量为11。

[0079] S133:在第一子电极对应的第二插入点数量最少的限位框段上确定第二子电极对应的第二插入点。

[0080] 其中,结合参考图5,第一子电极121对应的第二插入点B确定后,只剩下最上方、最左侧、最下方的限位框段上的第二插入点B数量最少,均为0,因此,在该三个限位框段上确定第二子电极122对应的第二插入点B。本实施例中,选择最上方和最下方的限位框段分别确定一个第二插入点B,进而最终确定所有第二电极12对应的第二插入点B。

[0081] 对于限位框段上第二插入点数量为两个及以上的情形,作为一种优选的实施方式,每一限位框段上第一子电极对应的第二插入点到电极结构的中心点的连线将当前限位框段上的第一插入点与电极结构的中心点构成的扇形区域进行角度平均分割。如图5所示,最右侧限位框段上的两个第一插入点A加上11个第二插入点B共计13个点,13个点到电极结构的中心点的连线中,每相邻两条连线的夹角相等。

[0082] 对于限位框段上第二插入点数量为一个的情形,作为一种优选的实施方式,每一限位框段上第二子电极对应的第二插入点到电极结构的中心点的连线将当前限位框段上的第一插入点与电极结构的中心点构成的扇形区域进行角度平均分割。

[0083] 对于限位框段上第二插入点数量为一个的情形,作为另一种优选的实施方式,每一限位框段上第二子电极对应的第二插入点到电极结构的中心点的连线与当前限位框段垂直。如图5所示,最下方的限位框段上的两个第一插入点A之间只有1个第二插入点B,该第二插入点B到电极结构的中心点的连线与限位框的下边缘垂直。

[0084] 本发明第三实施例提供了一种量子比特版图的导电盘布图系统。量子比特版图包括电极结构和位于电极结构外围的多个离子注入层,电极结构包括多个用于引入载流子的第一电极以及多个用于调控量子比特的第二电极,且第一电极和所述离子注入层的数量相等。请参考图10,导电盘布图系统包括:

[0085] 第一确定模块11,用于在电极结构和离子注入层之间确定限位框。其中,限位框可以由用户手动绘制,也可以是由量子比特版图提供,还可以根据用户输入的参数生成。例如用户输入限位框的每个顶点的坐标,然后按照预设顺序依次连接每个顶点确定限位框。限位框可以由线段组成的任意形状,通常来说,限位框的边的数量尽量少。本实施例中,限位框为矩形框。

[0086] 第二确定模块12,用于根据每一离子注入层距离限位框最近的边缘在限位框上确定多个第一插入点。其中,离子注入层不论是什么形状,必定存在一条边距离限位框最近。

[0087] 第三确定模块13,用于在限位框上除第一插入点的其他位置确定第二插入点,其中,第二插入点与第二电极的数量相等。其中,多个第一插入点将限位框分为多个限位框段,可以按照设定规则在多个限位框段上确定第二插入点。

[0088] 图形生成模块14,用于在每一第一插入点生成用于连接第一电极的导电盘,在每一第二插入点生成用于连接第二电极的导电盘。其中,图形生成模块14在第一插入点和第二插入点均生成同样的导电盘,不同之处在于,第一插入点生成的导电盘需要连接第一电极,第二插入点生成的导电盘需要连接第二电极。

[0089] 由于需要绘制传输线将导电盘与第一电极、第二电极连接,为了提高版图绘制效率,在本实施例中,图形生成模块14还用于在每一第一电极与对应的导电盘之间以及每一第二电极与对应的导电盘之间生成传输线。其中,为了避免后续芯片工艺制备过程中出现

传输线与导电盘“断连”现象,在本实施例中,与导电盘连接的传输线连接导电盘的中心点,与第一电极连接的传输线连接第一电极的中心点,与第二电极连接的传输线连接第二电极的中心点。进一步地,传输线为直线,且位于相同走线层的传输线不交叉。如果传输线需要交叉,则交叉的传输线分别位于不同走线层。

[0090] 在本实施例中,导电盘为矩形,导电盘的中心点为第一插入点或第二插入点,也就是说,每个导电盘的中心点均在限位框上。

[0091] 本发明还提供一种存储介质,存储介质中存储有计算机程序,计算机程序被设置为运行时执行第一实施例或第二实施例的量子比特版图的导电盘布图方法。

[0092] 具体的,在本实施例中,上述存储介质可以包括但不限于:U盘、只读存储器(Read-Only Memory,简称为ROM)、随机存取存储器(Random Access Memory,简称为RAM)、移动硬盘、磁碟或者光盘等各种可以存储计算机程序的介质。

[0093] 本发明还提供一种电子设备,包括存储器和处理器,存储器中存储有计算机程序,处理器被设置为运行计算机程序以执行第一实施例或第二实施例的量子比特版图的导电盘布图方法。

[0094] 具体的,存储器和处理器可以通过数据总线连接。此外,上述电子设备还可以包括传输设备以及输入输出设备,其中,该传输设备和上述处理器连接,该输入输出设备和上述处理器连接。

[0095] 在本说明书的描述中,参考术语“一个实施例”、“一些实施例”、“示例”或“具体示例”等的描述意指结合该实施例或示例描述的具体特征、结构、材料或者特点包含于本发明的至少一个实施例或示例中。在本说明书中,对上述术语的示意性表述不必须针对的是相同的实施例或示例。而且描述的具体特征、结构、材料或者特点可以在任何一个或多个实施例中以合适的方式结合。此外,本领域的技术人员可以将本说明书中描述的不同实施例或示例进行接合和组合。

[0096] 上述仅为本发明的优选实施例而已,并不对本发明起到任何限制作用。任何所属技术领域的技术人员,在不脱离本发明的技术方案的范围,对本发明揭露的技术方案和技术内容做任何形式的等同替换或修改等变动,均属未脱离本发明的技术方案的内容,仍属于本发明的保护范围之内。

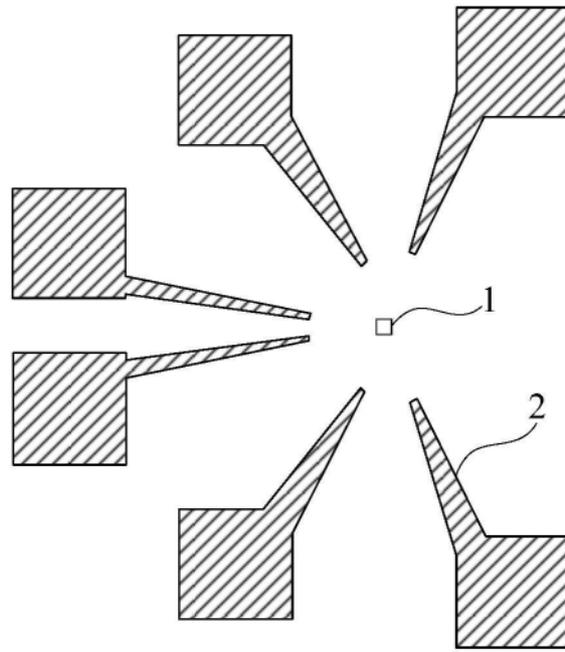


图1

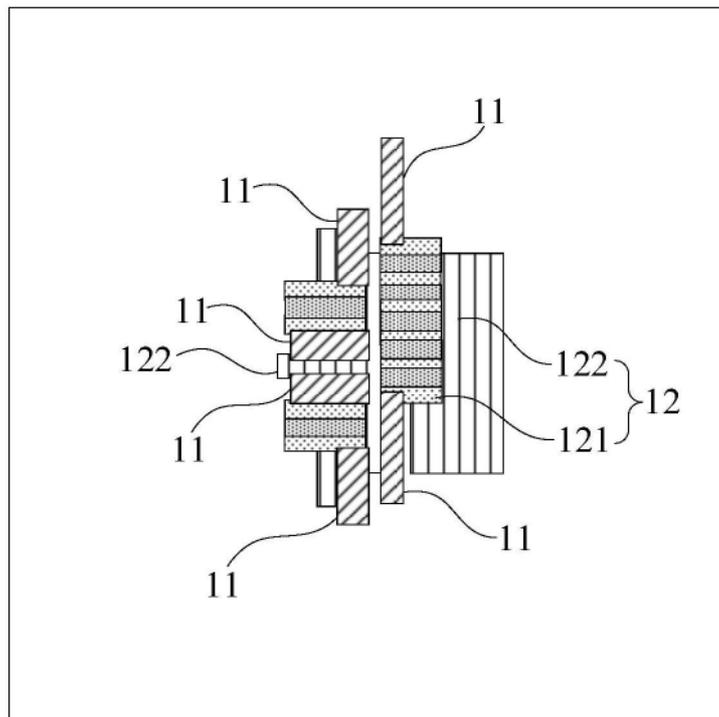


图2

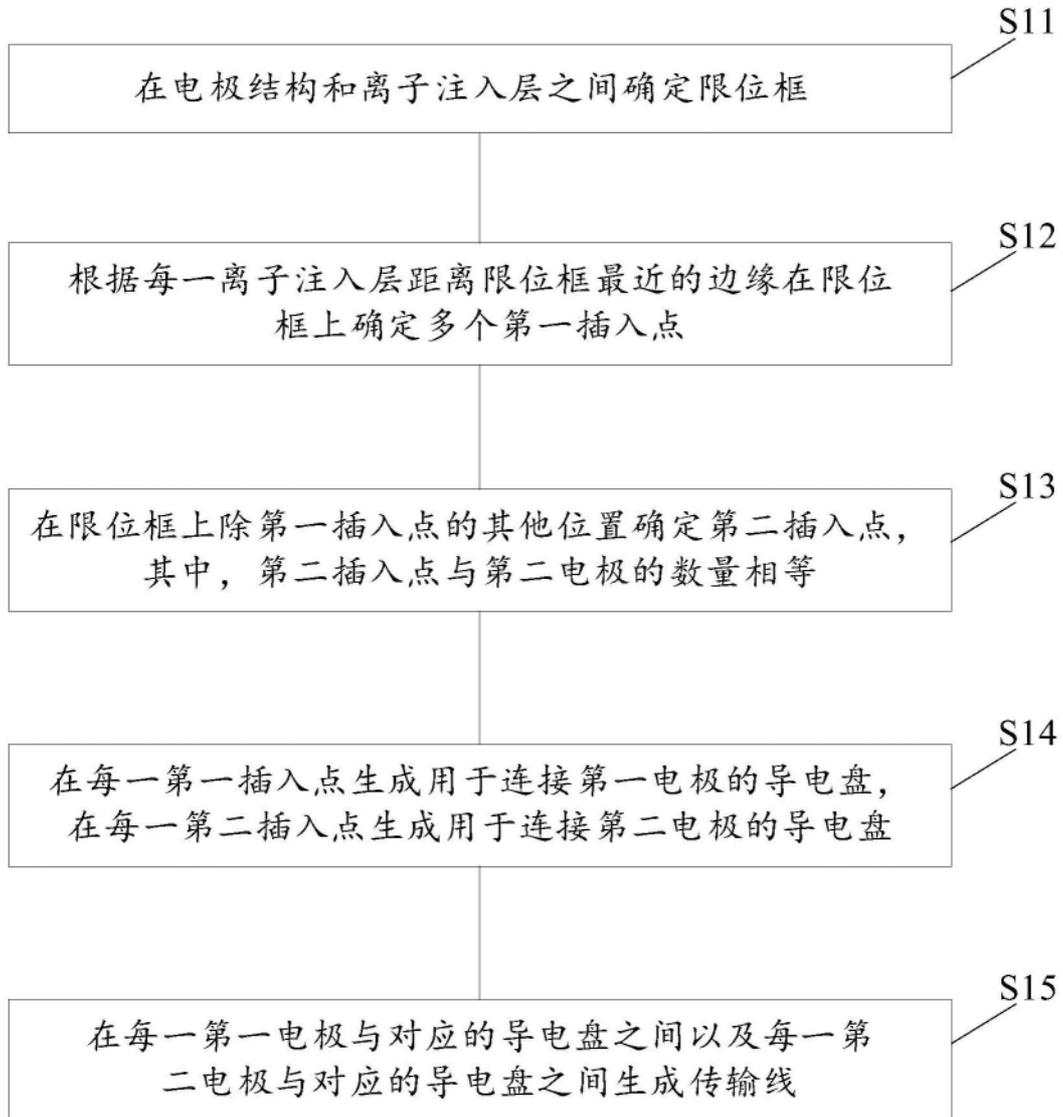


图3

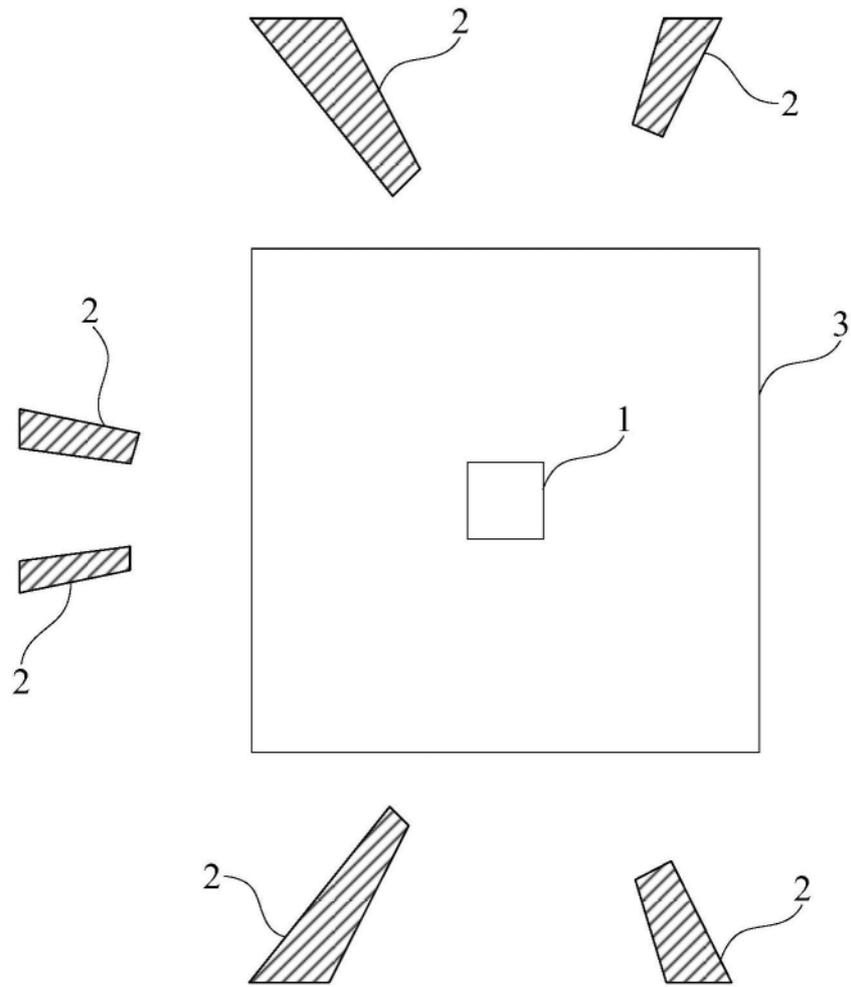


图4

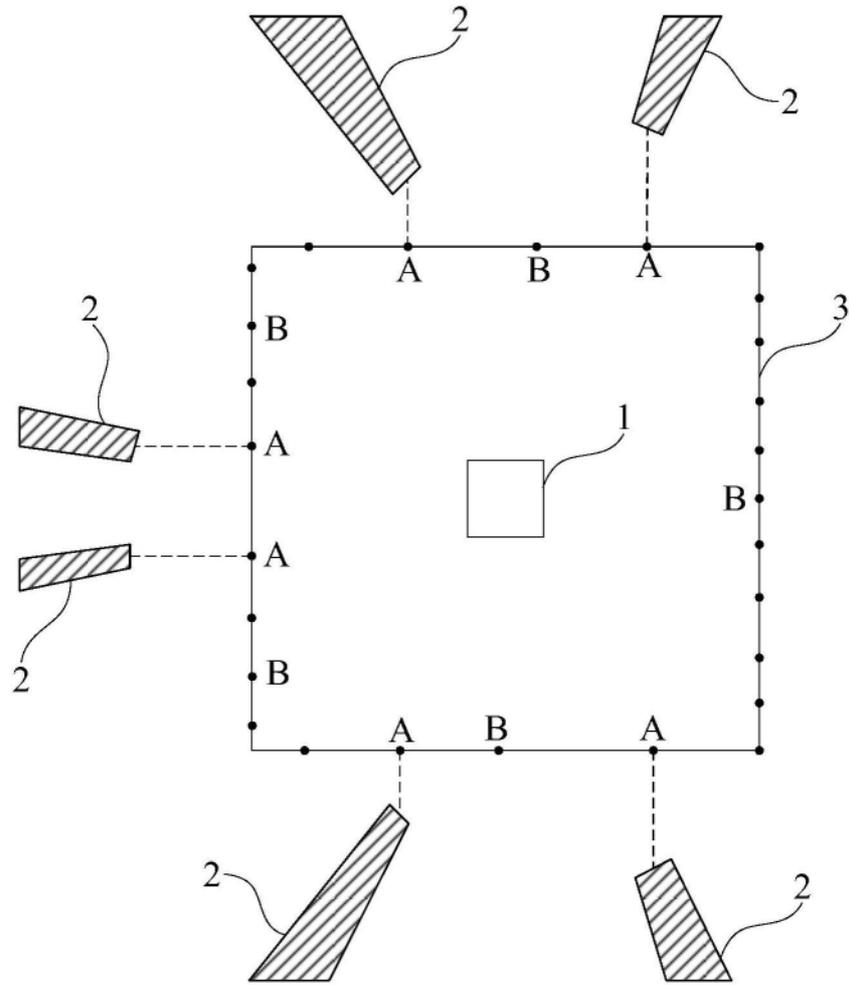


图5

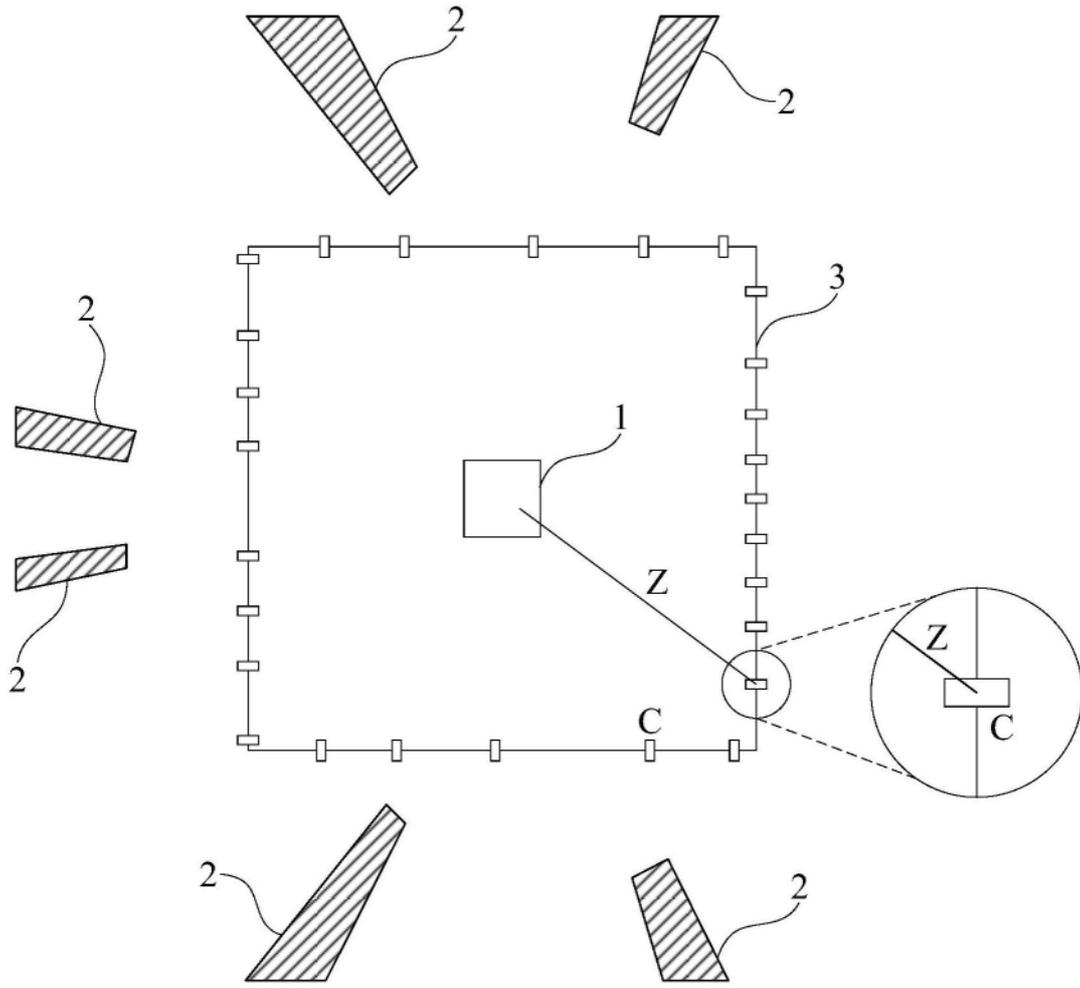


图6

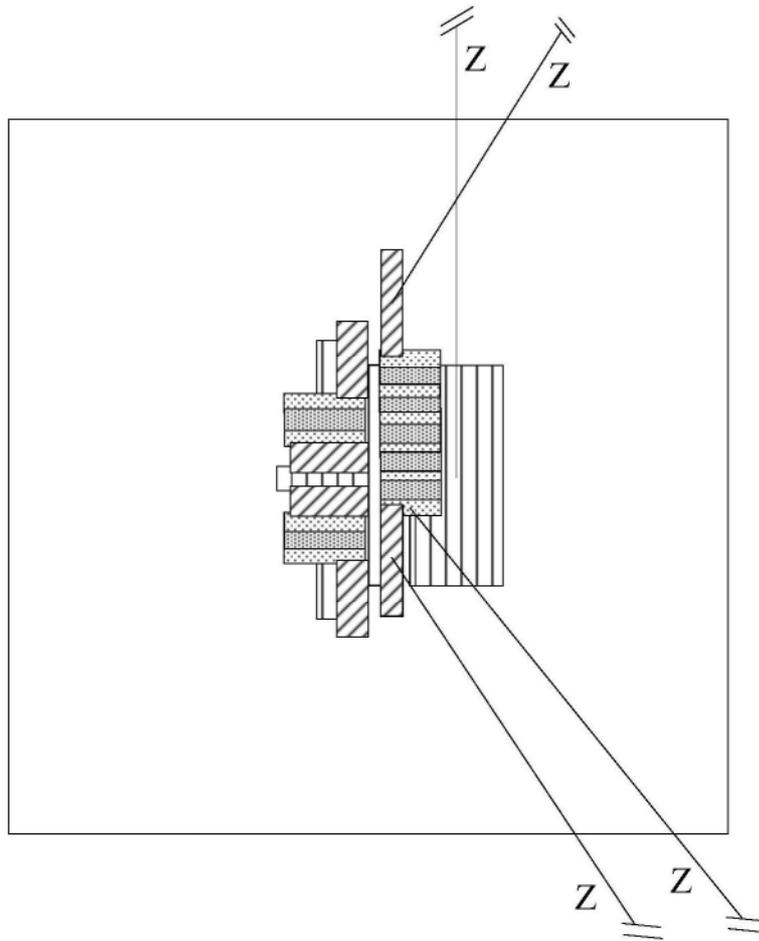


图7

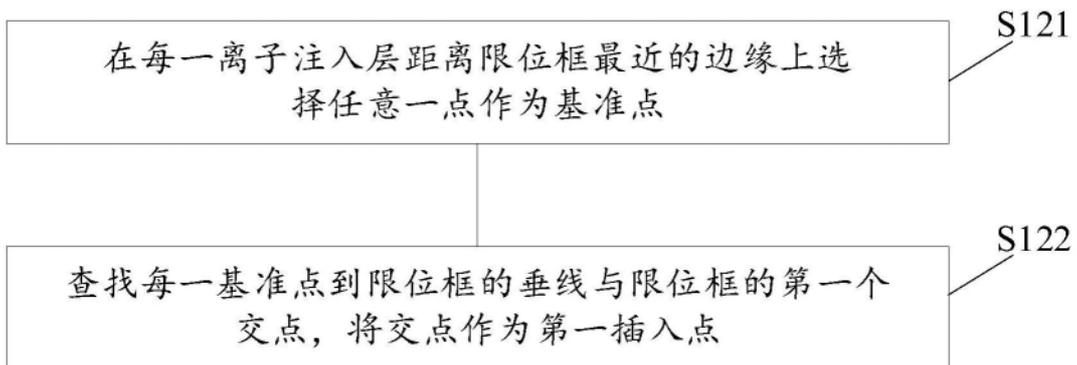


图8

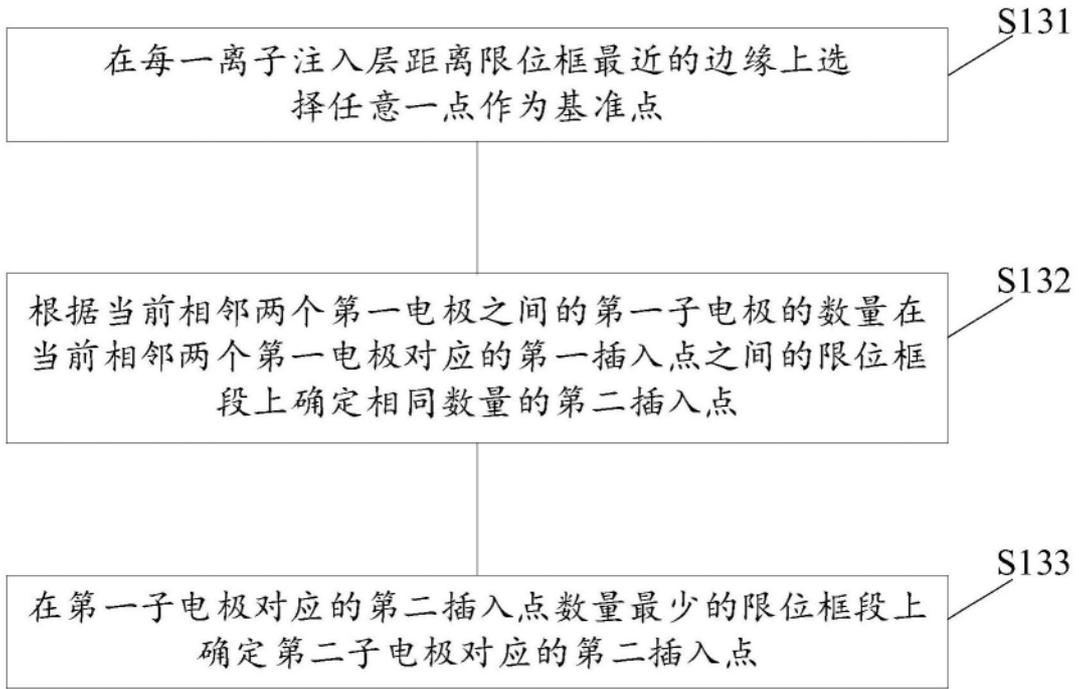


图9

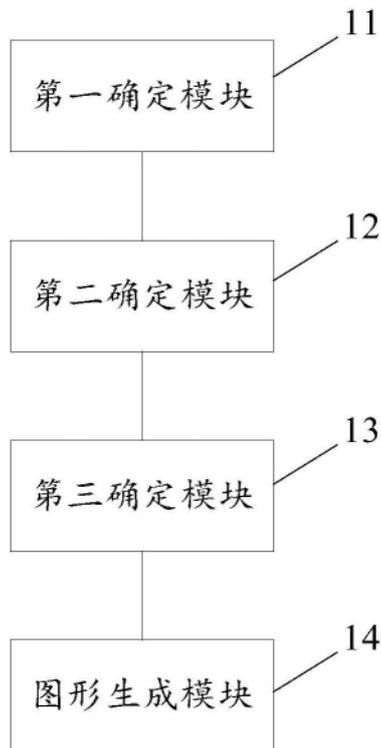


图10