



(10) **DE 10 2020 127 090 A1** 2021.09.02

(12) **Offenlegungsschrift**

(21) Aktenzeichen: **10 2020 127 090.9**
 (22) Anmeldetag: **15.10.2020**
 (43) Offenlegungstag: **02.09.2021**

(51) Int Cl.: **H01L 21/822 (2006.01)**
H01L 27/092 (2006.01)
G06F 30/394 (2020.01)

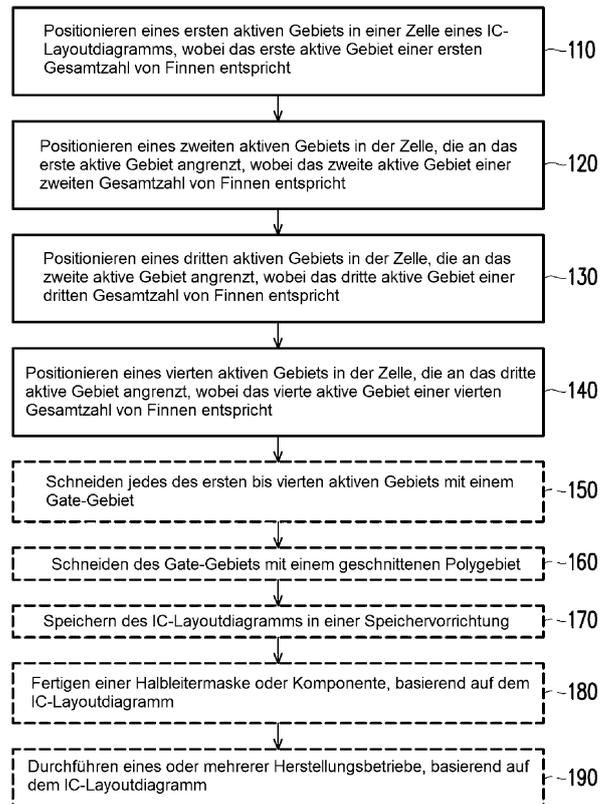
<p>(30) Unionspriorität: 62/982,227 27.02.2020 US 17/065,086 07.10.2020 US</p> <p>(71) Anmelder: Taiwan Semiconductor Manufacturing Co., Ltd., Hsinchu, TW</p> <p>(74) Vertreter: BOEHMERT & BOEHMERT Anwaltspartnerschaft mbB - Patentanwälte Rechtsanwälte, 28209 Bremen, DE</p>	<p>(72) Erfinder: Lai, Po-Chia, Hsinchu, TW; Kuo, Ming-Chang, Hsinchu, TW; Kao, Jerry Chang Jui, Hsinchu, TW; Chang, Wei-Ling, Hsinchu, TW; Chen, Wei- Ren, Hsinchu, TW; Zhuang, Hui-Zhong, Hsinchu, TW; Rusu, Stefan, Hsinchu, TW; Lu, Lee-Chung, Hsinchu, TW</p>
---	---

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen.

(54) Bezeichnung: **MEHRFINNENLAYOUT, VERFAHREN, SYSTEM UND BAUELEMENT**

(57) Zusammenfassung: Ein Verfahren umfasst, angrenzende erste bis vierte aktive Gebiete in einer Zelle eines IC-Layoutdiagramms zu positionieren, wobei das erste aktive Gebiet ein erster Typ von n oder p ist und einer ersten Gesamtzahl von Finnen entspricht, das zweite aktive Gebiet ein zweiter Typ von n oder p ist und einer zweiten Gesamtzahl von Finnen entspricht, das dritte aktive Gebiet der zweite Typ ist und einer dritten Gesamtzahl von Finnen entspricht und das vierte aktive Gebiet der erste Typ ist und einer vierten Gesamtzahl von Finnen entspricht. Sowohl die erste als auch zweite Gesamtzahl von Finnen ist größer als sowohl die dritte als auch vierte Gesamtzahl von Finnen und mindestens eines des Positionierens des ersten, zweiten, dritten oder vierten aktiven Gebiets wird von einem Prozessor durchgeführt.



Beschreibung

PRIORITÄTSANSPRUCH

[0001] Die vorliegende Anmeldung beansprucht die Priorität der vorläufigen US-Patentanmeldung Nr. 62/982, 227, eingereicht am 27. Februar 2020, die durch Bezugnahme in die vorliegende Anmeldung aufgenommen wird.

STAND DER TECHNIK

[0002] Der anhaltende Trend der Miniaturisierung von ICs (Integrated Circuits) hat in schrittweise kleineren Bauelementen resultiert, die weniger Strom verbrauchen, aber trotzdem mehr Funktionalität bei höheren Geschwindigkeiten als ältere Technologien bereitstellen. In manchen Fällen umfasst IC-Technologie Finnenfeld-effekttransistoren (FinFETs), in denen Kanalgeometrien entlang mehrerer Finnenendimensionen verdichtet sind.

[0003] Diese Miniaturisierung wurde durch Design- und Herstellungsinnovationen erzielt, die an zunehmend striktere Spezifikationen gebunden sind. Unterschiedliche elektronische Designautomatisierungswerkzeuge (EDA-Werkzeuge) werden verwendet, um Designs für Halbleiterbauelemente zu erzeugen, zu beurteilen und zu verifizieren, während sichergestellt wird, dass Design- und Herstellungsspezifikationen erfüllt werden.

Figurenliste

[0004] Aspekte der vorliegenden Offenbarung lassen sich am besten anhand der folgenden detaillierten Beschreibung in Verbindung mit den beiliegenden Zeichnungen verstehen. Es ist zu beachten, dass gemäß der branchenüblichen Praxis verschiedene Merkmale nicht maßstabsgetreu dargestellt sind. Tatsächlich können die Abmessungen der verschiedenen Merkmale zugunsten einer klaren Erläuterung willkürlich vergrößert oder verkleinert sein.

Fig. 1 ist ein Ablaufdiagramm eines Verfahrens zum Erzeugen eines IC-Layoutdiagramms in Übereinstimmung mit manchen Ausführungsformen.

Fig. 2 bildet ein IC-Layoutdiagramm in Übereinstimmung mit manchen Ausführungsformen ab.

Fig. 3 ist ein Ablaufdiagramm eines Verfahrens zum Erzeugen eines IC-Layoutdiagramms in Übereinstimmung mit manchen Ausführungsformen.

Fig. 4A-6 veranschaulichen nicht einschränkende Beispiele von Betrieben eines Verfahrens zum Erzeugen eines IC-Layoutdiagramms in Übereinstimmung mit manchen Ausführungsformen.

Fig. 7 ist ein Diagramm eines IC-Bauelements in Übereinstimmung mit manchen Ausführungsformen.

Fig. 8 ist ein Blockdiagramm eines IC-Layoutdiagrammerzeugungssystems in Übereinstimmung mit manchen Ausführungsformen.

Fig. 9 ist ein Blockdiagramm eines IC-Herstellungssystems und eines damit verknüpften IC-Herstellungsablaufs in Übereinstimmung mit manchen Ausführungsformen.

AUSFÜHRLICHE BESCHREIBUNG

[0005] Die folgende Offenbarung stellt viele verschiedene Ausführungsformen, oder Beispiele, zum Implementieren verschiedener Merkmale des bereitgestellten Gegenstands bereit. Spezifische Beispiele von Komponenten, Materialien, Werten, Schritten, Betrieben, Materialien, Anordnungen oder dergleichen werden unten beschrieben, um die vorliegende Offenbarung zu vereinfachen. Andere Komponenten, Werte, Betriebe, Materialien, Anordnungen oder dergleichen werden in Betracht gezogen. Zum Beispiel kann die Bildung eines ersten Merkmals über oder auf einem zweiten Merkmal in der folgenden Beschreibung Ausführungsformen enthalten, in denen das erste und das zweite Merkmal in direktem Kontakt gebildet sind und kann auch Ausführungsformen enthalten, in denen zusätzliche Merkmale zwischen dem ersten und dem zweiten Merkmal gebildet sein können, sodass das erste und das zweite Merkmal nicht in direktem Kontakt sein könnten. Zusätzlich kann die vorliegende Offenbarung Referenznummern und/oder -buchstaben in den unterschiedlichen Beispielen wiederholen. Diese Wiederholung dient dem Zweck der Vereinfachung und Klarheit und gibt selbst keine Beziehung zwischen den unterschiedlichen besprochenen Ausführungsformen und/oder Konfigurationen vor.

[0006] Weiter können räumlich relative Ausdrücke wie „unterliegend“, „unterhalb“, „unter“, „überliegend“, „ober“ und dergleichen hierin zur Erleichterung der Beschreibung verwendet werden, um die Beziehung ei-

nes Elements oder Merkmals zu (einem) anderen Element(en) oder Merkmal(en) wie in den Figuren veranschaulicht zu beschreiben. Die räumlich relativen Ausdrücke sind beabsichtigt, verschiedene Ausrichtungen des Bauelements in Verwendung oder Betrieb zusätzlich zu der in den Figuren abgebildeten Ausrichtung zu umschließen. Die Vorrichtung kann anders ausgerichtet sein (um 90 Grad gedreht oder bei anderen Ausrichtungen) und die hierin verwendeten räumlich relativen Beschreibungsausdrücke können ebenso entsprechend ausgelegt werden.

[0007] In unterschiedlichen Ausführungsformen weist ein IC-Layout, und ein auf dem IC-Layout basierend hergestelltes Bauelement, Transistoren unter Gebieten verteilt auf, die abweichende Finnenanzahlen aufweisen. Indem Transistoren unter relativ hohen und niedrigen Finnenanzahlen verteilt werden, sind die relativ hohen Finnenanzahlen selektiv auf kritische Schaltungsblöcke angewendet, sodass Schaltungsleistung im Stande ist verringert zu werden, während Geschwindigkeits- und Flächenanforderungen verglichen mit Ansätzen, bei denen Blöcke von Transistoren keinen relativ hohen und niedrigen Finnenanzahlen zugewiesen sind, beibehalten werden.

[0008] **Fig. 1** ist ein Ablaufdiagramm eines Verfahrens **100** zum Erzeugen eines IC-Layoutdiagramms in Übereinstimmung mit manchen Ausführungsformen. In manchen Ausführungsformen umfasst Erzeugen des IC-Layoutdiagramms, ein IC-Layoutdiagramm, z.B. ein unten in Bezug auf **Fig. 2** besprochenes IC-Layoutdiagramm **200**, entsprechend einem IC-Bauelement, z.B. ein unten in Bezug auf **Fig. 7** besprochenes IC-Bauelement **700**, zu erzeugen, das basierend auf dem erzeugten IC-Layoutdiagramm hergestellt ist. Nichtbegrenzende Beispiele von IC-Bauelementen umfassen Logikbauelemente, Flip-Flops, Multiplexer, Verarbeitungsbaulemente, Signalverarbeitungsschaltungen oder dergleichen.

[0009] In manchen Ausführungsformen wird manches oder alles von Verfahren **100** durch einen Prozessor eines Computers ausgeführt. In manchen Ausführungsformen wird manches oder alles von Verfahren **100** durch einen Prozessor **802** eines IC-Layoutdiagrammerzeugungssystems **800** ausgeführt, das unten in Bezug auf **Fig. 8** besprochen wird.

[0010] Manche oder alle der Betriebe von Verfahren **100** sind im Stande, als Teil einer Designprozedur durchgeführt zu werden, die in einer Design-Stätte, z.B. einer unten in Bezug auf **Fig. 9** besprochenen Design-Stätte **920**, durchgeführt wird.

[0011] In manchen Ausführungsformen werden die Betriebe von Verfahren **100** in der in **Fig. 1** abgebildeten Reihenfolge durchgeführt. In manchen Ausführungsformen werden die Betriebe von Verfahren **100** gleichzeitig und/oder in einer anderen Reihenfolge als der in **Fig. 1** abgebildeten durchgeführt. In manchen Ausführungsformen werden ein oder mehrere Betriebe vor, zwischen, während und/oder nach Durchführen eines oder mehrerer Betriebe von Verfahren **100** durchgeführt.

[0012] In manchen Ausführungsformen sind manche oder alle der Betriebe von Verfahren **100** in einem oder mehreren Betrieben eines Verfahrens zum Betreiben eines IC-Herstellungssystems, z.B. unten in Bezug auf **Fig. 3-6** besprochener Betrieb **340** von Verfahren **300**, umfasst.

[0013] **Fig. 2** ist eine Abbildung eines nichtbegrenzenden Beispiels eines IC-Layoutdiagramms **200**, das durch Ausführen eines oder mehrerer Betriebe von Verfahren **100**, wie unten besprochen, in manchen Ausführungsformen erzeugt wird. IC-Layoutdiagramm **200** ist für den Zweck der Veranschaulichung vereinfacht. In verschiedenen Ausführungsformen weist IC-Layoutdiagramm **200** Merkmale zusätzlich zu den in **Fig. 2** abgebildeten auf, z.B. ein oder mehrere Transistorelemente, Durchkontaktierungen, Kontakte, Isolationsstrukturen, Wannen, leitfähige Elemente oder dergleichen.

[0014] **Fig. 2** bildet eine Zelle **200C**, eine X-Richtung und eine Y-Richtung senkrecht zu der X-Richtung ab. Die X-Richtung, die horizontal in Bezug auf die Seite abgebildet ist, und die Y-Richtung, die vertikal abgebildet ist, sind ein nichtbegrenzendes Beispiel für den Zweck der Veranschaulichung. In unterschiedlichen Ausführungsformen sind die X- und Y-Richtungen senkrecht zueinander und weisen andere Ausrichtungen als die in **Fig. 2** abgebildete auf. Die X-Richtung weist eine positive X-Richtung, in **Fig. 2** abgebildet, und eine negative X-Richtung (nicht gekennzeichnet) entgegen der positiven X-Richtung auf. Die Y-Richtung weist eine positive Y-Richtung, in **Fig. 2** abgebildet, und eine negative Y-Richtung (nicht gekennzeichnet) entgegen der positiven Y-Richtung auf.

[0015] Zelle **200C** weist einen Rand **200B**, der sich in der Y-Richtung von einer Spur **T1** zu einer Spur **T3** erstreckt, wodurch sie eine Höhe CH aufweist, aktive Gebiete **AR1-AR4**, die sich in der X-Richtung erstrecken,

und Gate-Gebiete **GR1-GR3**, die sich in der Y-Richtung erstrecken und jedes aktive Gebiet **AR1-AR4** schneiden, auf. Aktives Gebiet **AR1** und **AR2** sind in einem Blockgebiet BL1 zwischen Spur **T1** und einer Spur **T2** positioniert und aktives Gebiet **AR3** und **AR4** sind in einem Blockgebiet BL2 zwischen Spur **T2** und **T3** positioniert. Ein geschnittenes Polygebiet **CP** erstreckt sich in der X-Richtung entlang von Spur **T2** und schneidet Gate-Gebiet **GR2** zwischen aktivem Gebiet **AR2** und **AR3**.

[0016] Ein aktives Gebiet, z.B. ein aktives Gebiet **AR1-AR4**, ist ein Gebiet in einem IC-Layoutdiagramm, das in einem Herstellungsprozess als Teil davon, einen aktiven Bereich zu definieren, in manchen Ausführungsformen auch als eine Oxiddiffusion oder -definition (OD) bezeichnet, in einem Halbleitersubstrat enthalten ist.

[0017] Ein aktiver Bereich ist ein fortlaufender Abschnitt des Halbleitersubstrats mit entweder n- oder p-Dotierung, der unterschiedliche Halbleiterstrukturen aufweist, die in manchen Ausführungsformen eine oder mehrere Finnen eines FinFET aufweisen. In unterschiedlichen Ausführungsformen liegt ein aktiver Bereich innerhalb einer Wanne, d.h. entweder einer n-Wanne oder einer p-Wanne, innerhalb des Halbleitersubstrats und/oder ist elektrisch von anderen Elementen in dem Halbleitersubstrat durch eine oder mehrere Isolationsstrukturen, z.B. eine oder mehrere Grabenisolationsstrukturen (STI-Strukturen) isoliert.

[0018] Eine Finne ist ein angehobener, länglicher Teil eines aktiven Bereichs, der sich in einer ersten Richtung, z.B. der X-Richtung in der in **Fig. 2** abgebildeten Ausführungsform, erstreckt und einen oder mehrere elementaren Halbleiters, z.B. Silizium (Si) oder Germanium (Ge), eines Verbindungshalbleiters, z.B. Siliziumgermanium (SiGe), Siliziumcarbid (SiC), Galliumarsenid (GaAs), Galliumphosphid (GaP), Indiumphosphid (InP), Indiumarsenid (InAs) oder Indiumantimonid (ISb), oder eines Legierungshalbleiters, z.B. GaAsP, AlInAs, AlGaAs, GaInAs, GaInP oder GaInAsP oder dergleichen, aufweist.

[0019] Jedes aktive Gebiet entspricht einer Gesamtzahl von Finnen. In unterschiedlichen Ausführungsformen entspricht ein gegebener aktiver Bereich einer Gesamtzahl von Finnen, die von eins bis sechs reicht. In manchen Ausführungsformen entspricht ein gegebener aktiver Bereich einer Gesamtzahl von Finnen größer als sechs.

[0020] In manchen Ausführungsformen weist ein aktiver Bereich eine oder mehrere Source/Drain-Strukturen (S/D-Strukturen) entsprechend einem oder mehreren S/D-Gebieten (nicht gezeigt) innerhalb des aktiven Gebiets auf, die verwendet werden, um den aktiven Bereich zu definieren. Eine S/D-Struktur ist eine Halbleiterstruktur innerhalb eines aktiven Bereichs, der an Teile der einen oder mehreren Finnen angrenzt oder diese aufweist und konfiguriert ist, eine entgegengesetzte Dotierung zu jener anderer Abschnitte des aktiven Bereichs aufzuweisen. In manchen Ausführungsformen ist eine S/D-Struktur konfiguriert, niedrigere Resistivität als andere Abschnitte des aktiven Bereichs aufzuweisen, z.B. indem sie einen oder mehrere Teile mit größeren Dotierungskonzentrationen als eine oder mehrere Dotierungskonzentrationen, die ansonsten über den aktiven Bereich hinweg vorhanden sind, aufweist. In unterschiedlichen Ausführungsformen enthalten S/D-Strukturen epitaktische Gebiete eines Halbleitermaterials, z.B. Si, SiGe und/oder SiC.

[0021] Ein Gate-Gebiet, z.B. Gate-Gebiet **GR1-GR3**, ist ein Gebiet in einem IC-Layoutdiagramm, das in einem Herstellungsprozess als Teil enthalten ist, um eine Gate-Struktur zu definieren, die über dem Halbleitersubstrat liegt.

[0022] Eine Gate-Struktur ist ein Volumen, das sich in einer Richtung senkrecht zu der eines aktiven Bereichs, z.B. der Y-Richtung in der in **Fig. 2** abgebildeten Ausführungsform, erstreckt und eine Gate-Elektrode aufweist, die im Wesentlichen von einer oder mehreren dielektrischen Schichten umgeben ist. Die Gate-Elektrode weist ein oder mehrere leitfähige Segmente auf, die ein oder mehrere leitfähige Materialien enthalten, z.B. Polysilizium, ein oder mehrere Metalle und/oder ein oder mehrere andere geeignete Materialien, und die Gate-Elektrode ist dadurch konfiguriert, eine Spannung entlang der unterliegenden und angrenzenden dielektrischen Schichten zu steuern. In unterschiedlichen Ausführungsformen enthält eine dielektrische Schicht eines oder mehrere von Siliziumdioxid und/oder einem anderen geeigneten Material, z.B. ein dielektrisches Material mit einem höheren k-Wert als 3,8 oder 7,0, in manchen Ausführungsformen auch als ein High-k-Dielektrikum-Material bezeichnet. In manchen Ausführungsformen enthält ein High-k-Dielektrikum-Material Aluminiumoxid, Hafniumoxid, Lanthanoxid oder ein anders geeignetes Material.

[0023] In manchen Fällen entspricht eine Stelle, bei der ein Gate-Gebiet ein aktives Gebiet in einem IC-Layoutdiagramm schneidet, einem Transistor in dem entsprechenden IC-Bauelement, der den Teil der entsprechenden Gate-Struktur, der über dem entsprechenden aktiven Bereich liegt, Teile des aktiven Bereichs unterhalb der Gate-Struktur und teilweise davon umgeben, und S/D-Strukturen, die an die Gate-Struktur angren-

zen, aufweist. In unterschiedlichen Ausführungsformen ist der Transistor ein p-Metalloxidhalbleitertransistor (PMOS-Transistor) oder ein n-Metalloxidhalbleitertransistor (NMOS-Transistor), abhängig von der Dotierung des aktiven Bereichs, entsprechend dem zugehörigen aktiven Bereich. In anderen Fällen schneidet ein Gate-Gebiet ein aktives Gebiet bei einer Stelle, die keinem Transistor entspricht, und die entsprechende Gate-Struktur ist in manchen Ausführungsformen als eine Dummy-Gate-Struktur bezeichnet.

[0024] Ein Blockgebiet, z.B. Blockgebiet BL1 oder BL2, ist ein Gebiet in einem IC-Layoutdiagramm, das in einem Designprozess als Teil davon umfasst ist, eine oder mehrere Stellen einer Teilmenge von einer Vielzahl von Transistoren einer Schaltung zu definieren, in manchen Ausführungsformen auch als ein Block oder Schaltungsblock bezeichnet. Die eine oder mehreren Stellen entsprechen Gesamtzahlen von Finnen, die jedem aktiven Gebiet wie unten besprochen und Schaltungsblockzuweisungen, wie unten in Bezug auf Verfahren **300** und **Fig. 3-7** besprochen, zugehörig sind.

[0025] In der in **Fig. 2** abgebildeten Ausführungsform entsprechen Stellen in Blockgebiet BL1, bei denen Gate-Gebiet **GR2** aktives Gebiet **AR1** und **AR2** schneidet, einem ersten Block von Transistoren (nicht gekennzeichnet), z.B. als ein erster Inverter konfiguriert, und Stellen in Blockgebiet BL2, bei dem Gate-Gebiet **GR2** aktives Gebiet **AR3** und **AR4** schneidet, entsprechen einem zweiten Block von Transistoren (nicht gekennzeichnet), z.B. als ein zweiter Inverter konfiguriert.

[0026] Ein geschnittenes Polygebiet, z.B. geschnittenes Polygebiet **CP**, ist ein Gebiet in einem IC-Layoutdiagramm, das in einem Herstellungsprozess als Teil davon umfasst ist, eine Diskontinuität in manchem oder allem einer Gate-Struktur zu definieren, sodass die entsprechende Gate-Elektrode in Teile getrennt ist, die elektrisch voneinander isoliert sind.

[0027] In der in **Fig. 2** abgebildeten Ausführungsform definiert das geschnittene Polygebiet **CP** zum Teil eine Diskontinuität in der Gate-Elektrode, entsprechend einem Gate-Gebiet **GR2**, sodass Gates der Transistoren, die Blockgebiet BL1 entsprechen, elektrisch von Gates der Transistoren isoliert sind, die Blockgebiet BL2 entsprechen.

[0028] Eine Spur, z.B. eine Spur T1-T3, ist eine Linie in einem IC-Layoutdiagramm, die in einem Herstellungsprozess als Teil dessen umfasst ist, relative Stellen von IC-Strukturen entsprechend IC-Layout-Merkmalen zu definieren, die basierend auf der Spur ausgerichtet sind.

[0029] In der in **Fig. 2** abgebildeten Ausführungsform entsprechen Spuren T1-T3 Stellen von Stromschienen, die zum Teil durch jeweilige Stromschienengebiete **PR1-PR3** definiert sind, in manchen Ausführungsformen auch als leitfähige Gebiete **PR1-PR3** bezeichnet.

[0030] Ein leitfähiges Gebiet, z.B. ein Stromschienengebiet **PR1-PR3**, ist ein Gebiet in einem IC-Layoutdiagramm, das in einem Herstellungsprozess als Teil dessen umfasst ist, ein oder mehrere Segmente einer oder mehrerer leitfähiger Schichten in einem IC-Bauelement zu definieren. In unterschiedlichen Ausführungsformen entsprechen ein oder mehrere Stromschienengebiete PR1- PR3 einem oder mehreren Segmenten einer gleichen oder verschiedener leitfähiger Schichten in dem IC-Bauelement. In unterschiedlichen Ausführungsformen entsprechen eine oder mehrere Stromschienengebiete **PR1-PR3** einer oder mehrerer einer vergrabenen Metallschicht, einer ersten Metallschicht, einer zweiten Metallschicht oder einer höheren Metallschicht in dem IC-Bauelement.

[0031] Sowohl aktives Gebiet **AR1** als auch **AR4** ist eines von n, entsprechend n-Dotierung, oder p, entsprechend p-Dotierung, und sowohl aktives Gebiet **AR2** als auch **AR3** ist das andere von n oder p. In Ausführungsformen, in denen aktives Gebiet **AR1** und **AR4** n ist, entspricht sowohl angrenzendes Stromschienengebiet PR1 als auch PR3 einer Referenzstromschiene, die konfiguriert ist, einen Referenzspannungspegel zu führen, und Stromschienengebiet PR, das an aktives Gebiet **AR2** und **AR3** angrenzt, entspricht einer Versorgungsstromschiene, die konfiguriert ist, einen Stromversorgungsspannungspegel zu führen. In Ausführungsformen, in denen aktives Gebiet **AR1** und **AR4** p ist, entspricht sowohl angrenzendes Stromschienengebiet PR1 als auch PR3 einer Versorgungsstromschiene, die konfiguriert ist, den Stromversorgungsspannungspegel zu führen, und Stromschienengebiet PR2 entspricht einer Referenzstromschiene, die konfiguriert ist, den Referenzspannungspegel zu führen.

[0032] Aktives Gebiet **AR1** entspricht einer ersten Gesamtzahl von Finnen, aktives Gebiet **AR2** entspricht einer zweiten Gesamtzahl von Finnen, aktives Gebiet **AR3** entspricht einer dritten Gesamtzahl von Finnen und aktives Gebiet **AR4** entspricht einer vierten Gesamtzahl von Finnen. Sowohl die erste als auch zweite

Gesamtzahl von Finnen ist größer als sowohl die dritte als auch vierte Gesamtzahl von Finnen. Dementsprechend entsprechen aktives Gebiet **AR1** und **AR2** einer größeren gemeinsamen Gesamtzahl von Finnen als eine gemeinsame Gesamtzahl von Finnen, entsprechend aktivem Gebiet **AR3** und **AR4**.

[0033] In unterschiedlichen Ausführungsformen sind die erste und zweite Gesamtzahl von Finnen eine gleiche Gesamtzahl von Finnen oder verschiedene Gesamtzahlen von Finnen. In unterschiedlichen Ausführungsformen sind die dritte und vierte Gesamtzahl von Finnen eine gleiche Gesamtzahl von Finnen oder verschiedene Gesamtzahlen von Finnen. In manchen Ausführungsformen ist sowohl die erste als auch zweite Gesamtzahl von Finnen größer als oder gleich drei und sowohl die dritte als auch vierte Gesamtzahl von Finnen ist kleiner drei. In manchen Ausführungsformen ist eine oder sind beide der ersten oder zweiten Gesamtzahl von Finnen gleich drei oder vier. In manchen Ausführungsformen ist eine oder sind beide der dritten oder vierten Gesamtzahl von Finnen gleich eins oder zwei.

[0034] In manchen Ausführungsformen variiert eine Breite eines aktiven Gebiets, z.B. ein aktives Gebiet **AR1-AR4**, in Übereinstimmung mit der Gesamtzahl von Finnen entsprechend dem aktiven Gebiet. In der in **Fig. 2** abgebildeten Ausführungsform weisen aktives Gebiet **AR1** und **AR2** eine gleiche Gesamtzahl von Finnen auf, z.B. drei Finnen, aktives Gebiet **AR1** weist eine Höhe AH1 in der Y-Richtung auf und aktives Gebiet **AR2** weist eine Höhe AH2 in der Y-Richtung gleich der Höhe AH1 auf. Aktive Gebiete **AR3** und **AR4** weisen eine gleiche Gesamtzahl von Finnen auf, z.B. zwei Finnen, aktives Gebiet **AR3** weist eine Höhe AH3 in der Y-Richtung auf und aktives Gebiet **AR4** weist eine Höhe AH4 in der Y-Richtung gleich Höhe AH3 auf. In unterschiedlichen Ausführungsformen ist Höhe AH2 nicht gleich der Höhe AH1 und/oder Höhe AH4 ist nicht gleich der Höhe AH3.

[0035] In der in **Fig. 2** abgebildeten Ausführungsform sind Höhe AH1 und AH2 größer als Höhe AH3 und AH4, in Übereinstimmung mit sowohl aktivem Gebiet **AR1** als auch **AR2**, entsprechend größeren Gesamtzahlen von Finnen als den Gesamtzahlen von Finnen entsprechend sowohl aktivem Gebiet **AR3** als auch **AR4**. In unterschiedlichen Ausführungsformen weisen aktive Gebiete entsprechend einer Gesamtzahl von Finnen verschiedene Höhen auf und/oder weisen aktive Gebiete entsprechend verschiedenen Gesamtzahlen von Finnen eine gleiche Höhe auf.

[0036] In der in **Fig. 2** abgebildeten Ausführungsform sind angrenzendes aktives Gebiet **AR1** und **AR2** durch einen Abstand **D1** getrennt und angrenzendes aktives Gebiet **AR3** und **AR4** sind durch einen Abstand **D2** getrennt. Abstand **D2** ist größer als Abstand **D1**, entsprechend Höhe AH3 und AH4, die kleiner als Höhe AH1 und AH2 sind. In unterschiedlichen Ausführungsformen sind Abstände zwischen aktiven Gebietspaaren, die verschiedene Höhen aufweisen, dieselben und/oder sind Abstände zwischen angrenzenden aktiven Gebietspaaren, die dieselbe Höhe aufweisen, verschieden voneinander.

[0037] Zwei aktive Gebiete werden basierend darauf als angrenzend betrachtet, dass kein anderes aktives Gebiet zwischen den zwei aktiven Gebieten positioniert ist, unabhängig davon, dass ein anderes IC-Layout-Merkmal zwischen den zwei aktiven Gebieten positioniert ist. In der in **Fig. 2** abgebildeten Ausführungsform grenzen aktives Gebiet **AR1** und **AR2** aneinander an, aktives Gebiet **AR2** und **AR3** grenzen aneinander an und aktives Gebiet **AR3** und **AR4** grenzen aneinander an.

[0038] In der in **Fig. 2** abgebildeten Ausführungsform erstreckt sich jedes der aktiven Gebiete **AR1-AR4** in der X-Richtung zwischen Gate-Gebiet **GR1** und **GR3**. In unterschiedlichen Ausführungsformen erstrecken sich ein oder mehrere aktive Gebiete **AR1-AR4** zwischen Gate-Gebiet **GR2** und einem von Gate-Gebiet **GR1** oder **GR3** und/oder erstrecken sich in der X-Richtung über Rand **200B** hinaus, z.B. in eine Zelle (nicht gezeigt), die an Zelle **200C** angrenzt.

[0039] Spuren T1-T3 sind in der Y-Richtung basierend auf einem Pitch TP beabstandet, sodass Spur T1 und T2 durch einen Abstand gleich Pitch TP getrennt sind und Spur T2 und T3 um einen Abstand gleich Pitch TP getrennt sind. Pitch TP entspricht einer Standardzellhöhe und ist in manchen Ausführungsformen als eine Standardzellhöhe TP bezeichnet. Höhe CH entspricht einem Abstand gleich zweimal dem Pitch TP und in manchen Ausführungsformen ist Zelle **200C** als eine Doppelhöhenzelle mit einer Zellhöhe CH bezeichnet.

[0040] In der in **Fig. 2** abgebildeten Ausführungsform überlappen Stromschienengebiete **PR1-PR3** Zelle **200C** so, dass Zelle **200C** angesehen wird, Teile jedes Stromschienengebiets **PR1-PR3** aufzuweisen. In manchen Ausführungsformen wird davon ausgegangen, dass Teile der oder alle Stromschienengebiete **PR1-PR3** in Zelle **200C** enthalten sind und relativ zu Zelle **200C**, basierend auf Spuren T1-T3, ausgerichtet sind.

[0041] In der in **Fig. 2** abgebildeten Ausführungsform überlappen Gesamtheiten der Breiten (nicht gekennzeichnet) des Gate-Gebiets **GR1** und **GR3** in der X-Richtung Zelle **200C** innerhalb von Rand **200B**. In unterschiedlichen Ausführungsformen sind Teile oder alles der Breiten eines oder beider des Gate-Bereichs **GR1** und **GR3** außerhalb von Rand **200B** positioniert und überlappen dadurch Zelle **200C** nicht. In unterschiedlichen Ausführungsformen ist einer oder sind mehrere der Gate-Bereiche **GR1-GR3** ein Abschnitt eines Gate-Gebiets, das mit einer oder mehreren anderen Zellen (nicht gezeigt) als Zelle **200C** geteilt wird.

[0042] In der in **Fig. 2** abgebildeten Ausführungsform überlappen insgesamt drei Gate-Gebiete **GR1-GR3** Zelle **200C**. In unterschiedlichen Ausführungsformen überlappen insgesamt weniger oder mehr als drei Gate-Gebiete Zelle **200C**.

[0043] In der in **Fig. 2** abgebildeten Ausführungsform ist das geschnittene Polygebiet **CP** mit Spur T2 ausgerichtet, schneidet Gate-Gebiet **GR2** zwischen aktivem Gebiet **AR2** und **AR3** und schneidet weder Gate-Gebiet **GR1** noch **GR3**. In unterschiedlichen Ausführungsformen ist das geschnittene Polygebiet **CP** nicht mit Spur T2 ausgerichtet und schneidet ansonsten Gate-Gebiet **GR2** zwischen aktivem Gebiet **AR2** und **AR3**, schneidet Gate-Gebiet **GR2** zwischen aktivem Gebiet **AR1** und **AR2** oder schneidet Gate-Gebiet **GR2** zwischen aktivem Gebiet **AR3** und **AR4**. In unterschiedlichen Ausführungsformen schneidet das geschnittene Polygebiet **CP** eines oder beide von Gate-Gebiet **GR1** oder **GR3**, schneidet Gate-Gebiet **GR2** nicht und/oder erstreckt sich über Rand **200B** hinaus aus der Zelle **200C**.

[0044] In der in **Fig. 2** abgebildeten Ausführungsform weist IC-Layoutdiagramm **200** ein einzelnes geschnittenes Polygebiet **CP** auf. In manchen Ausführungsformen weist IC-Layoutdiagramm **200** das geschnittene Polygebiet **CP** nicht auf. In unterschiedlichen Ausführungsformen weist IC-Layoutdiagramm **200** eine oder mehrere Instanzen vom geschnittenen Polygebiet **CP** (nicht in **Fig. 2** gezeigt) zusätzlich zu der in **Fig. 2** abgebildeten Instanz vom geschnittenen Polygebiet **CP** auf.

[0045] Die eine oder mehreren Instanzen vom geschnittenen Polygebiet **CP** definieren dadurch zumindest zum Teil Diskontinuitäten in den Gate-Strukturen entsprechend den Gate-Gebieten, z.B. Gate-Gebiete **GR1-GR3**, sodass Schaltungsteile, oder Blöcke, die in Blockgebiet BL1 positioniert sind, elektrisch von Schaltungsteilen isoliert sind, die in Blockgebiet BL2 positioniert sind. Die elektrisch isolierten Schaltungsabschnitte sind dadurch im Stande, unabhängig elektrisch mit entweder anderen Schaltungsteilen derselben Schaltung oder mit einer oder mehreren separaten Schaltungen verbunden zu werden. Schaltungsteile in Blockgebiet BL1 und BL2, entsprechend einem oder mehreren Gate-Gebieten, die frei davon sind, von einer oder mehreren Instanzen des geschnittenen Polygebiets **CP** geschnitten zu werden, sind dadurch elektrisch miteinander durch das eine oder die mehreren Gate-Gebiete verbunden.

[0046] Bei Betrieb **110** wird ein erstes aktives Gebiet in einer Zelle eines IC-Layoutdiagramms positioniert, wobei das erste aktive Gebiet einer ersten Gesamtzahl von Finnen entspricht und ein erster Typ von n oder p ist. Positionieren des ersten aktiven Gebiets in der Zelle umfasst, das erste aktive Gebiet, das sich in einer ersten Richtung erstreckt und eine erste Höhe aufweist, in einer zweiten Richtung senkrecht zu der ersten Richtung zu positionieren. In manchen Ausführungsformen umfasst das erste aktive Gebiet mit der ersten Höhe, dass das erste aktive Gebiet die erste Höhe entsprechend der ersten Gesamtzahl von Finnen aufweist.

[0047] Das erste aktive Gebiet entsprechend der ersten Gesamtzahl von Finnen umfasst, dass die erste Gesamtzahl von Finnen größer als eine Schwellenfinnenanzahl ist. In unterschiedlichen Ausführungsformen ist die Schwellenfinnenanzahl gleich einer, zwei oder drei Finnen. In manchen Ausführungsformen umfasst das erste aktive Gebiet entsprechend der ersten Gesamtzahl von Finnen, dass die erste Gesamtzahl von Finnen gleich drei oder vier ist.

[0048] In manchen Ausführungsformen umfasst Positionieren des ersten aktiven Gebiets in der Zelle, das erste aktive Gebiet in einem ersten Gebiet einer Doppelhöhenzelle zu positionieren, wobei das erste Gebiet einer Standardzellhöhe entspricht und die Doppelhöhenzelle die doppelte Standardzellenhöhe hat. In manchen Ausführungsformen umfasst Positionieren des ersten aktiven Gebiets in der Zelle des IC-Layoutdiagramms, aktives Gebiet **AR1** in Blockdiagramm BL1 der Doppelhöhenzelle **200C** in IC-Layoutdiagramm **200** zu positionieren.

[0049] Bei Betrieb **120** wird ein zweites aktives Gebiet in der Zelle angrenzend an das erste aktive Gebiet positioniert, wobei das zweite aktive Gebiet ein zweiter Typ von n oder p ist und einer zweiten Gesamtzahl von Finnen entspricht. Das Positionieren des zweiten aktiven Gebiets in der Zelle umfasst, das zweite aktive Gebiet, das sich in der ersten Richtung erstreckt und eine zweite Höhe aufweist, in der zweiten Richtung zu

positionieren. In manchen Ausführungsformen umfasst das zweite aktive Gebiet mit der zweiten Höhe, dass das zweite aktive Gebiet die zweite Höhe entsprechend der zweiten Gesamtzahl von Finnen aufweist.

[0050] Das zweite aktive Gebiet entsprechend der zweiten Gesamtzahl von Finnen umfasst, dass die zweite Gesamtzahl von Finnen größer als die erste Schwellenfinnenanzahl ist. In manchen Ausführungsformen umfasst das zweite aktive Gebiet entsprechend der zweiten Gesamtzahl von Finnen, dass die zweite Gesamtzahl von Finnen gleich der ersten Gesamtzahl von Finnen ist. In manchen Ausführungsformen umfasst das zweite aktive Gebiet entsprechend der zweiten Gesamtzahl von Finnen, dass die zweite Gesamtzahl von Finnen gleich drei oder vier ist.

[0051] In manchen Ausführungsformen umfasst Positionieren des zweiten aktiven Gebiets in der Zelle, das zweite aktive Gebiet in der Doppelhöhenzelle zu positionieren. In manchen Ausführungsformen umfasst Positionieren des zweiten aktiven Gebiets in der Zelle angrenzend an das erste aktive Gebiet, dass das erste und zweite aktive Gebiet zwischen gleichen zwei Spuren von insgesamt drei Spuren positioniert sind, wobei die gleichen zwei Spuren der Standardzellenhöhe entsprechen und die drei Spuren der Doppelhöhenzelle entsprechen.

[0052] In manchen Ausführungsformen umfasst Positionieren des zweiten aktiven Gebiets in der Zelle angrenzend an das erste aktive Gebiet, aktives Gebiet **AR2** angrenzend an das aktive Gebiet **AR1** in Blockgebiet BLi von Doppelhöhenzelle **200C** im IC-Layoutdiagramm **200** zu positionieren.

[0053] Bei Betrieb **130** wird ein drittes aktives Gebiet in der Zelle angrenzend an das zweite aktive Gebiet positioniert, wobei das dritte aktive Gebiet der zweite Typ von n oder p ist und einer dritten Gesamtzahl von Finnen entspricht. Positionieren des dritten aktiven Gebiets in der Zelle umfasst, das dritte aktive Gebiet, das sich in der ersten Richtung erstreckt und eine dritte Höhe aufweist, in der zweiten Richtung zu positionieren. In manchen Ausführungsformen umfasst das dritte aktive Gebiet mit der dritten Höhe, dass das dritte aktive Gebiet die dritte Höhe entsprechend der dritten Gesamtzahl von Finnen aufweist.

[0054] Das dritte aktive Gebiet der dritten Gesamtzahl von Finnen entsprechend umfasst, dass die dritte Gesamtzahl von Finnen kleiner als oder gleich der Schwellenfinnenanzahl ist. In manchen Ausführungsformen umfasst das dritte aktive Gebiet der dritten Gesamtzahl von Finnen entsprechend, dass die dritte Gesamtzahl von Finnen gleich eins oder zwei ist.

[0055] In manchen Ausführungsformen umfasst Positionieren des dritten aktiven Gebiets in der Zelle, das dritte aktive Gebiet in der Doppelhöhenzelle zu positionieren. In manchen Ausführungsformen umfasst Positionieren des dritten aktiven Gebiets in der Zelle angrenzend an das zweite aktive Gebiet, dass das zweite aktive Gebiet entsprechend der Standardhöhenzelle der insgesamt drei Spuren, entsprechend der Doppelhöhenzelle, zwischen den ersten zwei Spuren positioniert wird und dass das dritte aktive Gebiet zwischen zweiten zwei Spuren der insgesamt drei Spuren positioniert wird, wobei die zweiten zwei Spuren auch der Standardhöhenzelle entsprechen.

[0056] In manchen Ausführungsformen umfasst Positionieren des dritten aktiven Gebiets in der Zelle angrenzend an das zweite aktive Gebiet, eine Stromschienenspur mit dem zweiten und dritten aktiven Gebiet zu überbrücken. In unterschiedlichen Ausführungsformen entspricht entweder die Stromschienenspur einer Referenzstromschiene und der zweite Typ ist n, oder die Stromschienenspur entspricht einer Versorgungsstromschiene und der zweite Typ ist p.

[0057] In manchen Ausführungsformen umfasst Positionieren des dritten aktiven Gebiets in der Zelle angrenzend an das zweite aktive Gebiet, aktives Gebiet **AR3** im Blockgebiet BL2 angrenzend an das aktive Gebiet **AR2** in Blockgebiet BLi in Zelle **200C** im IC-Layoutdiagramm **200** zu positionieren.

[0058] Bei Betrieb **140** wird ein viertes aktives Gebiet in der Zelle angrenzend an das dritte aktive Gebiet positioniert, wobei das vierte aktive Gebiet der erste Typ von n oder p ist und einer vierten Gesamtzahl von Finnen entspricht. Positionieren des vierten aktiven Gebiets in der Zelle umfasst, das vierte aktive Gebiet, das sich in der ersten Richtung erstreckt und eine vierte Höhe aufweist, in der zweiten Richtung zu positionieren. In manchen Ausführungsformen umfasst das vierte aktive Gebiet mit der vierten Höhe, dass das vierte aktive Gebiet die vierte Höhe entsprechend der vierten Gesamtzahl von Finnen aufweist.

[0059] Das vierte aktive Gebiet entsprechend der vierten Gesamtzahl von Finnen umfasst, dass die vierte Gesamtzahl von Finnen kleiner als oder gleich der Schwellenfinnenanzahl ist. In manchen Ausführungsformen

umfasst das vierte aktive Gebiet entsprechend der vierten Gesamtzahl von Finnen, dass die vierte Gesamtzahl von Finnen gleich der dritten Gesamtzahl von Finnen ist. In manchen Ausführungsformen umfasst der vierte aktive Bereich entsprechend der vierten Gesamtzahl von Finnen, dass die vierte Gesamtzahl von Finnen gleich eins oder zwei ist.

[0060] In manchen Ausführungsform umfasst Positionieren des vierten aktiven Gebiets in der Zelle, das vierte aktive Gebiet in der Doppelhöhenzelle zu positionieren. In manchen Ausführungsformen umfasst Positionieren des vierten aktiven Gebiets in der Zelle angrenzend an das dritte aktive Gebiet, dass das dritte und vierte aktive Gebiet entsprechend der Doppelhöhenzelle zwischen den gleichen zwei Spuren der insgesamt drei Spuren positioniert sind.

[0061] In manchen Ausführungsformen umfasst Positionieren des vierten aktiven Gebiets in der Zelle angrenzend an das dritte aktive Gebiet, aktives Gebiet **AR4** in Blockgebiet BL2 angrenzend an das aktive Gebiet **AR3** in Blockgebiet BL2 in Zelle **200C** in IC-Layoutdiagramm **200** zu positionieren.

[0062] Bei Betrieb **150** wird in manchen Ausführungsformen jedes des ersten bis vierten aktiven Gebiets mit einem Gate-Gebiet geschnitten. Jedes des ersten bis vierten aktiven Gebiets mit dem Gate-Gebiet zu schneiden umfasst, mindestens zum Teil mindestens eine Stelle eines Transistors zu definieren, der basierend auf dem IC-Layoutdiagramm, z.B. IC-Layoutdiagramm **200**, gebildet ist. In manchen Ausführungsformen umfasst jedes des ersten bis vierten aktiven Gebiets mit dem Gate-Gebiet zu schneiden, mindestens zum Teil Stellen in einer Vielzahl von Blockgebieten, z.B. Blockgebiet BL1 und BL2, einer Vielzahl von Transistoren zu definieren, die basierend auf dem IC-Layoutdiagramm gebildet sind, wobei die Vielzahl von Transistoren mindestens einen Transistor aufweist, der die erste oder zweite Gesamtzahl von Finnen aufweist, und mindestens einen Transistor, der die dritte oder vierte Gesamtzahl von Finnen aufweist. In manchen Ausführungsformen umfasst jedes des ersten bis vierten aktiven Gebiets mit dem Gate-Gebiet zu schneiden, mindestens zum Teil Stellen der Vielzahl von Transistoren zu definieren, die mindestens einen Transistor aufweist, der eine der ersten, zweiten, dritten und vierten Gesamtzahl von Finnen aufweist. In manchen Ausführungsformen umfasst jedes des ersten bis vierten aktiven Gebiets mit dem Gate-Gebiet zu schneiden, mindestens zum Teil mindestens eine Stelle eines Dummy-Gates zu definieren.

[0063] In manchen Ausführungsformen ist jedes des ersten bis vierten aktiven Gebiets mit dem Gate-Gebiet zu schneiden, Teil davon, eines oder mehrere des ersten bis vierten aktiven Gebiets mit mehr als einem Gate-Gebiet einer Vielzahl von Gate-Gebieten zu schneiden. In manchen Ausführungsformen umfasst jedes des ersten bis vierten aktiven Gebiets mit dem Gate-Gebiet zu schneiden, jedes der aktiven Gebiete **AR1-AR4** mit mindestens einem der Gate-Gebiete **GR1-GR3** in IC-Layoutdiagramm **200** zu schneiden.

[0064] Bei Betrieb **160** wird in manchen Ausführungsformen das Gate-Gebiet mit einem geschnittenen Polygebiet geschnitten. Das Gate-Gebiet mit dem geschnittenen Polygebiet zu schneiden, ist Teil davon, eine Stelle einer Diskontinuität in einer Gate-Elektrode zu definieren, die basierend auf dem Gate-Gebiet hergestellt ist, sodass die entsprechende Gate-Elektrode in Teile getrennt wird, die elektrisch voneinander isoliert sind.

[0065] In unterschiedlichen Ausführungsformen ist das Gate-Gebiet mit dem geschnittenen Polygebiet zu schneiden, Teil davon, ein oder mehrere Gate-Gebiete einer Vielzahl von Gate-Gebieten mit einem oder mehreren geschnittenen Polygebieten einer Vielzahl von geschnittenen Polygebieten zu schneiden.

[0066] In manchen Ausführungsformen umfasst das Gate-Gebiet mit dem geschnittenen Polygebiet zu schneiden, Gate-Gebiet **GR2** mit dem geschnittenen Polygebiet **CP** in IC-Layoutdiagramm **200** zu schneiden.

[0067] Bei Betrieb **170** wird in manchen Ausführungsformen das IC-Layoutdiagramm erzeugt und in einer Speichervorrichtung gespeichert. Erzeugen des IC-Layoutdiagramms wird von einem Prozessor, z.B. Prozessor **802** vom IC-Layoutdiagrammerzeugungssystem **800**, der unten in Bezug auf **Fig. 8** besprochen wird, durchgeführt.

[0068] In manchen Ausführungsformen umfasst Erzeugen des IC-Layoutdiagramms, ein oder mehrere Merkmale (nicht gezeigt), z.B. einen Kontakt, eine Durchkontaktierung oder ein leitfähiges Gebiet, entsprechend einer oder mehreren IC-Strukturen zu positionieren, die basierend auf dem einen oder mehreren Merkmalen hergestellt sind und konfiguriert sind, elektrische Verbindungen mit einem oder mehreren der aktiven Bereiche, entsprechend aktiven Gebieten **AR1-AR4**, und/oder den Gate-Elektroden, entsprechend Gate-Gebieten **GR1-GR3**, bereitzustellen.

[0069] In unterschiedlichen Ausführungsformen umfasst Speichern des IC-Layoutdiagramms in der Speichervorrichtung, das IC-Layoutdiagramm in einem nichtflüchtigen, computerlesbaren Arbeitsspeicher oder einem Zellverzeichnis, z.B. einer Datenbank, zu speichern und/oder umfasst, das IC-Layoutdiagramm über ein Netzwerk zu speichern. In unterschiedlichen Ausführungsformen umfasst Speichern des IC-Layoutdiagramms in der Speichervorrichtung, das IC-Layoutdiagramm im Zellverzeichnis **807** und/oder über Netzwerk **814** vom IC-Layoutdiagrammerzeugungssystem **800**, wie es unten in Bezug auf **Fig. 8** besprochen wird, zu speichern.

[0070] In unterschiedlichen Ausführungsformen umfasst Erzeugen und Speichern des IC-Layoutdiagramms, eines oder mehrere vom IC-Layoutdiagramm **200**, das oben in Bezug auf **Fig. 2** besprochen ist, oder IC-Layoutdiagrammen **400C**, **400E** oder **400G**, die unten in Bezug auf **Fig. 4A-4I** besprochen werden, zu erzeugen und zu speichern.

[0071] Bei Betrieb **108** wird in manchen Ausführungsformen mindestens eine von einer oder mehreren Halbleitermasken, oder mindestens eine Komponente in einer Schicht einer Halbleiter-IC basierend auf dem IC-Layoutdiagramm gefertigt. Eine oder mehrere Halbleitermasken oder mindestens eine Komponente in einer Schicht einer Halbleiter-IC zu fertigen, wird unten in Bezug auf das IC-Herstellungssystem **900** und **Fig. 9** besprochen.

[0072] In unterschiedlichen Ausführungsformen basiert Fertigung einer oder mehrerer Halbleitermasken oder mindestens eine Komponente in der Schicht der Halbleiter-IC auf einem oder mehreren von IC-Layoutdiagramm **200**, das oben in Bezug auf **Fig. 2** besprochen ist, oder IC-Layoutdiagrammen **400C**, **400E** oder **400G**, die unten in Bezug auf **Fig. 4A-4I** besprochen werden.

[0073] Bei Betrieb **190** werden in manchen Ausführungsformen eine oder mehrere Herstellungsbetriebe basierend auf dem IC-Layoutdiagramm durchgeführt. In manchen Ausführungsformen umfasst Durchführung eines oder mehrerer Herstellungsbetriebe, eine oder mehrere Lithografiebelichtungen basierend auf dem IC-Layoutdiagramm durchzuführen. Durchführung eines oder mehrerer Herstellungsbetriebe, z.B. eine oder mehrere Lithografiebelichtungen, basierend auf dem IC-Layoutdiagramm, wird unten in Bezug auf **Fig. 9** besprochen.

[0074] In unterschiedlichen Ausführungsformen basiert Durchführung eines oder mehrerer Herstellungsbetriebe auf einem oder mehreren von IC-Layoutdiagramm **200**, das oben in Bezug auf **Fig. 2** besprochen ist, oder IC-Layoutdiagrammen **400C**, **400E** oder **400G**, die unten in Bezug auf **Fig. 4A-4I** besprochen werden.

[0075] Indem manche oder alle der Betriebe von Verfahren **100** ausgeführt werden, wird ein IC-Layoutdiagramm, z.B. IC-Layoutdiagramm **200**, erzeugt, in dem eine Menge von Transistoren definiert ist, die Teilmenge aufweist, die relativ hohe und niedrige Finnenanzahlen aufweisen, sodass eine Schaltung entsprechend dem IC-Layoutdiagramm Transistoren aufweist, die eine Kombination aus Finnenanzahlen aufweisen. Weil Strom und Antriebsfähigkeit, und dadurch Geschwindigkeit, jeweils mit zunehmenden Zahlen von Finnen zunehmen, ermöglicht eine Menge von Transistoren zu definieren, die eine Kombination von Finnenanzahlen aufweisen, dass relativ hohe Finnenanzahlen selektiv auf Schaltungsblöcke angewendet werden, in denen ein Zeitablauf für Gesamtschaltungsgeschwindigkeitsvorgaben am kritischsten ist. Daher kann Schaltungsstrom verringert werden, während Geschwindigkeits- und Flächenanforderungen verglichen mit Ansätzen verringert werden können, in denen Schaltungen IC-Layoutdiagrammen entsprechen, die keine relativ hohen und niedrigen Finnenanzahlen aufweisen.

[0076] **Fig. 3** ist ein Ablaufdiagramm eines Verfahrens **3300** zum Betreiben eines IC-Herstellungssystems in Übereinstimmung mit manchen Ausführungsformen. In manchen Ausführungsformen umfasst das IC-Herstellungssystem zu betreiben, ein IC-Layoutdiagramm, z.B. IC-Layoutdiagramm **200**, das oben in Bezug auf **Fig. 1** und **Fig. 2** besprochen ist, oder IC-Layoutdiagramm **400C**, **400E** oder **400G**, die unten in Bezug auf **Fig. 4A-4I** besprochen werden, entsprechend einer IC-Struktur, z.B. IC-Bauelement **700**, das unten in Bezug auf **Fig. 7** besprochen wird, die basierend auf dem erzeugten IC-Layoutdiagramm hergestellt ist, zu erzeugen.

[0077] In manchen Ausführungsformen wird manches oder alles von Verfahren **300** von einem Prozessor eines Computers ausgeführt. In manchen Ausführungsformen wird manches oder alles von Verfahren **300** von Prozessor **802** von IC-Layoutdiagrammerzeugungssystem **800**, das unten in Bezug auf **Fig. 8** besprochen wird, ausgeführt.

[0078] Manche oder alle der Betriebe von Verfahren **300** sind im Stande, als Teil einer Designprozedur durchgeführt zu werden, die in einer Designstätte, z.B. Designstätte **920**, die unten in Bezug auf **Fig. 9** besprochen wird, durchgeführt wird.

[0079] In manchen Ausführungsformen werden die Betriebe von Verfahren **300** in der in **Fig. 3** abgebildeten Reihenfolge durchgeführt. In manchen Ausführungsformen werden die Betriebe von Verfahren **300** gleichzeitig und/oder in einer anderen Reihenfolge als der in **Fig. 3** abgebildeten Reihenfolge durchgeführt. In manchen Ausführungsformen werden ein oder mehrere Betriebe vor, zwischen, während und/oder nach Durchführen eines oder mehrerer Betriebe von Verfahren **300** durchgeführt.

[0080] **Fig. 4A-6** veranschaulichen nichtbegrenzende Beispiele von Betrieben von Verfahren **300** in Übereinstimmung mit manchen Ausführungsformen. Wie unten weiter besprochen, veranschaulichen **Fig. 4A-4I** nichtbegrenzende Beispiele, basierend auf einer Flip-Flop-Schaltung und weisen IC-Layoutdiagramme **400C**, **400E** und **400G** auf, die in **Fig. 4C**, **Fig. 4E** beziehungsweise **4G** abgebildet sind. **Fig. 4A** ist ein schematisches Diagramm der Flip-Flop-Schaltung entsprechend einer Ausführung von Betrieb **310**, **Fig. 4B** und **Fig. 4C** sind ein schematisches bzw. Layoutdiagramm, die einem ersten nichtbegrenzenden Beispiel davon entsprechen, manche oder alle der Betriebe **312-340** an der Flip-Flop-Schaltung auszuführen, **Fig. 4D** und **Fig. 4E** sind ein schematisches bzw. Layoutdiagramm, entsprechend einem dritten nichtbegrenzenden Beispiel davon, manche oder alle der Betriebe **312-330** auf der Flip-Flop-Schaltung auszuführen. **Fig. 4H** und **Fig. 4I** bilden Betriebsparameter entsprechend der nichtbegrenzenden Beispiele von **Fig. 4A-4G** ab.

[0081] Wie unten weiter besprochen, veranschaulicht **Fig. 5** ein nichtbegrenzendes Beispiel, basierend darauf, manche oder alle der Betriebe **310-340** auf einer Addierschaltung auszuführen, und **Fig. 6** bildet ein nichtbegrenzendes Beispiel basierend darauf ab, manche oder alle der Betriebe **310-340** auf einer Multiplexerschaltung (MUX-Schaltung) auszuführen.

[0082] Jedes der IC-Layoutdiagramme **400C**, **400E** und **400G** ist eine Ausführungsform von IC-Layoutdiagramm **200**, das oben in Bezug auf **Fig. 1** und **Fig. 2** besprochen ist und ist zum Zweck der Klarheit vereinfacht. In unterschiedlichen Ausführungsformen weisen ein oder mehrere der IC-Layoutdiagramme **400C**, **400E** oder **400G** Merkmale zusätzlich zu den in **Fig. 4C**, **Fig. 4E** und **Fig. 4G** abgebildeten auf, z.B. ein oder mehrere Transistorelemente, Stromschienen, Isolierstrukturen, Wannens, leitfähige Elemente oder dergleichen. Jede von **Fig. 4C**, **Fig. 4E** und **Fig. 4G** bildet weiter die X- und Y-Richtung ab, die oben in Bezug auf **Fig. 2** besprochen sind.

[0083] Bei Betrieb **310** wird eine erste Menge von Blöcken einer Schaltung einer ersten Finnenanzahl zugewiesen. Die Schaltung weist Vielzahlen von PMOS- und NMOS-Transistoren auf und Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl umfasst, mindestens einen Schaltungsblock, der mindestens einen PMOS-Transistor und mindestens einen NMOS-Transistor aufweist, zuzuweisen. Die erste Finnenanzahl ist eine Summe einer ersten Gesamtzahl von Finnen, entsprechend einem des mindestens einen PMOS-Transistors oder mindestens einen NMOS-Transistors, und einer zweiten Gesamtzahl von Finnen, entsprechend dem anderen des mindestens einen PMOS-Transistors oder mindestens einen NMOS-Transistors. In manchen Ausführungsformen weist die Schaltung manche oder alle der Vielzahlen von PMOS- und NMOS-Transistoren auf, die als Transistorpaare konfiguriert sind, z.B. Inverter und/oder Übertragungsgates.

[0084] In manchen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, dass die erste Finnenanzahl größer als oder gleich sechs ist. In unterschiedlichen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, dass die erste Gesamtzahl von Finnen gleich der zweiten Gesamtzahl von Finnen ist oder die erste Gesamtzahl von Finnen sich von der zweiten Gesamtzahl von Finnen unterscheidet. In unterschiedlichen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, dass eine oder beide der ersten oder zweiten Gesamtzahl von Finnen gleich drei oder vier ist. In manchen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, die erste Menge von Blöcken Blockgebiet **BLi** zuzuweisen, das aktive Gebiet **AR1**, entsprechend der ersten Gesamtzahl von Finnen, und aktives Gebiet **AR2**, entsprechend der zweiten Gesamtzahl von Finnen, aufweist, wie oben in Bezug auf **Fig. 1** und **Fig. 2** besprochen.

[0085] In manchen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, eine IC-Layoutzelle von einem Zellverzeichnis zu empfangen. In manchen Ausführungsformen umfasst Empfangen der IC-Layoutzelle von dem Zellverzeichnis, die Vielzahlen von PMOS- und NMOS-Transistoren zu empfangen, die vorab einer zweiten Finnenanzahl zugewiesen sind, die niedriger als die erste Finnenanzahl ist. In manchen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, dass eine zweite Menge verbleibender Blöcke der zweiten Finnenanzahl zugewiesen wird. In manchen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, eine Blockzuweisung z.B. von einer Datenbank oder Anwenderschnittstelle, wie Anwenderschnittstelle **842**, die unten in Bezug auf **Fig. 8** besprochen wird, zu empfangen.

[0086] In unterschiedlichen Ausführungsformen weist ein Schaltungsblock gleiche Zahlen von PMOS- und NMOS-Transistoren, eine größere Zahl von PMOS-Transistoren als NMOS-Transistoren oder eine größere Zahl von NMOS-Transistoren als PMOS-Transistoren auf.

[0087] In manchen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, die Schaltung zu analysieren, z.B. einen Algorithmus darauf anzuwenden, um die Schaltung in Blöcke zu unterteilen. Die Schaltung zu analysieren umfasst, eine Menge von Kriterien auf die Schaltung basierend auf einem oder mehreren von Schaltungsgröße, d.h. eine Gesamtzahl von Transistoren, Blockdefinition oder Einschluss in einen Signalpfad, ein Logikgate, ein Steuerteil, eine Verzweigung oder andere funktionale Anordnung anzuwenden. Ein nichtbegrenzendes Beispiel vom Analysieren einer Schaltung, um die Schaltung in Blöcke zu unterteilen, wird unten in Bezug auf Flip-Flop-Schaltung **400A** und **Fig. 4A** besprochen.

[0088] In unterschiedlichen Ausführungsformen umfasst auf Schaltungsgröße basierte Kriterien anzuwenden, funktionale Kapazitäten zu verwenden, um die Gesamtzahl von Transistoren zu ermitteln, die erwogen sind, in der Schaltung enthalten zu sein. In unterschiedlichen Ausführungsformen umfassen funktionale Kapazitäten, eines oder mehreres von Logik oder mathematischen Funktionen, Signalverarbeitung, Zeitablauf, Erzeugung, Auswahl, Pegelverschiebung, Verzögerung oder Antwortfunktionen und/oder eine oder mehrere andere geeignete IC-Funktionen durchzuführen. Nichtbegrenzende Beispiele von Schaltungen, die Größen basierend auf funktionalen Kapazitäten aufweisen, umfassen Auffangregister, Flip-Flops, z.B. Flip-Flop-Schaltung **400A**, Addierschaltungen, z.B. Addierschaltung **500**, Auswahl-schaltungen, z.B. MUX **600**, Pegelverschieber, Treiber, Oszillatoren, Spannungsreferenzen, Verstärker, Arbeitsspeicherzellen und dergleichen.

[0089] In manchen Ausführungsformen nimmt eine Gesamtzahl von Transistoren zu, wenn funktionale Kapazität zunimmt. In manchen Ausführungsformen umfasst die Gesamtzahl von Transistoren der Schaltung zu ermitteln, dass die Gesamtzahl von Transistoren von vier bis mehr als 100 reicht. In manchen Ausführungsformen umfasst die Gesamtzahl von Transistoren der Schaltung zu ermitteln, dass die Gesamtzahl von Transistoren von 16 bis 96 reicht. In manchen Ausführungsformen umfasst die Gesamtzahl von Transistoren der Schaltung zu ermitteln, dass die Gesamtzahl von Transistoren von 32 bis 64 reicht.

[0090] In unterschiedlichen Ausführungsformen umfasst Anwenden von Kriterien basierend auf Blockdefinition, Transistoren zu identifizieren, die eingerichtet sind, eine bestimmte Schaltungsfunktion oder Teilfunktion zu erzielen, z.B. ein Signal auszubreiten, zu blocken, umzukehren, zu isolieren und/oder verzögern, oder manches oder alles der Schaltung zu aktivieren oder deaktivieren, z.B. hochfahren oder herunterfahren. In manchen Ausführungsformen umfasst Identifizieren von Transistoren, Paare von PMOS- und NMOS-Transistoren zu identifizieren.

[0091] In manchen Ausführungsformen umfasst Identifizieren der Transistoren, eine Zahl von Transistoren basierend auf einer Zielblockgröße zu identifizieren. In manchen Ausführungsformen basiert die Zielblockgröße auf einer Mindestzahl von Transistoren, die benötigt wird, um die bestimmte Schaltungsfunktion oder Teilfunktion zu erzielen, z.B. mindestens vier Transistoren, die benötigt werden, um einen Dreizustandsinverter zu realisieren, oder zwei Transistoren, die benötigt werden, um ein Übertragungs-Gate zu realisieren. In manchen Ausführungsformen basiert die Zielblockgröße auf Layoutüberlegungen, z.B. zwei Transistoren, die angezielt werden, um maximale Layoutflexibilität in Doppelhöhezellen zu erzielen.

[0092] In unterschiedlichen Ausführungsformen umfasst Anwenden auf Signalpfadeinschluss basierter Kriterien, Transistoren zu identifizieren, die in einem bestimmten Signalpfad enthalten sind, z.B. ein Signalpfad mehrerer Signalpfade und/oder in einem oder mehreren vorgegebenen Teilen des bestimmten Signalpfads enthalten sind, z.B. eine zeitablaufkritische Stelle und/oder ein Rückkopplungssegment. In unterschiedlichen Ausführungsformen umfasst Identifizieren von Transistoren, die in dem bestimmten Signalpfad enthalten sind, einen PMOS-Transistor, einen NMOS-Transistor oder ein Paar von PMOS- und NMOS-Transistoren zu identifizieren.

[0093] In unterschiedlichen Ausführungsformen umfasst Anwenden von auf Logikgate-Einschluss basierten Kriterien, Transistoren zu identifizieren, die eingerichtet sind, eine bestimmte Logikfunktion oder Teilfunktion durchzuführen, z.B. die als manches oder alles eines Inverters, UND, ODER, NUND, NODER, XODER oder anderen Logikgates eingerichtet ist.

[0094] In unterschiedlichen Ausführungsformen umfasst Anwenden von auf Steuerteileinschluss basierten Kriterien, Transistoren zu identifizieren, die eingerichtet sind, eine bestimmte Schaltungssteuerfunktion durch-

zuführen, z.B. selektives Aktivieren eines Teils oder alles der Schaltung in Antwort auf ein oder mehrere Aktivierungs-, Steuer- oder andere Signale.

[0095] In unterschiedlichen Ausführungsformen umfasst Anwenden von auf Verzweigungseinschluss basierten Kriterien, Transistoren zu identifizieren, die innerhalb eines bestimmten Teils der Schaltung, z.B. einem einer Vielzahl von auswählbaren Eingangspfaden, eingerichtet sind.

[0096] In manchen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, Blockunterteilungsinformationen z.B. von einer Datenbank oder Anwenderschnittstelle, wie Anwenderschnittstelle **842**, die unten in Bezug auf **Fig. 8** besprochen wird, zu empfangen.

[0097] In manchen Ausführungsformen umfasst die Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, eine Zeitablaufanalyse manches oder alles der Schaltung durchzuführen, z.B. einen oder mehrere kritische Hochgeschwindigkeitssignalfade zu identifizieren. In manchen Ausführungsformen umfasst die Zeitablaufanalyse durchzuführen, Zeitablaufkriterialitätsreihungen zu unterschiedlichen Schaltungsteilen zuzuweisen, z.B. einer Vielzahl von Signalfaden. In unterschiedlichen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, die Zeitablaufanalyse anzuwenden, um Einschluss eines bestimmten Blocks in der ersten Menge von Blöcken zu ermitteln, z.B. entweder den bestimmten Block einzuschließen oder auszuschließen, basierend darauf, dass der Block Teil eines bestimmten Signalfads ist.

[0098] In unterschiedlichen Ausführungsformen wird die Zeitablaufanalyse durchgeführt, nachdem die Schaltung in Blöcke unterteilt ist, die Schaltung wird in Blöcke unterteilt, nachdem die Zeitanalyse durchgeführt ist, oder die Zeitablaufanalyse und Schaltungsblockunterteilung sind kombiniert oder werden wiederholt. In manchen Ausführungsformen umfasst Durchführen der Zeitablaufanalyse, Zeitablaufinformationen z.B. von einer Datenbank oder Anwenderschnittstelle, wie Anwenderschnittstelle **842**, die unten in Bezug auf **Fig. 8** besprochen wird, zu empfangen.

[0099] In unterschiedlichen Ausführungsformen umfasst Durchführen der Zeitablaufanalyse, Zeitablauf eines oder mehrerer Transistoren basierend auf einer oder beiden der ersten oder zweiten Gesamtzahl von Finnen zu analysieren. In manchen Ausführungsformen umfasst Durchführen der Zeitablaufanalyse, Zeitablauf eines oder mehrerer Transistoren basierend auf einer anderen Zahl von Finnen als der ersten und zweiten Gesamtzahl von Finnen zu analysieren. In manchen Ausführungsformen umfasst Durchführen der Zeitablaufanalyse, eine oder mehrere Umschaltgeschwindigkeiten eines oder mehrerer Transistoren zu berechnen.

[0100] In manchen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, die erste Menge von Blöcken unabhängig von einer Zeitablaufanalyse der Schaltung zuzuweisen, z.B. basierend auf einer Angabe von Nichtkritikalität von Schaltungsgeschwindigkeit in den Zeitablaufinformationen.

[0101] In manchen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, eine Leistungsanalyse manches oder alles der Schaltung durchzuführen, z.B. einen oder mehrere kritische Hochleistungsschaltungsteile zu identifizieren. In manchen Ausführungsformen umfasst Durchführen der Zeitablaufanalyse, Leistungskriterialitätsreihungen zu unterschiedlichen Schaltungsteilen zuzuweisen, z.B. einer Vielzahl von Signalfaden. In unterschiedlichen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, die Leistungsanalyse anzuwenden, um Einschluss eines bestimmten Blocks in der ersten Menge von Blöcken zu ermitteln, z.B. entweder den bestimmten Block einzuschließen oder auszuschließen, basierend darauf, dass der Block Teil eines bestimmten Signalfads ist.

[0102] In unterschiedlichen Ausführungsformen wird die Leistungsanalyse durchgeführt, nachdem die Schaltung in Blöcke unterteilt ist, die Schaltung wird in Blöcke unterteilt, nachdem die Leistungsanalyse durchgeführt ist, oder die Leistungsanalyse und Schaltungsblockunterteilung sind kombiniert oder werden wiederholt.

[0103] In unterschiedlichen Ausführungsformen ist manches oder alles vom Durchführen und/oder Anwenden der Leistungsanalyse mit manchem oder allem vom Durchführen und/oder Anwenden der Zeitanalyse kombiniert. In unterschiedlichen Ausführungsformen wird manches oder alles vom Durchführen und/oder Anwenden der Leistungsanalyse und/oder manches oder alles vom Durchführen und/oder Anwenden der Zeitablaufanalyse verwendet, um eine Blockpriorisierung zu ermitteln, sodass Blöcke entweder in der ersten Menge von Blöcken eingeschlossen oder davon ausgeschlossen sind, basierend auf der Blockpriorisierung, in manchen Ausführungsformen kombiniert mit anderen Faktoren, z.B. Bereichseffizienzniveaus, wie unten besprochen.

[0104] In manchen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, einen Leistungspegel der ersten Menge von Blöcken basierend auf der ersten Finnenanzahl zu berechnen. Einen Leistungspegel zu berechnen, z.B. den Leistungspegel der ersten Menge von Blöcken, umfasst, dass der Leistungspegel in Bezug auf eine Finnenanzahl, z.B. die erste Finnenanzahl, variiert, sodass der Leistungspegel mit zunehmenden Finnenanzahlwerten zunimmt.

[0105] In unterschiedlichen Ausführungsformen umfasst Berechnen eines Leistungspegels, eine Menge von Softwarebefehlen, z.B. ein Schaltungs- oder Bauelements simulationsprogramm, auszuführen, um einen oder mehrere eines Gleichstrom- und/oder Wechselstrom-Ein-Zustand-Strompegels (DC- und/oder AC--Ein-Zustand-Strompegel), eine oder mehrere Aus-Zustand-Verlustpegel und/oder andere Schaltungsparameter bezüglich Schaltungsleistung basierend auf Leistungsinformationen, z.B. ein oder mehrere Betriebsspannungspegel, Frequenzen und/oder Temperaturen, zu berechnen. In manchen Ausführungsformen umfasst Berechnen des Leistungspegels, dass der Leistungspegel auf einer Nähe unterschiedlicher Transistoren, Blöcke oder anderer Merkmale innerhalb eines Schaltungs layouts und/oder einem oder mehreren zusätzlichen Faktoren bezüglich der Schaltung basiert. In manchen Ausführungsformen umfasst Berechnen des Leistungspegels, dass der Leistungspegel auf einem Schaltungs layout basiert, z.B. als ein Resultat davon, Betrieb **340** auszuführen, der unten besprochen wird.

[0106] In manchen Ausführungsformen umfasst Berechnen des Leistungspegels der ersten Menge von Blöcken, die Leistungsinformationen z.B. von einer Datenbank oder Anwenderschnittstelle, wie Anwenderschnittstelle **842**, die unten in Bezug auf **Fig. 8** besprochen wird, zu empfangen.

[0107] In manchen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, mindestens einen Block zu einer bestehenden ersten Menge von Blöcken hinzuzufügen und/oder mindestens einen Block von einer bestehenden ersten Menge von Blöcken zu entfernen, z.B. in Antwort darauf, eine oder mehrere der Betriebe **312**, **322** oder **332** durchzuführen, die unten besprochen werden.

[0108] Bei Betrieb **312** wird in manchen Ausführungsformen ein Geschwindigkeitsniveau V der Schaltung basierend auf der ersten Menge von Blöcken, die der ersten Finnenanzahl zugewiesen wird, berechnet und Geschwindigkeitsniveau V wird mit einem Schwellengeschwindigkeitsniveau V_{th} verglichen. In unterschiedlichen Ausführungsformen umfasst Berechnen von Geschwindigkeitsniveau V , eine Menge von Softwarebefehlen, z.B. ein Schaltungs- oder Bauelements simulationsprogramm, auszuführen, um eines oder mehreres einer Transistorumschaltgeschwindigkeit, einer Schaltungsblockeinrichtungszeit, eines Frequenzgangs, einer Bandbreite und/oder eines anderen Schaltungsparameters bezüglich Transistorgeschwindigkeit zu berechnen.

[0109] Berechnen von Geschwindigkeitsniveau V basierend auf der ersten Menge von Blöcken, die der ersten Finnenanzahl zugewiesen wird, umfasst, das Geschwindigkeitsniveau V in Bezug auf eine oder beide der ersten oder zweiten Gesamtzahl von Finnen der ersten Finnenanzahl zu variieren, sodass das Geschwindigkeitsniveau V in Bezug auf zunehmende erste Finnenanzahlwerte zunimmt. Geschwindigkeitsniveau V in Bezug auf eine oder beide der ersten oder zweiten Gesamtzahl von Finnen zu variieren entspricht dem, dass Geschwindigkeitsniveau V auf dem einen des mindestens einen PMOS-Transistors oder mindestens einen NMOS-Transistors entsprechend der ersten Gesamtzahl von Finnen und/oder dem anderen des mindestens einen PMOS-Transistors oder mindestens einen NMOS-Transistors entsprechend der zweiten Gesamtzahl von Finnen basiert.

[0110] In unterschiedlichen Ausführungsformen umfasst Berechnen des Geschwindigkeitsniveaus V , dass Geschwindigkeitsniveau V auf allen oder einer Teilmenge der ersten Menge von Blöcken, einer Teilmenge von Transistoren innerhalb eines gegebenen Blocks, einer hierarchischen Reihung der Blöcke oder Transistoren innerhalb eines Gegebenen Blocks, Nähe unterschiedlicher Transistoren, Blöcke oder anderer Merkmale innerhalb eines Schaltungs layouts und/oder einem oder mehreren zusätzlichen Faktoren bezüglich Schaltungsgeschwindigkeit basiert.

[0111] In unterschiedlichen Ausführungsformen umfasst Berechnen des Geschwindigkeitsniveaus V , dass Geschwindigkeitsniveau V auf allen, manchem oder keinem der Schaltungsblöcke basiert, die nicht aus der ersten Menge von Blöcken sind, z.B. eine zweite Menge von Blöcken, die der zweiten Finnenanzahl vorabzugewiesen oder zugewiesen ist, z.B. als ein Resultat davon, Betrieb **320** auszuführen, der unten besprochen wird. In manchen Ausführungsformen umfasst Berechnen des Geschwindigkeitsniveaus V , dass Geschwindigkeitsniveau V auf einem Schaltungs layout basiert, z.B. als ein Resultat davon, Betrieb **340** auszuführen, der unten besprochen wird.

[0112] In unterschiedlichen Ausführungsformen umfasst Berechnen des Geschwindigkeitsniveaus V , eine Summierung, eine algebraische Kombination und/oder eine langsamste Geschwindigkeitsidentifikation einer oder mehrerer Geschwindigkeiten entsprechend individuellen Blöcken der ersten und/oder zweiten Menge von Blöcken durchzuführen.

[0113] In manchen Ausführungsformen umfasst das Geschwindigkeitsniveau V mit Schwellengeschwindigkeitsniveau V_{th} zu vergleichen, dass Schwellengeschwindigkeitsniveau V_{th} eine Arbeitsleistungsspezifikation basierend auf einer Anwendung der Schaltung ist. In manchen Ausführungsformen umfasst das Geschwindigkeitsniveau V mit Schwellengeschwindigkeitsniveau V_{th} zu vergleichen, Schwellengeschwindigkeitsniveau V_{th} zu empfangen, z.B. von einer Datenbank oder Anwenderschnittstelle, wie Anwenderschnittstelle **842**, die unten in Bezug auf **Fig. 8** besprochen wird.

[0114] In manchen Ausführungsformen wird Betrieb **314** basierend darauf ausgeführt, dass Geschwindigkeitsniveau V gleich oder größer als Schwellengeschwindigkeitsniveau V_{th} ist und Betrieb **320** wird basierend darauf ausgeführt, dass Geschwindigkeitsniveau V unter Schwellengeschwindigkeitsniveau V_{th} ist.

[0115] Bei Betrieb **314** werden in manchen Ausführungsformen, basierend darauf, dass Geschwindigkeitsniveau V unter Schwellengeschwindigkeitsniveau V_{th} ist, ein oder mehrere zusätzliche Schaltungsblöcke der ersten Finnenanzahl zugewiesen, indem zu Betrieb **310** zurückgekehrt wird. In unterschiedlichen Ausführungsformen basiert Zuweisen des einen oder der mehreren zusätzlichen Blöcke zu der ersten Finnenanzahl darauf, eine zuvor ermittelte Blockpriorisierung anzuwenden, weitere Zeitablaufanalyse durchzuführen und/oder Zuweisungsinformationen zu empfangen, z.B. von einer Datenbank oder Anwenderschnittstelle, wie Anwenderschnittstelle **842**, die unten in Bezug auf **Fig. 8** besprochen wird.

[0116] Bei Betrieb **320** wird in manchen Ausführungsformen eine zweite Menge von Blöcken der Schaltung einer zweiten Finnenanzahl zugewiesen, die niedriger als die erste Finnenanzahl ist. Zuweisen der zweiten Menge von Blöcken zu der zweiten Finnenanzahl umfasst, mindestens einen Schaltungsblock, der mindestens einen PMOS-Transistor und mindestens einen NMOS-Transistor aufweist, zuzuweisen. Die zweite Finnenanzahl ist eine Summe einer dritten Gesamtzahl von Finnen entsprechend einem des mindestens einen PMOS-Transistors oder mindestens einen NMOS-Transistors und einer vierten Gesamtzahl von Finnen entsprechend dem anderen des mindestens einen PMOS-Transistors oder mindestens einen NMOS-Transistors.

[0117] In manchen Ausführungsformen umfasst Zuweisen der zweiten Menge von Blöcken zu der zweiten Finnenanzahl, dass die zweite Finnenanzahl kleiner als oder gleich vier ist. In unterschiedlichen Ausführungsformen umfasst Zuweisen der zweiten Menge von Blöcken zu der zweiten Finnenanzahl, dass die dritte Gesamtzahl von Finnen gleich der vierten Gesamtzahl von Finnen oder der dritten Gesamtzahl von Finnen ist, die sich von der vierten Gesamtzahl von Finnen unterscheidet. In unterschiedlichen Ausführungsformen umfasst Zuweisen der zweiten Menge von Blöcken zu der zweiten Finnenanzahl, dass eine oder beide der dritten oder vierten Gesamtzahl von Finnen gleich eins oder zwei ist. In manchen Ausführungsformen umfasst Zuweisen der zweiten Menge von Blöcken zu der zweiten Finnenanzahl, die zweite Menge von Blöcken Blockgebiet BL2 zuzuweisen, das aktive Gebiet **AR3** entsprechend der dritten Gesamtzahl von Finnen und aktives Gebiet **AR4** entsprechend der vierten Gesamtzahl von Finnen aufweist, wie es oben in Bezug auf **Fig. 1** und **Fig. 2** besprochen ist.

[0118] In manchen Ausführungsformen umfasst Zuweisen der zweiten Menge von Blöcken zu der zweiten Finnenanzahl, die zweite Menge von Blöcken, die der zweiten Finnenanzahl vorab zugewiesen ist, z.B. von einem Zellverzeichnis zu empfangen. In manchen Ausführungsformen umfasst Zuweisen der zweiten Menge von Blöcken zu der zweiten Finnenanzahl, eine Blockzuweisung z.B. von einer Datenbank oder Anwenderschnittstelle, wie Anwenderschnittstelle **842**, die unten in Bezug auf **Fig. 8** besprochen wird, zu empfangen.

[0119] In manchen Ausführungsformen umfasst Zuweisen der zweiten Menge von Blöcken zu der zweiten Finnenanzahl, einen oder mehrere Blöcke basierend auf einer Zeitablaufanalyse, z.B. der Zeitablaufanalyse, die in Betrieb **310** durchgeführt wird, zu identifizieren. In manchen Ausführungsformen umfasst Zuweisen der zweiten Menge von Blöcken zu der zweiten Finnenanzahl, einen oder mehrere Blöcke basierend auf einer oder mehreren Blockfunktionen, z.B. einem Vorspannen, Hochfahren/Herunterfahren, oder einer Ruhemodusfunktion, unabhängig von einer oder mehreren Betriebsaktivitäten der Schaltung zuzuweisen.

[0120] In manchen Ausführungsformen umfasst Zuweisen der zweiten Menge von Blöcken zu der zweiten Finnenanzahl, einen Leistungspegel der zweiten Menge von Blöcken basierend auf der zweiten Finnenanzahl zu berechnen, wie oben in Bezug auf Betrieb **310** besprochen ist. In manchen Ausführungsformen umfasst

Berechnen des Leistungspegels der zweiten Menge von Blöcken, den Leistungspegel der ersten Menge von Blöcken basierend auf der ersten Finnenanzahl zu berechnen.

[0121] In unterschiedlichen Ausführungsformen umfasst Berechnen des Leistungspegels der zweiten Menge von Blöcken, die Leistungsinformationen, z.B. von einer Datenbank oder Anwenderschnittstelle, wie Anwenderschnittstelle **842**, die unten in Bezug auf **Fig. 8** besprochen wird, zu empfangen. In manchen Ausführungsformen umfasst Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl in Betrieb **310** und Zuweisen der zweiten Menge von Blöcken zu der zweiten Finnenanzahl in Betrieb **320**, die erste und zweite Menge von Blöcken unabhängig vom Berechnen eines Leistungspegels der ersten und zweiten Menge von Blöcken, z.B. basierend auf einer Angabe von Nichtkritikalität von Schaltungsleistung in den Leistungsinformationen zu berechnen.

[0122] Bei Betrieb **322** wird in manchen Ausführungsformen ein Schaltungsleistungspegel P als eine Summe des Leistungspegels der ersten Menge von Blöcken, basierend auf der ersten Finnenanzahl, und des Leistungspegels der zweiten Menge von Blöcken, basierend auf der zweiten Finnenanzahl, berechnet und Schaltungsleistungspegel P wird mit einem Schwellenleistungspegel P_{th} verglichen. Berechnung des Leistungspegels der ersten Menge von Blöcken basierend auf der ersten Finnenanzahl und der zweiten Menge von Blöcken basierend auf der zweiten Finnenanzahl ist oben in Bezug auf Betrieb **310** und **320** besprochen.

[0123] In manchen Ausführungsformen umfasst Leistungspegel P mit Schwellenleistungspegel P_{th} zu vergleichen, Schwellenleistungspegel P_{th}, der eine Arbeitsleistungsspezifikation basierend auf einer Anwendung der Schaltung ist, z.B. ein Leistungsbudget eines gesamten Schaltungsdesigns. In manchen Ausführungsformen umfasst Leistungspegel P mit Schwellenleistungspegel P_{th} zu vergleichen, Schwellenleistungspegel P_{th} z.B. von einer Datenbank oder Anwenderschnittstelle, wie Anwenderschnittstelle **842**, die unten in Bezug auf **Fig. 8** besprochen wird, zu empfangen.

[0124] In manchen Ausführungsformen wird Betrieb **324** basierend darauf ausgeführt, dass Leistungspegel P gleich oder unter Schwellenleistungspegel P_{th} ist. und Betrieb **330** basierend darauf ausgeführt wird, dass Leistungspegel P Schwellenleistungspegel P_{th} übersteigt.

[0125] Bei Betrieb **324** wird in manchen Ausführungsformen, basierend darauf, dass Schaltungsleistungspegel P Schwellenleistungspegel P_{th} übersteigt, ein Block der ersten Menge von Blöcken der zweiten Finnenanzahl neuzugewiesen. In unterschiedlichen Ausführungsformen umfasst Neuzuweisen des Blocks der ersten Menge von Blöcken zu der zweiten Finnenanzahl, zu einem der Betriebe **310** oder **320** zurückzukehren. In unterschiedlichen Ausführungsformen basiert die Neuzuweisung des Blocks zu der zweiten Finnenanzahl darauf, eine zuvor ermittelte Blockpriorisierung anzuwenden, weitere Zeitablaufanalyse durchzuführen und/oder Zuweisungsinformationen, z.B. von einer Datenbank oder Anwenderschnittstelle, wie Anwenderschnittstelle **842**, die unten in Bezug auf **Fig. 8** besprochen wird, zu empfangen.

[0126] Bei Betrieb **330** wird in manchen Ausführungsformen ein Bereichseffizienzniveau EL basierend darauf berechnet, dass die erste Menge von Blöcken der ersten Finnenanzahl zugewiesen ist und die zweite Menge von Blöcken der zweiten Finnenanzahl zugewiesen ist. In manchen Ausführungsformen umfasst eine Berechnung von Effizienzniveau EL, ein Effizienzverhältnis basierend auf einer Gesamtzahl von Transistoren X in der ersten Menge von Blöcken und eine Gesamtzahl von Transistoren Y in der zweiten Menge von Blöcken zu berechnen. In manchen Ausführungsformen ist Effizienzniveau EL gegeben durch

$$EL = (X + Y) / (2 \times \max(X, Y)) \quad (1)$$

sodass ein Maximalwert von Effizienzniveau EL gleich eins einer Gesamtzahl von Transistoren X gleich einer Gesamtzahl von Transistoren Y entspricht.

[0127] In unterschiedlichen Ausführungsformen ist Effizienzniveau EL gleich einem von Verhältnis X/Y oder Y/X, sodass die Gesamtzahl von Transistoren X gleich der Gesamtzahl von Transistoren Y dem entspricht, dass ein Wert von Effizienzniveau EL gleich eins ist.

[0128] Bei Betrieb **332** wird in manchen Ausführungsformen Bereichseffizienzniveau EL mit einer Bereichseffizienzgrenze verglichen. In unterschiedlichen Ausführungsformen umfasst Vergleichen von Bereichseffizienzniveau EL mit der Bereichseffizienzgrenze, dass die Bereichseffizienzgrenze ein Wert über und/oder unter eins

ist. In manchen Ausführungsformen umfasst Vergleichen von Bereichseffizienzniveau EL mit der Bereichseffizienzgrenze, dass die Bereichseffizienzgrenze 0,7 und/oder 1,3 ist.

[0129] In manchen Ausführungsformen umfasst Vergleichen von Bereichseffizienzniveau EL mit der Bereichseffizienzgrenze, Bereichseffizienzniveau EL mit einer vorgegebenen Herstellungsgrenze zu vergleichen. In manchen Ausführungsformen umfasst Vergleichen von Bereichseffizienzniveau EL mit der Bereichseffizienzgrenze, die Bereichseffizienzgrenze z.B. von einer Datenbank oder Anwenderschnittstelle, wie Anwenderschnittstelle **842**, die unten in Bezug auf **Fig. 8** besprochen wird, zu empfangen.

[0130] In manchen Ausführungsformen wird Betrieb **334** basierend darauf ausgeführt, dass Bereichseffizienzniveau EL außerhalb der Bereichseffizienzgrenze ist, und Betrieb **340** wird basierend darauf ausgeführt, dass Bereichseffizienzniveau EL bei oder innerhalb der Bereichseffizienzgrenze ist.

[0131] Bei Betrieb **334** werden in manchen Ausführungsformen basierend darauf, dass Bereichseffizienzniveau EL außerhalb der Bereichseffizienzgrenze ist, die Finnenanzahlzuweisungen durch mindestens eines von Neuzuweisen eines Blocks der zweiten Menge von Blöcken zu der ersten Finnenanzahl oder Neuzuweisen eines Blocks der ersten Menge von Blöcken zu der zweiten Finnenanzahl wieder ins Gleichgewicht gebracht. In unterschiedlichen Ausführungsformen umfasst die Finnenanzahlzuweisungen wieder ins Gleichgewicht zu bringen, dass zu einem von Betrieb **310** oder **330** zurückgekehrt wird. In unterschiedlichen Ausführungsformen basiert die Finnenanzahlzuweisungen wieder ins Gleichgewicht zu bringen darauf, eine zuvor ermittelte Blockpriorisierung anzuwenden, weitere Zeitablaufanalyse durchzuführen und/oder Zuweisungsinformationen, z.B. von einer Datenbank oder Anwenderschnittstelle, wie Anwenderschnittstelle **842**, die unten in Bezug auf **Fig. 8** besprochen wird, zu empfangen.

[0132] Bei Betrieb **340** werden die erste und zweite Menge von Blöcken basierend auf der jeweiligen ersten und zweiten Finnenanzahl eingerichtet. Einrichten der erste Menge von Blöcken umfasst, erste und zweite aktive Gebiete eines ersten Blockgebiets einer IC-Layoutzelle zu verwenden, wobei die ersten und zweiten aktiven Gebiete gemeinsam einer Vielzahl von Finnen entsprechen, die die erste Finnenanzahl aufweist. Einrichten der zweiten Menge von Blöcken umfasst, dritte und vierte aktive Gebiete eines zweiten Blockgebiets der IC-Layoutzelle zu verwenden, wobei die dritten und vierten aktiven Gebiete gemeinsam einer Vielzahl von Finnen entsprechen, die die zweite Finnenanzahl aufweist.

[0133] In unterschiedlichen Ausführungsformen umfasst Einrichten der ersten und zweiten Menge von Blöcken, die ersten und vierten aktiven Gebiete entsprechend PMOS-Transistoren und die zweiten und dritten aktiven Gebiete entsprechend NMOS-Transistoren zu verwenden, oder die ersten und vierten aktiven Gebiete entsprechend NMOS-Transistoren und die zweiten und dritten aktiven Gebiete entsprechend PMOS-Transistoren zu verwenden.

[0134] Einrichten der ersten Menge von Blöcken in dem ersten Blockgebiet und der zweiten Menge von Blöcken in dem zweiten Blockgebiet umfasst, relative Nähen der unterschiedlichen Blöcke zueinander zu ermitteln. In manchen Ausführungsformen umfasst Einrichten der ersten Menge von Blöcken in dem ersten Blockgebiet und der zweiten Menge von Blöcken in dem zweiten Blockgebiet, eine Anordnung einer Vielzahl von möglichen Anordnungen auszuwählen, sodass die relativen Nähen der unterschiedlichen Blöcke zueinander willkürlich sind.

[0135] In manchen Ausführungsformen umfasst Ermitteln der relativen Nähen der unterschiedlichen Blöcke zueinander, die relativen Nähen basierend auf einer Menge von einem oder mehreren Kriterien zu ermitteln. In unterschiedlichen Ausführungsformen umfassen Kriterien mindestens eines von Schaltungsgeschwindigkeit, basierend auf Nähe eines gegebenen Blocks zu einem anderen Block oder einer externen Schaltung, Leistungsverteilung eines gegebenen Blocks relativ zu Leistungsverteilung eines oder mehrerer naher Merkmale, Leichtigkeit vom Routing zwischen Blöcken und/oder zu einer externen Schaltung, oder Designüberlegungen, wie die Zahlen von geschnittenen Polygebieten zu minimieren oder dergleichen.

[0136] In unterschiedlichen Ausführungsformen umfasst Einrichten der ersten und zweiten Menge von Blöcken unter Verwendung erster bis vierter aktiver Gebiete, einen oder mehrere der Betriebe **110-170** von Verfahren **100** auszuführen, wodurch IC-Layoutdiagramm **200** erzeugt wird, das aktive Gebiete **AR1** und **AR2** von Blockgebiet BL1 und aktive Gebiete **AR3** und **AR4** von Blockgebiet BL2 von Zelle **200C** aufweist, wie oben in Bezug auf **Fig. 1** und **Fig. 2** besprochen ist.

[0137] In unterschiedlichen Ausführungsformen umfasst die erste und zweite Menge von Blöcken unter Verwendung erster bis vierter aktiver Gebiete einzurichten, Blöcke A-J unter Verwendung aktiver Gebiete **AR1-AR4** von Zellen **400CC**, **400EC** und **400GC** einzurichten, wie unten in Bezug auf **Fig. 4C**, **Fig. 4E** und **Fig. 4G** besprochen wird.

[0138] In manchen Ausführungsformen umfasst Einrichten der ersten und zweiten von Blöcken, einen oder mehrere der Betriebe **170-190** von Verfahren **100** auszuführen, wodurch z.B. das IC-Layoutdiagramm gespeichert wird und/oder ein zusätzlicher Betrieb basierend auf dem IC-Layoutdiagramm durchgeführt wird, wie oben in Bezug auf **Fig. 1** und **Fig. 2** besprochen ist.

[0139] Indem manche oder alle der Betriebe von Verfahren **300** durchgeführt werden, wird ein IC-Layoutdiagramm, z.B. eines der IC-Layoutdiagramme **200**, **400C**, **400E** oder **400G**, erzeugt, in dem die Schaltungsblöcke so zugewiesen sind, dass Transistoren unter relativ hohen und niedrigen Finnenanzahlen verteilt sind, wodurch die oben in Bezug auf Verfahren **100** und IC-Layoutdiagramm **200** besprochenen, und unten weiter in Bezug auf **Fig. 4A-6** besprochenen, Vorteile realisiert werden.

[0140] In dem in **Fig. 4** veranschaulichten nichtbegrenzenden Beispiel weist Flip-Flop-Schaltung **400A** Eingangsanschlüsse auf, die konfiguriert sind, Steuersignale **SI** und **SE**, Daten **DI** und Taktsignal **CP** zu empfangen, Leistungsversorgungsknoten, die konfiguriert sind, einen Leistungsversorgungsspannungspegel **VDD** und einen Referenzspannungspegel **VSS** zu empfangen, und einen Ausgangsanschluss, der konfiguriert ist, Signal **QO** auszugeben. Inverter sind konfiguriert, ein internes Steuersignal **seb** aus Steuersignal **SE** und interne Taktsignale **clkb** und **clbbb** aus Taktsignal **CP** zu erzeugen.

[0141] Basierend auf Ausführung von Betrieb **310** ist Flip-Flop-Schaltung **400A** in zehn Blöcke unterteilt, wie sie in Tabelle 1 aufgelistet und unten besprochen werden.

Tabelle 1

Block	Funktion
A	Takt
B	Takt
C	MUX 1
D	MUX 2
E	Dateneingang
F	Master- Rückkopplungspfad
G	Master- Vorwärtsleitungspfad
H	Slave- Rückkopplungspfad
I	Slave- Vorwärtsleitungspfad
J	Puffer

[0142] Durch Anwenden von Kriterien basierend auf funktionalen Kapazitäten einer Flip-Flop-Schaltung, d.h. Signal **QO** in Antwort auf Steuersignale **SI** und **SE**, Daten **DI** und Taktsignal **CP** ausgegeben wird, weist Flip-Flop-Schaltung **400A** insgesamt 32 Transistoren auf, die als 16 Paare von PMOS- und NMOS-Transistoren eingerichtet und wie in **Fig. 4A** abgebildet eingerichtet sind.

[0143] Durch Anwenden von Kriterien, die darauf basieren, einen Block zu definieren, indem Transistoren identifiziert werden, die als Inverter eingerichtet sind, und auf Einschluss in einen Taktsignalpfad basieren, ist Flip-Flop-Schaltung **400A** teilweise in Blöcke A und B unterteilt, die jeweils ein Transistorpaar aufweisen, das als ein Inverter in dem Pfad eingerichtet ist, entlang dessen Taktsignal **CP** empfangen wird und nachfolgend invertiert wird, um interne Taktsignale **clkb** und **clbbb** zu erzeugen.

[0144] Durch Anwenden von Kriterien, die darauf basieren, einen Block zu definieren, indem Transistoren identifiziert werden, die als Inverter eingerichtet sind, und auf Einschluss in einen Auswahlsteuerteil basieren, ist Flip-Flop-Schaltung **400A** weiter in Block C unterteilt, der ein Transistorpaar als einen Inverter eingerichtet

aufweist, der konfiguriert ist, das interne Steuersignal seb zu erzeugen, das in einer Auswahlfunktion gemeinsam mit Steuersignal SE verwendet werden kann.

[0145] Durch Anwenden von Kriterien, die weiter Transistoren identifizieren, die in dem Auswahlsteuerteil enthalten sind, ist Flip-Flop-Schaltung **400A** weiter in Block D unterteilt, der zwei PMOS- und zwei NMOS-Transistoren aufweist, die konfiguriert sind, die Auswahlfunktion in Antwort auf Steuersignale SE und SI und internes Steuersignal seb durchzuführen.

[0146] Durch Anwenden von Kriterien, die darauf basieren, einen Block zu definieren, indem Transistoren identifiziert werden, die eingerichtet sind, eine Dateneingangsfunktion durchzuführen, ist Flip-Flop-Schaltung **400A** weiter in Block E unterteilt, der zwei PMOS-Transistoren in einem ersten Segment E und zwei NMOS-Transistoren in einem zweiten Segment E' aufweist, wobei die vier Transistoren konfiguriert sind, selektiv Daten DI in Antwort auf Steuersignal SE und internes Steuersignal seb einzugeben.

[0147] Durch Anwenden von Kriterien, die darauf basieren, Transistoren zu identifizieren, die in einem Master-Auffangregisterrückkopplungssignalpfad enthalten sind, ist Flip-Flop-Schaltung **400A** weiter in Block F unterteilt, der ein Transistorpaar in einem ersten Segment F und zwei PMOS- und zwei NMOS-Transistoren in einem zweiten Segment F' aufweist, wobei die sechs Transistoren konfiguriert sind, den Master-Auffangregisterrückkopplungssignalpfad bereitzustellen, der einen Zeitablauf aufweist, der von internen Taktsignalen clk_b und clk_{bb} gesteuert wird.

[0148] Durch Anwenden von Kriterien, die darauf basieren, dass ein Block definiert wird, indem Transistoren identifiziert werden, die als Inverter eingerichtet sind, und darauf basieren, Transistoren zu identifizieren, die in einem Master-Auffangregistervorwärtsleitungssignalpfad enthalten sind, ist Flip-Flop-Schaltung **400A** weiter in Block G unterteilt, der ein Transistorpaar aufweist, das als ein Inverter eingerichtet ist und in dem Master-Auffangregistervorwärtsleitungssignalpfad enthalten ist.

[0149] Durch Anwenden von Kriterien, die darauf basieren, dass Transistoren identifiziert werden, die in einem Slave-Auffangregisterrückkopplungssignalpfad enthalten sind, ist Flip-Flop-Schaltung **400A** weiter in Block H unterteilt, der ein Transistorpaar, das als ein Übertragungs-Gate in einem ersten Segment H eingerichtet ist, und zwei PMOS- und zwei NMOS-Transistoren in einem zweiten Segment H' aufweist, wobei die sechs Transistoren konfiguriert sind, den Slave-Auffangregisterrückkopplungssignalpfad bereitzustellen, der Zeitablauf aufweist, der von internen Taktsignalen clk_b und clk_{bb} gesteuert wird.

[0150] Durch Anwenden von Kriterien, die darauf basieren, dass ein Block definiert wird, indem Transistoren identifiziert werden, die als Inverter eingerichtet sind, und darauf basieren, dass Transistoren identifiziert werden, die in einem Slave-Auffangregistervorwärtsleitungssignalpfad enthalten sind, ist Flip-Flop-Schaltung **400A** weiter in Block I unterteilt, der ein Transistorpaar aufweist, das als ein Inverter eingerichtet ist und in dem Slave-Auffangregistervorwärtsleitungssignalpfad enthalten ist.

[0151] Durch Anwenden von Kriterien, die darauf basieren, dass ein Block definiert wird, indem Transistoren identifiziert werden, die als Inverter eingerichtet sind, und darauf basieren, dass Transistoren identifiziert werden, die in einem Ausgangspufferteil enthalten sind, ist Flip-Flop-Schaltung **400A** weiter in Block J unterteilt, der ein Transistorpaar als einen Inverter eingerichtet aufweist, der konfiguriert ist, Signal QO auszugeben.

[0152] Wie in **Fig. 4A**, **Fig. 4B**, **Fig. 4D** und **Fig. 4F** abgebildet, ist Flip-Flop-Schaltung **400A** in Blöcke A, B, C, G, I und J unterteilt, die einen einzelnen Inverter aufweisen, wobei Block D zwei PMOS-Transistoren und zwei NMOS-Transistoren aufweist, Block E zwei PMOS-Transistoren in dem ersten Segment E und zwei NMOS-Transistoren in dem zweiten Segment E' aufweist, Block F einen Inverter in dem ersten Segment F und einen gesteuerten Inverter in dem zweiten Segment F' aufweist und Block H ein Übertragungs-Gate in dem ersten Segment H und einen gesteuerten Inverter in dem zweiten Segment H' aufweist.

[0153] In Flip-Flop-Schaltung **400A** ist jeder des Master-Auffangregistervorwärtsleitungssignalpfads, Master-Auffangregisterrückkopplungssignalpfads und Slave-Auffangregisterrückkopplungspfad ein kritischer Hochgeschwindigkeitssignalpfad, sodass jeder der Blöcke F-H einem kritischen Hochgeschwindigkeitssignalpfad entspricht. Basierend auf Designkriterien, entsprechend Betriebsfrequenzen, Datenaktivität und Strompegeln bezüglich Gate- und anderen Parasitärkapazitätsniveaus, entspricht jeder der Blöcke F-H auch einem Hochleistungspegel relativ zu Leistungspegeln der Schaltungsblöcke A-E und J.

[0154] Indem manche oder alle der Betriebe **310-334** ausgeführt werden, sind erste und zweite Mengen von Blöcken A-J von Flip-Flop-Schaltung **400A** entweder einer ersten Finnenanzahl FC1 beziehungsweise einer zweiten Finnenanzahl FC2, die niedriger als die erste Finnenanzahl FC2 ist, zugewiesen, sodass Geschwindigkeits- und Leistungsanforderungen nach Bedarf adressiert sind, wie durch die unten besprochenen nichtbegrenzenden Beispiele veranschaulicht.

[0155] In den in **Fig. 4B**, **Fig. 4D** und **Fig. 4E** abgebildeten Ausführungsformen weisen die Flip-Flop-Schaltungen **400B**, **400D** und **400F** eine erste Finnenanzahl FC1 als eine Summe einer ersten Gesamtzahl von Finnen **F1**, entsprechend PMOS-Transistoren, und einer zweiten Gesamtzahl von Finnen **F2**, entsprechend NMOS-Transistoren, und eine zweite Finnenanzahl FG2 als eine Summe einer dritten Gesamtzahl von Finnen **F3**, entsprechend NMOS-Transistoren, und einer vierten Gesamtzahl von Finnen **F4**, entsprechend PMOS-Transistoren, auf. In manchen Ausführungsformen entsprechen die erste und vierte Gesamtzahl von Finnen **F1** und **F3** NMOS-Transistoren und zweite und dritte Gesamtzahl von Finnen **F2** und **F3** entsprechen PMOS-Transistoren.

[0156] In dem in **Fig. 4B** abgebildeten nichtbegrenzenden Beispiel ist Flip-Flop-Schaltung **400A** als Flip-Flop-Schaltung **400B** konfiguriert, basierend darauf, dass die Schaltungsgeschwindigkeit eine nichtkritische Anforderung ist, wodurch dies einem Fall entspricht, in dem der Schaltungsleistungspegel minimiert ist. Dementsprechend ist jeder der Blöcke A, C, D, E, I und J der ersten Finnenanzahl FC1 basierend auf den niedrigen Leistungspegeln relativ zu den Blöcken F-H zugewiesen, und jeder der Blöcke B, F, G und H ist einer zweiten Finnenanzahl FC2 basierend auf den relativ hohen Leistungspegeln zugewiesen. Weil Schaltungsgeschwindigkeit nicht kritisch ist und Leistungspegel mit zunehmenden Finnenanzahlen zunehmen, ist ein Gesamtleistungspegel von Flip-Flop-Schaltung **400B** durch die Blockzuweisungen minimiert.

[0157] In unterschiedlichen Ausführungsformen umfasst Zuweisen von Blöcken A, C, D, E, I und J zu der ersten Finnenanzahl FC1 und Blöcken B, F, G und H zu der zweiten Finnenanzahl FC2, unterschiedliche Teilmengen aller Betriebe **310-334** auszuführen. In manchen Ausführungsformen werden die Blöcke A, C, D, E, I und J der ersten Finnenanzahl FC1 in Betrieb **310** zugewiesen, Betrieb **312** wird nicht ausgeführt, Blöcke B, F, G und H werden der zweiten Finnenanzahl FC2 in Betrieb **320** zugewiesen, Leistungspegel P wird in Betrieb **322** berechnet und bestätigt, gleich oder unter Schwellenleistungspegel P_{th} zu sein, und Bereichseffizienzniveau EL wird in Betrieb **330** berechnet.

[0158] In manchen Ausführungsformen werden ein oder mehrere andere Blöcke als die Blöcke A, C, D, E, I und J der ersten Finnenanzahl FC1 in Betrieb **310** zugewiesen, die verbleibenden Blöcke werden der zweiten Finnenanzahl FC2 in Betrieb **320** zugewiesen, Leistungspegel P wird in Betrieb **322** berechnet und ermittelt, Schwellenleistungspegel P_{th} zu übersteigen, und ein oder mehrere der Blöcke A, C, D, E, I oder J werden der ersten Finnenanzahl FC1 in Betrieb **324** neuzugewiesen.

[0159] In manchen Ausführungsformen, wird basierend darauf, dass Blöcke A, C, D, E, I und J der ersten Finnenanzahl FC1 zugewiesen sind und Blöcke B, F, G und H der zweiten Finnenanzahl FC2 zugewiesen sind, Bereichseffizienzniveau EL in Betrieb **330** berechnet und bestätigt, bei oder innerhalb der vorgegebenen Grenze zu sein, basierend darauf, dass sowohl die Gesamtzahl von Transistoren X als auch die Gesamtzahl von Transistoren Y gleich 16 ist.

[0160] In manchen Ausführungsformen, wird basierend darauf, dass Blöcke A, C, D, E, I und J der ersten Finnenanzahl FC1 zugewiesen sind und ein oder mehrere andere Blöcke als die Blöcke B, F, G und H der zweiten Finnenanzahl FC2 zugewiesen sind, Bereichseffizienzniveau EL in Betrieb **330** berechnet und ermittelt, außerhalb der vorgegebenen Grenze zu sein, basierend darauf, dass die Gesamtzahlen von Transistoren X und Y gleich anderen Werten als 16 sind und die Blockzuweisungen werden in Betrieb **334** wieder ins Gleichgewicht gebracht.

[0161] In dem in **Fig. 4D** abgebildeten zweiten nichtbegrenzenden Beispiel wird Flip-Flop-Schaltung **400A** als Flip-Flop-Schaltung **400D** konfiguriert, basierend darauf, dass sowohl die Schaltungsgeschwindigkeit als auch Schaltungsleistung eine kritische Anforderung sind, wodurch dies einem Fall entspricht, in dem ein Kompromiss aus Schaltungsgeschwindigkeit und Leistung erzielt ist. Dementsprechend ist jeder der Blöcke A und D-F der ersten Finnenanzahl FG1 zugewiesen und jeder der Blöcke B, C und G-J ist der zweiten Finnenanzahl FC2 zugewiesen. Basierend auf dem relativen Hochleistungspegel und der Geschwindigkeitskritikalität von Block F, der der ersten Finnenanzahl FC1 zugewiesen ist, und von Blöcken G und H, die der zweiten Finnenanzahl FC2 zugewiesen sind, sind die insgesamt Schaltungsgeschwindigkeit und die Leistungspegel von Flip-Flop-Schaltung **400D** durch die Blockzuweisungen ausgeglichen.

[0162] Ähnlich dem oben in Bezug auf **Fig. 4B** besprochenen Beispiel umfasst in unterschiedlichen Ausführungsformen Zuweisen von Blöcken A und D-F zu der ersten Finnenanzahl FC1 und Blöcken B, C und G-J zu der zweiten Finnenanzahl FC2, unterschiedliche Teilmengen oder alle der Betriebe **310-334** auszuführen.

[0163] Zum Beispiel werden in manchen Ausführungsformen ein oder mehrere andere Blöcke als die Blöcke A und D-F der ersten Finnenanzahl in Betrieb **310** zugewiesen, Geschwindigkeitsniveau V wird in Betrieb **312** berechnet und ermittelt, unter Schwellengeschwindigkeitsniveau V_{th} zu sein, und ein oder mehrere der Blöcke B, C oder G-J werden der ersten Finnenanzahl FC1 in Betrieb **314** neuzugewiesen.

[0164] In dem in **Fig. 4F** abgebildeten dritte nichtbegrenzenden Beispiel, wird Flip-Flop-Schaltung **400A** als Flip-Flop-Schaltung **400F** konfiguriert, basierend darauf, dass Schaltungsleistung eine nichtkritische Anforderung ist, wodurch es einem Fall entspricht, in dem das Schaltungsgeschwindigkeitsniveau maximiert ist. Dementsprechend wird jeder der Blöcke A und F-H der ersten Finnenanzahl FC1 basierend auf der relativ hohen Geschwindigkeitskritikalität von Schaltungsblöcken F-H zugewiesen und jeder der Blöcke B-E, I und J wird der zweiten Finnenanzahl FC2 basierend auf der relativ niedrigen Geschwindigkeitskritikalität zugewiesen. Weil Schaltungsleistung nicht kritisch ist und Geschwindigkeitsniveaus mit zunehmenden Finnenanzahlen zunehmen, wird ein gesamtes Geschwindigkeitsniveau von Flip-Flop-Schaltung **400FB** durch die Blockzuweisungen maximiert.

[0165] Ähnlich den oben in Bezug auf **Fig. 4B** und **Fig. 4D** besprochenen Beispielen umfasst in unterschiedlichen Ausführungsformen Zuweisen von Blöcken A und F-H zu der ersten Finnenanzahl FC1 und Blöcken B-E, I und J zu der zweiten Finnenanzahl FC2, unterschiedliche Teilmengen aller Betriebe **310-334** auszuführen.

[0166] Basierend auf den oben besprochenen Konfigurationen weisen Flip-Flop-Schaltungen **400B**, **400D** und **400F** relative Schaltungsgeschwindigkeit und Leistungspegel auf, wie in Tabelle 2 unten dargestellt.

Tabelle 2

Schaltung	Geschwindigkeit	Leistung
400B	Langsam	Niedrig
400D	Mittel	Mittel
400F	Schnell	Hoch

[0167] Wie in Tabelle 2 veranschaulicht, weist Flip-Flop-Schaltung **400B** basierend auf den Schaltungsblockzuweisungen ein niedriges Geschwindigkeitsniveau und einen niedrigen Leistungspegel relativ zu Flip-Flop-Schaltung **400D** und **400F** auf, Flip-Flop-Schaltung **400D** weist mittleres Geschwindigkeitsniveau und mittleren Leistungspegel relativ zu Flip-Flop-Schaltung **400B** und **400F** auf und Flip-Flop-Schaltung **400F** weist ein hohes Geschwindigkeitsniveau und einen hohen Leistungspegel relativ zu Flip-Flop-Schaltung **400B** und **400D** auf.

[0168] Basierend auf der Ausführung von Betrieb **340** werden Flip-Flop-Schaltung **400B**, **400D** und **400G** verwendet, um IC-Layoutdiagramme **400C**, **400E** und **400G** zu erzeugen, die in **Fig. 4C**, **Fig. 4E** beziehungsweise **4G** in Übereinstimmung mit manchen Ausführungsformen abgebildet sind. Jedes der IC-Layoutdiagramme **400C**, **400E** und **400G** weist aktive Gebiete **AR1-AR4**, Gate-Gebiete **GR1-GR3** und mehrere Instanzen von geschnittenen Polygebieten **CP**, wie oben in Bezug auf **Fig. 1** und **Fig. 2** besprochen, und zusätzlich Gate-Gebiete **GR4-GR11**, ähnlich den Gate-Gebieten **GR1-GR3** auf. Aktives Gebiet **AR1** entspricht der ersten Gesamtzahl von Finnen **F1**, aktives Gebiet **AR2** entspricht der zweiten Gesamtzahl von Finnen **F2**, aktives Gebiet **AR3** entspricht der dritten Gesamtzahl von Finnen **F3** und aktives Gebiet **AR4** entspricht der vierten Gesamtzahl von Finnen **F4**.

[0169] IC-Layoutdiagramm **400C** weist Zelle **400C** auf, die einen Rand 400CB aufweist, IC-Layoutdiagramm **400E** weist Zelle **400EC** auf, die einen Rand 400EB aufweist, und IC-Layoutdiagramm **400G** weist Zelle **400GC** auf, die einen Rand 400GB aufweist. Jede der Zellen **400CC**, **400EC** und **400GC** weist die mehreren Instanzen von geschnittenen Poly-CP in Übereinstimmung mit Blöcken A-J eingerichtet auf, die sowohl Instanzen von Blockgebiet BL1 und BL2 darstellen, die oben in Bezug auf **Fig. 1** und **Fig. 2** besprochen sind, und den Schaltungsblöcken, die in Übereinstimmung mit den Konfigurationen jeweiliger Flip-Flop-Schaltungen **400B**, **400D** und **400F** zugewiesen sind.

[0170] Wie durch die nichtbegrenzenden Beispiele von Flip-Flop-Schaltungen **400B**, **400D** und **400F** und jeweilige IC-Layoutdiagramme **400C**, **400E** und **400G** veranschaulicht, ermöglichen mehrere Schaltungskonfigurationen, die erstellt werden, indem manche oder alle der Betriebe von Verfahren **300** durchgeführt werden, Optionen, durch die Kompromisse zwischen Geschwindigkeit und Leistung auswählbar sind. In den Optionen, die durch Flip-Flop-Schaltungen **400bB**, **400D** und **400F** und jeweilige IC-Layoutdiagramme **400C**, **400E** und **400G** dargestellt sind, ist ein Gesamtschaltungsbereich nicht beeinflusst, weil jede Konfiguration eine Gesamtzahl von Transistoren X in der ersten Menge von Blöcken gleich sechzehn und eine Gesamtzahl von Transistoren Y in der zweiten Menge von Blöcken gleich sechzehn aufweist. Jede der Flip-Flop-Schaltungen **400B**, **400D** und **400F** und jeweilige IC-Layoutdiagramme **400C**, **400E** und **400G** entsprechen dadurch einem Bereichseffizienzniveau EL gleich eins, wenn in Übereinstimmung mit den oben besprochenen Ausführungsformen berechnet.

[0171] Sowohl **Fig. 4H** als auch **4I** bildet einen Vergleich zwischen einer gegebenen der Flip-Flop-Schaltungen **400B**, **400D** oder **400F** entsprechend jeweiligen IC-Layoutdiagrammen **400C**, **400E** und **400G** und anders konfigurierten Flip-Flop-Schaltungen, als manche oder alle der Betriebe von Verfahren **300** durchzuführen, ab.

[0172] **Fig. 4H** bildet normalisierte Leistung als eine Funktion von Datenaktivität ab und weist Kurven **4H1-4H3** auf. Kurve **4H1** stellt eine Flip-Flop-Schaltung dar, in der alle Transistoren der ersten Finnenanzahl **FC1** entsprechen, Kurve **4H2** stellt eine gegebene der Flip-Flop-Schaltungen **400B**, **400D** oder **400F** dar und Kurve **4H3** stellt eine Flip-Flop-Schaltung dar, in der alle Transistoren der zweiten Finnenanzahl **FC2** entsprechen. Wie in **Fig. 4H** veranschaulicht, weist die gegebene der Flip-Flop-Schaltungen **400B**, **400D** oder **400F** Leistungspegel **P** zwischen den anderen Leistungspegeln für eine gesamte Spanne von Datenaktivitätspegeln auf.

[0173] **Fig. 4I** bildet Zeitablaufeigenschaften (Takt-zu-Q gegenüber Einrichtungszeit) ab und weist Kurven **411-413** auf. Kurve **411** stellt eine Flip-Flop-Schaltung dar, in der alle Transistoren der ersten Finnenanzahl **FC1** entsprechen, Kurve **412** stellt eine gegebene der Flip-Flop-Schaltungen **400B**, **400D** oder **400F** dar und Kurve **413** stellt eine Flip-Flop-Schaltung dar, in der alle Transistoren der zweiten Finnenanzahl **FC2** entsprechen. Wie in **Fig. 4I** veranschaulicht, weist die gegebene der Flip-Flop-Schaltungen **400B**, **400D** oder **400F** Zeitablaufeigenschaften zwischen denen der anderen Flip-Flop-Schaltungen auf.

[0174] Wie in den in **Fig. 4H** und **Fig. 4I** abgebildeten nichtbegrenzenden Beispielen, ist eine Schaltung, die konfiguriert ist, indem manche oder alle der Betriebe von Verfahren **300** ausgeführt werden, im Stande, Leistungs- und Zeitablaufeigenschaften aufzuweisen, die mit denen von Schaltungen konsistent sind, die konfiguriert sind, ohne manche oder alle der Betriebe von Verfahren **300** auszuführen, während die oben besprochenen Vorteile ermöglicht werden.

[0175] Zusätzliche nichtbegrenzende Beispielen von Schaltungen, die konfiguriert sind, indem manche oder alle der Betriebe von Verfahren **300** ausgeführt werden und dadurch im Stande sind, die oben besprochenen Vorteile aufzuweisen, sind in den unten besprochenen **Fig. 5** und **Fig. 6** veranschaulicht.

[0176] **Fig. 5** bildet eine Addierschaltung **500** in Übereinstimmung mit manchen Ausführungsformen ab und **Fig. 6** bildet eine MUX-Schaltung **600** in Übereinstimmung mit manchen Ausführungsformen ab. Sowohl Addierschaltung **500** als auch MUX-Schaltung **600** weist Leistungsversorgungsknoten auf, die konfiguriert sind, Leistungsversorgungsspannung **VDD** und Referenzspannung **VSS** zu empfangen, die jeweils oben in Bezug auf **Fig. 4A** besprochen sind.

[0177] Addierschaltung **500** weist Eingangsanschlüsse auf, die konfiguriert sind, Signale **B1**, **B2** und **C1** zu empfangen, und Anschlüsse, die konfiguriert sind Ausgangssignale **S** und **CO** auszugeben. Basierend auf Ausführung von Betrieb **310** wird Addierschaltung **500** in einen Block **K**, der fünf PMOS-Transistoren und fünf NMOS-Transistoren als ein erstes funktionales Teil eingerichtet aufweist, einen Block **L**, der ein Transistorpaar als einen Inverter eingerichtet aufweist, und einen Block **M**, der acht PMOS-Transistoren und fünf NMOS-Transistoren als ein zweites funktionales Teil eingerichtet aufweist, unterteilt.

[0178] Basierend auf Ausführung mancher oder aller Betriebe **312-334** auf die oben in Bezug auf **Fig. 4B**, **Fig. 4D** und **Fig. 4G** besprochene Weise, sind Block **K** und **L** der ersten Finnenanzahl **FC1** zugewiesen und Block **M** ist der Finnenanzahl **FC2** zugewiesen. In der in **Fig. 5** abgebildeten Ausführungsform weist Addierschaltung **500** die erste Finnenanzahl **FC1** als eine Summe der ersten Gesamtzahl von Finnen **F1**, entsprechend PMOS-Transistoren, und der zweiten Gesamtzahl von Finnen **F2**, entsprechend NMOS-Transistoren, und die zweite Finnenanzahl **FC2** als eine Summe der dritten Gesamtzahl von Finnen **F3**, entsprechend NMOS-Transistoren, und der vierten Gesamtzahl von Finnen **F4**, entsprechend PMOS-Transistoren, auf. In manchen

Ausführungsformen entsprechen die erste und vierte Gesamtzahl von Finnen **F1** und **F4** NMOS-Transistoren und die zweite und dritte Gesamtzahl von Finnen **F2** und **F3** entsprechen PMOS-Transistoren.

[0179] MUC-Schaltung **600** weist Eingangsanschlüsse auf, die konfiguriert sind, Signale Io-I3, So und S1 zu empfangen, und einen Anschluss, der konfiguriert ist, Ausgangssignal ZO auszugeben. Basierend auf Ausführung von Betrieb **310** ist MUX-Schaltung **600** in einen Block N, der zwei Transistorpaare als Inverter eingerichtet aufweist, die konfiguriert sind, ein internes Signal sob basierend auf Signal So und ein internes Signal SiB basierend auf Signal **S1** zu erzeugen, einen Block O, der fünf PMOS-Transistoren und fünf NMOS-Transistoren als zwei gesteuerte Inverter und ein Übertragungs-Gate eingerichtet aufweist, einen Block Q, der fünf PMOS-Transistoren und fünf NMOS-Transistoren als zwei gesteuerte Inverter und ein Übertragungs-Gate eingerichtet aufweist, und einen Block R, der ein Transistorpaar als einen Inverter eingerichtet aufweist, unterteilt ist.

[0180] Basierend auf Ausführung mancher oder aller Betriebe **312-334** auf die oben in Bezug auf **Fig. 4B**, **Fig. 4D** und **Fig. 4G** besprochene Weise, sind Block O und R der ersten Finnenanzahl FC1 zugewiesen und Block N und Q sind der Finnenanzahl FC2 zugewiesen. In der in **Fig. 6** abgebildeten Ausführungsform weist MUX-Schaltung **600** die erste Finnenanzahl FC1 als eine Summe der ersten Gesamtzahl von Finnen **F1**, entsprechend NMOS-Transistoren, und der zweiten Gesamtzahl von Finnen **F2**, entsprechend PMOS-Transistoren, und die zweite Finnenanzahl FC2 als eine Summe der dritten Gesamtzahl von Finnen **F3**, entsprechend PMOS-Transistoren, und der vierten Gesamtzahl von Finnen **F4**, entsprechend NMOS-Transistoren, auf. In manchen Ausführungsformen entsprechen die erste und vierte Gesamtzahl von Finnen **F1** und **F4** PMOS-Transistoren und die zweite und dritte Gesamtzahl von Finnen **F2** und **F3** entsprechen NMOS-Transistoren.

[0181] **Fig. 7** ist ein Diagramm von IC-Bauelement **700** in Übereinstimmung mit manchen Ausführungsformen. IC-Bauelement **700** weist aktive Bereiche AA1-AA4, Gate-Strukturen **G1-G3**, Stromschienen **P1-P3**, Durchkontaktierungen **V1** und **V2** und ein Metallsegment MS1 auf. Aktive Bereiche AA1-AA4 entsprechen aktiven Gebieten **AR1-AR4**, Gate-Strukturen **G1-G3** entsprechen Gate-Gebieten **GR1-GR3** und Stromschienen **P1-P3** entsprechen Stromschienengebieten **PR1-PR3**, die jeweils oben in Bezug auf IC-Layoutdiagramm **200** und **Fig. 1** und **Fig. 2** besprochen sind.

[0182] Die Abbildung von IC-Bauelement **700** ist zum Zweck der Veranschaulichung vereinfacht. In unterschiedlichen Ausführungsformen weist IC-Bauelement **700** zusätzliche Merkmale auf, z.B. Kontakte, S/D-Strukturen, zusätzliche Durchkontaktierungen und Metallsegmente, Isolierstrukturen und dergleichen. In manchen Ausführungsformen weist IC-Bauelement **700** einen oder mehrere aktive Bereiche (nicht gezeigt) zusätzlich zu aktiven Bereichen AA1-AA4 und eine oder mehrere Gate-Strukturen (nicht gezeigt) zusätzlich zu Gate-Strukturen **G1-G3** auf, z.B. in Übereinstimmung mit den oben in Bezug auf **Fig. 3-6** besprochenen Ausführungsformen.

[0183] Um den aktiven Gebieten **AR1-AR4** zu entsprechen, weist jeder der aktiven Bereiche AA1-AA4 den p-Typ oder n-Typ auf, weist erste bis vierte Gesamtzahlen von Finnen **F1-F4** auf und weist Angrenzen zu den anderen aktiven Bereichen AA1-AA4 in Übereinstimmung mit den unterschiedlichen oben in Bezug auf IC-Layoutdiagramme **200**, **400C**, **400E** und **400G** und **Fig. 1-6** besprochenen unterschiedlichen Ausführungsformen auf. Dementsprechend sind sowohl der aktive Bereiche AA1 als auch AA4 eines von n oder p und sowohl der aktive Bereich AA2 als auch AA3 ist das andere von n oder p.

[0184] Um Gate-Gebieten **GR1-GR3** zu entsprechen, ist jede der Gate-Strukturen **G1-G4** in Übereinstimmung mit den unterschiedlichen Ausführungsformen konfiguriert, die oben in Bezug auf IC-Layoutdiagramme **200**, **400C**, **400E** und **400G** und **Fig. 1-6** besprochen sind.

[0185] Jede der Stromschienen **P1-P3** weist ein oder mehrere leitfähige Segmente auf und ist entweder als eine Referenzstromschiene oder eine Stromversorgungstromschiene konfiguriert. Sowohl Durchkontaktierung **V1** als auch V2 weist ein oder mehrere leitfähige Segmente auf und ist elektrisch mit einer entsprechenden der Stromschiene **P1** oder **P3** verbunden. Metallsegment MS1 weist ein leitfähiges Segment auf und ist elektrisch mit sowohl Durchkontaktierung **V1** als auch V2 verbunden.

[0186] Bei der in **Fig. 7** abgebildeten Konfiguration weist IC-Bauelement **700** Stromschiene **P1** und **P3** elektrisch miteinander verbunden und elektrisch von Stromschiene **P2** isoliert auf. In unterschiedlichen Ausführungsformen weist IC-Bauelement **700** Stromschiene **P1** und **P3** anders konfiguriert auf, um elektrisch miteinander verbunden und elektrisch von Stromschiene **P2** isoliert zu sein.

[0187] In der in **Fig. 7** abgebildeten Ausführungsform liegt jede der Stromschienen **P1-P3** über jeder der Gate-Strukturen **G1-G3**. In unterschiedlichen Ausführungsformen weisen eine oder mehrere Stromschienen **P1-P3** eine vergrabene Stromschiene auf, sodass jede der Gate-Strukturen **G1-G3** über jeder der Stromschienen **P1-P3** liegt.

[0188] In unterschiedlichen Ausführungsformen ist entweder die dritte Stromschiene als eine Referenzstromschiene konfiguriert, sowohl aktiver Bereich AA2 als auch AA3 ist der n-Typ und sowohl aktiver Bereich AA1 als auch AA4 ist der p-Typ, oder die dritte Stromschiene ist als eine Versorgungsstromschiene konfiguriert, sowohl aktiver Bereich AA2 als auch AA3 ist der p-Typ und sowohl aktiver Bereich AA1 als auch AA4 ist der n-Typ.

[0189] Indem Konfigurationen entsprechend denen der unterschiedlichen Ausführungsformen von IC-Layoutdiagramm **200** wie oben besprochen enthalten sind, sind die unterschiedlichen Ausführungsformen vom IC-Bauelement **700** im Stande, die oben in Bezug auf IC-Layoutdiagramme **200**, **400C**, **400E** und **400G** und **Fig. 1-6** besprochenen Vorteile zu realisieren.

[0190] **Fig. 8** ist ein Blockdiagramm von IC-Layoutdiagrammerzeugungssystem **800** in Übereinstimmung mit manchen Ausführungsformen. Hierin beschriebene Verfahren zum Designen von IC-Layoutdiagrammen in Übereinstimmung mit einer oder mehreren Ausführungsformen sind zum Beispiel unter Verwendung von IC-Layoutdiagrammerzeugungssystem **800** in Übereinstimmung mit manchen Ausführungsformen implementierbar.

[0191] In manchen Ausführungsformen ist IC-Layoutdiagrammerzeugungssystem **800** eine Allzweckrechen- vorrichtung, die einen Hardwareprozessor **802** und ein nichttransistorisches, computerlesbares Speichermedium **804** aufweist. Speichermedium **804** ist unter anderem mit z.B. Speicherschrieben, Computerprogrammcode **806**, d.h. eine Menge von ausführbaren Anweisungen, codiert. Ausführung von Anweisungen **806** durch Hardwareprozessor **802** stellt (zumindest zum Teil) ein EDA-Werkzeug dar, das einen Abschnitt oder alles eines Verfahrens darstellt, z.B. das Verfahren zum Erzeugen eines IC-Layoutdiagramms, das oben beschrieben ist (hierin nachfolgend die genannten Prozesse und/oder Verfahren).

[0192] Prozessor **802** ist elektrisch mit dem computerlesbaren Speichermedium **804** durch einen Bus **808** gekoppelt. Prozessor **802** ist auch elektrisch mit einer I/O-Schnittstelle **810** durch Bus **808** gekoppelt. Eine Netzwerkschnittstelle **812** ist auch elektrisch mit Prozessor **802** durch Bus **808** verbunden. Netzwerkschnittstelle **812** ist mit einem Netzwerk **814** verbunden, sodass Prozessor **802** und computerlesbares Speichermedium **804** im Stande sind, sich mittels Netzwerk **814** mit externen Elementen zu verbinden. Prozessor **802** ist konfiguriert, Computerprogrammcode **806** auszuführen, der in das computerlesbare Speichermedium **804** codiert ist, um zu veranlassen, dass IC-Layoutdiagrammerzeugungssystem **800** zum Durchführen eines Teils oder aller der genannten Prozesse und/oder Verfahren verwendbar ist. In einer oder mehreren Ausführungsformen ist Prozessor **802** eine zentrale Verarbeitungseinheit (CPU), ein Multiprozessor, ein verteiltes Verarbeitungssystem, eine anwendungsspezifische integrierte Schaltung (ASIC) und/oder eine geeignete Verarbeitungseinheit.

[0193] In einer oder mehreren Ausführungsformen ist das computerlesbare Speichermedium **804** ein elektronisches, magnetisches, optisches, elektromagnetisches, infrarotes und/oder Halbleitersystem (oder Gerät oder Bauelement). Zum Beispiel weist das computerlesbare Speichermedium **804** einen Halbleiter- oder Festzustandsspeicher, ein Magnetband, eine entfernbare Computerdiskette, einen Direktzugriffsspeicher (RAM), einen Nur-Lese-Speicher (ROM), einen starren magnetischen Datenträger und/oder einen optischen Datenträger auf. In einer oder mehreren Ausführungsformen, die optische Datenträger verwenden, weist das computerlesbare Speichermedium **804** einen Kompaktdatenträger-Nur-Lese-Speicher (CD-ROM, Compact Disk-Read Only Memory), einen Kompaktdatenträger-Lesen/Schreiben (CD-R/W, Compact Disk-Read/Write) und/oder einen digitalen Videodatenträger (DVD) auf.

[0194] In einer oder mehreren Ausführungsformen speichert Speichermedium **804** Computerprogrammcode **806**, der konfiguriert ist, IC-Layoutdiagrammerzeugungssystem **800** (wo solche Ausführung (mindestens zum Teil) das EDA-Werkzeug darstellt) zu veranlassen, verwendet werden zu können, einen Teil oder alle der genannten Prozesse und/oder Verfahren durchzuführen. In einer oder mehreren Ausführungsformen speichert Speichermedium **804** auch Informationen, die es erleichtern, einen Teil oder alle der genannten Prozesse und/oder Verfahren durchzuführen. In einer oder mehreren Ausführungsformen speichert Speichermedium **804** Zellverzeichnis **807** von Zellen, das solche Zellen wie hierin offenbart aufweist, z.B. eine Doppelhöhenzelle **200C**, die oben in Bezug auf **Fig. 1** und **Fig. 2** besprochen ist.

[0195] IC-Layoutdiagrammerzeugungssystem **800** weist I/O-Schnittstelle **810** auf. I/O-Schnittstelle **810** ist mit externen Schaltkreisen gekoppelt. In einer oder mehreren Ausführungsformen weist I/O-Schnittstelle **810** eine Tastatur, ein Tastenfeld, eine Maus, eine Bewegungskugel, ein Bewegungsfeld, einen Berührungsbildschirm und/oder Zeigerrichtungstasten zum Kommunizieren von Informationen und Befehlen an Prozessor **802** auf.

[0196] IC-Layoutdiagrammerzeugungssystem **800** weist auch Netzwerkschnittstelle **812** mit Prozessor **802** gekoppelt auf. Netzwerkschnittstelle **812** erlaubt es System **800**, mit Netzwerk **814** zu kommunizieren, mit dem ein oder mehrere andere Computersysteme verbunden sind. Netzwerkschnittstelle **812** weist drahtlose Netzwerkschnittstellen auf, wie BLUETOOTH, WIFI, WIMAX, GPRS oder WCDMA; oder kabelgebundene Netzwerkschnittstellen, wie ETHERNET, USB oder IEEE-1364. In einer oder mehreren Ausführungsformen ist ein Teil oder alle der genannten Prozesse und/oder Verfahren in zwei oder mehr IC-Layoutdiagrammerzeugungssystemen **800** implementiert.

[0197] IC-Layoutdiagrammerzeugungssystem **800** ist konfiguriert, Informationen durch I/O-Schnittstelle **810** zu empfangen. Die durch I/O-Schnittstelle **810** empfangenen Informationen weisen eine oder mehrere Anweisungen, Daten, Designregeln, Verzeichnisse von Standardzellen und/oder andere Parameter zur Verarbeitung durch Prozessor **802** auf. Die Informationen werden durch Bus **808** an Prozessor **802** transferiert. IC-Layoutdiagrammerzeugungssystem **800** ist konfiguriert, Informationen bezüglich einer UI durch I/O-Schnittstelle **810** zu empfangen. Die Informationen sind im computerlesbaren Medium **804** als Anwenderschnittstelle (UI) **842** gespeichert.

[0198] In manchen Ausführungsformen ist ein Teil oder alle der genannten Prozesse und/oder Verfahren als eine selbstständige Softwareanwendung zur Ausführung durch einen Prozessor implementiert. In manchen Ausführungsformen sind ein Teil oder alle der genannten Prozesse und/oder Verfahren als eine Softwareanwendung implementiert, die ein Teil einer zusätzlichen Softwareanwendung ist. In manchen Ausführungsformen sind ein Teil oder alle der genannten Prozesse und/oder Verfahren als ein Zusatz zu einer Softwareanwendung implementiert. In manchen Ausführungsformen ist mindestens einer/eines der genannten Prozesse und/oder Verfahren als eine Softwareanwendung implementiert, die ein Teil eines EDA-Werkzeugs ist. In manchen Ausführungsformen sind ein Teil oder alle der genannten Prozesse und/oder Verfahren als eine Softwareanwendung implementiert, die von IC-Layoutdiagrammerzeugungssystem **800** verwendet wird. In manchen Ausführungsformen wird ein Layoutdiagramm, das Standardzellen aufweist, unter Verwendung eines Werkzeugs wie VIRTUOSO®, das von CADENCE DESIGN SYSTEMS, Inc. verfügbar ist, oder eines anderen geeigneten Layouterzeugungswerkzeugs erzeugt.

[0199] In manchen Ausführungsformen sind die Prozesse als Funktionen eines Programms realisiert, das in einem nichttransitorischen computerlesbaren Aufzeichnungsmedium gespeichert ist. Beispiele eines nichttransitorischen computerlesbaren Aufzeichnungsmediums umfassen, sind aber nicht begrenzt auf, externe/entfernbar und/oder interne/eingebaute Speicher- oder Arbeitsspeichereinheit, z.B. eines oder mehreres eines optischen Datenträgers, wie eine DVD, eines magnetischen Datenträgers, wie eine Festplatte, eines Halbleiterspeichers, wie ein ROM, ein RAM, eine Speicherkarte und dergleichen.

[0200] Fig. 9 ist ein Blockdiagramm von IC-Herstellungssystem **900** und einem zugehörigen IC-Herstellungsablauf in Übereinstimmung mit manchen Ausführungsformen. In manchen Ausführungsformen wird, basierend auf einem IC-Layoutdiagramm, mindestens eines von (A) einer oder mehreren Halbleitermasken oder (B) mindestens einer Komponente in einer Schicht einer Halbleiter-IC unter Verwendung von Herstellungssystem **900** gefertigt.

[0201] In Fig. 9 weist IC-Herstellungssystem **900** Entitäten auf, wie eine Designstätte **920**, eine Maskierungsstätte **930** und einen IC-Hersteller/Fertiger („fab“) **950**, die miteinander in den Design-, Entwicklungs- und Herstellungszyklen und/oder Diensten bezüglich Herstellung eines IC-Bauelements **960** interagieren. Die Entitäten in System **900** sind durch ein Kommunikationsnetzwerk verbunden. In manchen Ausführungsformen ist das Kommunikationsnetzwerk ein einzelnes Netzwerk. In manchen Ausführungsformen ist das Kommunikationsnetzwerk eine Vielfalt verschiedener Netzwerke, wie ein Intranet und das Internet. Das Kommunikationsnetzwerk weist kabelgebundene und/oder drahtlose Kommunikationskanäle auf. Jede Entität interagiert mit einer oder mehreren der anderen Entitäten und stellt Dienste an eine oder mehrere der anderen Entitäten bereit und/oder empfängt Dienste von dieser/diesen. In manchen Ausführungsformen werden zwei oder mehr der Designstätte **920**, Maskierungsstätte **930** und dem IC-fab **950** von einem einzelnen größeren Unternehmen besessen. In manchen Ausführungsformen bestehen zwei oder mehr der Designstätte **920**, Maskierungsstätte **930** und des IC-fab **950** nebeneinander in einer gemeinsamen Einrichtung und verwenden gemeinsame Ressourcen.

[0202] Designstätte (oder Designteam) **920** erzeugt ein IC-Designlayoutdiagramm **922**. IC-Designlayoutdiagramm **922** weist unterschiedliche geometrische Strukturen auf, z.B. ein IC-Layoutdiagramm, das oben besprochen ist. Die geometrischen Strukturen entsprechen Strukturen von Metall-, Oxid- oder Halbleiterschichten, die die unterschiedlichen Komponenten vom zu fertigenden IC-Bauelement **960** bilden. Die unterschiedlichen Schichten sind kombiniert, um unterschiedliche IC-Merkmale zu bilden. Zum Beispiel weist ein Teil von IC-Designlayoutdiagramm **922** unterschiedliche IC-Merkmale auf, wie ein aktives Gebiet, Gate-Elektrode, Source und Drain, Metallleitungen oder Durchkontaktierungen einer Zwischenschichtzwischenverbindung und Öffnungen für Bondingpads, die in einem Halbleitersubstrat (wie einem Siliziumwafer) und unterschiedlichen Materialschichten, die auf dem Halbleitersubstrat angeordnet sind, zu bilden sind. Designstätte **920** implementiert eine geeignete Designprozedur, um IC-Designlayoutdiagramm **922** zu bilden. Die Designprozedur umfasst eines oder mehreres von Logikdesign, physischem Design oder Platzierung und Routing. IC-Designlayoutdiagramm **922** ist in einer oder mehreren Datendateien dargestellt, die Informationen der geometrischen Strukturen aufweisen. Zum Beispiel kann IC-Designlayoutdiagramm **922** in einem GDSII-Dateiformat oder DFII-Dateiformat ausgedrückt werden.

[0203] Maskierungsstätte **930** weist Datenvorbereitung **932** und Maskenfertigung **944** auf. Maskierungsstätte **930** verwendet IC-Designlayoutdiagramm **922**, um eine oder mehrere Masken **945** herzustellen, die zur Fertigung der unterschiedlichen Schichten von IC-Bauelement **960** gemäß IC-Designlayoutdiagramm **922** verwendet werden. Maskierungsstätte **930** führt Maskierungsdatenvorbereitung **932** durch, wo IC-Designlayoutdiagramm **922** in eine repräsentative Datendatei („RDF“) übersetzt ist. Maskendatenvorbereitung **932** stellt die RDF für Maskenfertigung **944** bereit. Maskenfertigung **944** umfasst einen Maskenschreiber. Ein Maskenschreiber wandelt die RDF zu einem Bild auf einem Substrat um, wie eine Maske (Fadennetz) **945** oder ein Halbleiterwafer **953**. Das Designlayoutdiagramm **922** wird von Maskendatenvorbereitung **932** manipuliert, um bestimmten Eigenschaften des Maskenschreibers und/oder Anforderungen von IC-fab **950** zu entsprechen. In **Fig. 9** sind Maskendatenvorbereitung **932** und Maskenfertigung **944** als separate Elemente veranschaulicht. In manchen Ausführungsformen können Maskendatenvorbereitung **932** und Maskenfertigung **944** gemeinsam als Maskendatenvorbereitung bezeichnet werden.

[0204] In manchen Ausführungsformen umfasst Maskendatenvorbereitung **932** optische Nähekorrektur (OPC), die Lithografieverbesserungstechniken verwendet, um Bildfehler zu kompensieren, wie die, die aus Brechung, Interferenz, anderen Prozesseffekten und dergleichen entstehen können. OPC passt IC-Designlayoutdiagramm **922** an. In manchen Ausführungsformen umfasst Maskendatenvorbereitung **932** weitere Auflösungsverbesserungstechniken (RET), wie Aus-Achse-Beleuchtung, Subauflösungshilfsmerkmale, Phasenverschiebungsmasken, andere geeignete Techniken und dergleichen oder Kombinationen davon. In manchen Ausführungsformen wird auch umgekehrte Lithografiertechnologie (ILD) verwendet, die OPC als ein umgekehrtes Abbildungsproblem behandelt.

[0205] In manchen Ausführungsformen umfasst Maskendatenvorbereitung **932** einen Maskenregelprüfer (MRC), der das IC-Designlayoutdiagramm **922**, das Prozessen in OPC unterzogen wurde, mit einer Menge von Maskenerstellungsregeln prüft, die bestimmte geometrische und/oder Konnektivitätsbeschränkungen beinhalten, um ausreichend Spielraum sicherzustellen, um Variabilität in Halbleiterherstellungsprozessen und dergleichen zu berücksichtigen. In manchen Ausführungsformen modifiziert der MRC das IC-Designlayoutdiagramm **922**, um Begrenzungen während Maskenfertigung **944** zu kompensieren, was Teil der von OPC durchgeführten Modifikationen rückgängig machen kann, um Maskenerstellungsregeln zu erfüllen.

[0206] In manchen Ausführungsformen umfasst Maskendatenvorbereitung **932** Lithografieprozessprüfung (LPC), die eine Verarbeitung simuliert, die von IC-fab **950** implementiert wird, um IC-Bauelement **960** zu fertigen. LPC simuliert diese Verarbeitung basierend auf IC-Designlayoutdiagramm **922**, um ein simuliertes hergestelltes Bauelement, wie IC-Bauelement **960** zu erstellen. Die Verarbeitungsparameter in LPC-Simulation können Parameter aufweisen, die unterschiedlichen Prozessen des IC-Herstellungszyklus zugehörig sind, Parameter, die zur Herstellung der IC verwendeten Werkzeugen und/oder anderen Aspekten des Herstellungsprozesses zugehörig sind. LPC berücksichtigt unterschiedliche Faktoren, wie Luftbildkontrast, Fokustiefe („DOF“), Maskenfehlerverbesserungsfaktor („MEEF“) oder andere geeignete Faktoren und dergleichen oder Kombinationen davon. In manchen Ausführungsformen werden, nachdem ein simuliertes hergestelltes Bauelement durch LPC erstellt wurde, falls das simulierte Bauelement nicht nahe genug an der Form ist, um Designregeln zu erfüllen, OPC und/oder MRC wiederholt, um das IC-Designlayoutdiagramm **922** weiter zu verfeinern.

[0207] Es ist zu verstehen, dass die Beschreibung oben von Maskendatenvorbereitung **932** für die Zwecke der Klarheit vereinfacht wurde. In manchen Ausführungsformen umfasst Datenvorbereitung **932** zusätzliche Merkmale, wie einen Logikbetrieb (LOP), um das IC-Designlayoutdiagramm **922** gemäß Herstellungsregeln zu

modifizieren. Zusätzlich können die auf das IC-Designlayoutdiagramm **922** während Datenvorbereitung **932** angewendeten Prozesse in einer Vielfalt verschiedener Reihenfolgen ausgeführt werden.

[0208] Nach der Maskendatenvorbereitung **932** und während Maskenfertigung **944** wird eine Maske **945** oder eine Gruppe von Masken **945** basierend auf dem modifizierten IC-Designlayoutdiagramm **922** gefertigt. In manchen Ausführungsformen umfasst Maskenfertigung **944**, eine oder mehrere Lithografiebelichtungen basierend auf IC-Designlayoutdiagramm **922** durchzuführen. In manchen Ausführungsformen wird ein Elektronenstrahl (e-Strahl) oder ein Mechanismus mehrerer e-Strahlen verwendet, um eine Struktur auf einer Maske (Fotomaske oder Fadennetz) **945** basierend auf dem modifizierten IC-Designlayoutdiagramm **922** zu bilden. Maske **945** kann in unterschiedlichen Technologien gebildet werden. In manchen Ausführungsformen wird Maske **945** unter Verwendung von Binärtechnologie verwendet. In manchen Ausführungsformen weist eine Maskenstruktur undurchlässige Gebiete und durchlässige Gebiete auf. Ein Strahlungsstrahl, wie ein ultravioletter (UV) oder EUV-Strahl, der verwendet wird, um die bildsensitive Materialschicht (z.B. Fotolack) zu belichten, die auf einen Wafer aufgeschichtet wurde, wird von dem undurchlässigen Gebiet blockiert und geht durch die durchlässigen Gebiete durch. In einem Beispiel weist eine Binärmaskenversion von Maske **945** ein durchlässiges Substrat (z.B. Quarzglas) und ein undurchlässiges Material (z.B. Chrom), das in den undurchlässigen Gebieten der Binärmaske aufgeschichtet ist, auf. In einem anderen Beispiel ist Maske **945** unter Verwendung einer Phasenverschiebungstechnologie gebildet. In einer Phasenverschiebungsmaskenversion (PSM-Version) von Maske **945** sind unterschiedliche Merkmale in der Struktur, die auf der Phasenverschiebungsmaske gebildet ist, konfiguriert, einen geeigneten Phasenunterschied aufzuweisen, um die Auflösung und Abbildungsqualität zu verbessern. In unterschiedlichen Beispielen kann die Phasenverschiebungsmaske abgeschwächte PSM oder abwechselnde PSM sein. Die Maske(n) wird/werden in einem Ionenimplantierungsprozess, um unterschiedliche dotierte Gebiete im Halbleiterwafer **953** zu bilden, in einem Ätzprozess, um unterschiedliche Ätzgebiete im Halbleiterwafer **953** zu bilden und/oder in anderen geeigneten Prozessen verwendet.

[0209] IC-fab **950** ist eine IC-Fertigungsfirma, die eine oder mehrere Herstellungseinrichtungen für die Fertigung einer Vielfalt verschiedener IC-Produkte umfasst. In manchen Ausführungsformen ist IC-Fab **950** eine Halbleitergießerei. Zum Beispiel kann es eine Herstellungseinrichtung für die Frontend-Fertigung einer Vielzahl von IC-Produkten (Frontend-of-Line-Fertigung (FEOL-Fertigung)) sein, während eine zweite Herstellungseinrichtung die Backend-Fertigung für die Zwischenverbindung und das Packaging der IC-Produkte (Backend-of-Line-Fertigung (BEOL-Fertigung)) bereitstellen kann und eine dritte Herstellungseinrichtung andere Dienste für die Gießfirma bereitstellen kann.

[0210] IC-fab **950** weist Wafer-Fertigungswerkzeuge **952** auf, die konfiguriert sind, unterschiedliche Herstellungsbetriebe an Halbleiterwafer **953** auszuführen, sodass IC-Bauelement **960** in Übereinstimmung mit der/den Maske(n), z.B. Maske **945**, gefertigt ist. In unterschiedlichen Ausführungsformen weisen Fertigungswerkzeuge **952** eines oder mehreres eines Wafer-Steppers, eines Ionenimplantierers, eines Fotolackbeschichters, einer Prozesskammer, z.B. eine CVD-Kammer oder ein LPCVD-Ofen, eines CMP-Systems, eines Plasmaätzsystems, eines Wafer-Reinigungssystems oder anderer Herstellungsausrüstung, die im Stande ist, einen oder mehrere geeignete hierin besprochene Herstellungsprozesse durchzuführen, auf.

[0211] IC-fab **950** verwendet Maske(n) **945**, die von Maskenstätte **930** gefertigt sind, um IC-Bauelement **960** zu fertigen. Daher verwendet IC-fab **950** zumindest indirekt IC-Designlayoutdiagramm **922**, um IC-Bauelement **960** zu fertigen. In manchen Ausführungsformen ist Halbleiterwafer **953** von IC-fab **950** unter Verwendung von Maske(n) **945** gefertigt, um IC-Bauelement **960** zu bilden. In manchen Ausführungsformen umfasst die IC-Fertigung, eine oder mehrere Lithografiebelichtungen basierend mindestens indirekt auf dem IC-Designlayoutdiagramm **922** durchzuführen. Halbleiterwafer **953** weist ein Siliziumsubstrat oder ein anderes geeignetes Substrat auf, das Materialschichten darauf gebildet aufweist. Halbleiterwafer **953** weist weiter ein oder mehrere verschiedene dotierte Gebiete, dielektrische Merkmale, Mehrebenen-Interconnects und dergleichen (bei nachfolgenden Herstellungsschritten gebildet) auf.

[0212] Details bezüglich eines IC-Herstellungssystems (z.B. System **900** von **Fig. 9**) und eines dazu zugehörigen IC-Herstellungsablaufs sind z.B. im US Patent Nr. 9,256,709, das am 9. Februar 2016 erteilt wurde, US Vorerteilungsveröffentlichung Nr. 20150278429, am 1. Oktober 2015 veröffentlicht, US Vorerteilungsveröffentlichung Nr. 20140040838, am 6. Februar 2014 veröffentlicht, und US Patent Nr. 7,260,442, am 21. August 2007 erteilt, zu finden, die durch Bezugnahme in die vorliegende Anmeldung aufgenommen werden.

[0213] In manchen Ausführungsformen umfasst ein Verfahren zum Erzeugen eines IC-Layoutdiagramms, ein erstes aktives Gebiet in einer Zelle des IC-Layoutdiagramms zu positionieren, wobei das erste aktive Gebiet ein erster Typ von n oder p ist und einer ersten Gesamtzahl von Finnen entspricht, ein zweites aktives Gebiet

in der Zelle angrenzend an das erste aktive Gebiet zu positionieren, wobei das zweite aktive Gebiet ein zweiter Typ von n oder p ist und einer zweiten Gesamtzahl von Finnen entspricht, ein drittes aktives Gebiet in der Zelle angrenzend an das zweite aktive Gebiet zu positionieren, wobei das dritte aktive Gebiet der zweite Typ ist und einer dritten Gesamtzahl von Finnen entspricht, und ein viertes aktives Gebiet in der Zelle angrenzend an das dritte aktive Gebiet zu positionieren, wobei das vierte aktive Gebiet der erste Typ ist und einer vierten Gesamtzahl von Finnen entspricht. Sowohl die erste als auch zweite Gesamtzahl von Finnen ist größer als sowohl die dritte als auch vierte Gesamtzahl von Finnen und mindestens eines des Positionierens der ersten, zweiten, dritten oder vierten aktiven Gebiete wird von einem Prozessor durchgeführt. In manchen Ausführungsformen umfasst das Verfahren, basierend auf dem IC-Layoutdiagramm mindestens eine von einer oder mehreren Halbleitermasken oder mindestens eine Komponente in einer Schicht einer Halbleiter-IC zu fertigen. In manchen Ausführungsformen ist sowohl die erste als auch zweite Gesamtzahl von Finnen größer als oder gleich drei und sowohl die dritte als auch vierte Gesamtzahl von Finnen ist kleiner als oder gleich zwei. In manchen Ausführungsformen ist mindestens eine der ersten Gesamtzahl von Finnen gleich der zweiten Gesamtzahl von Finnen, oder die dritte Gesamtzahl von Finnen ist gleich der vierten Gesamtzahl von Finnen. In manchen Ausführungsformen umfasst es, das erste bis vierte aktive Gebiet in der Zelle zu positionieren, das erste bis vierte aktive Gebiet in einer Doppelhöhenzelle zu positionieren. In manchen Ausführungsformen umfasst es, das zweite und dritte aktive Gebiet zu positionieren, eine Stromschienenspur mit dem zweiten und dritten aktiven Gebiet zu überbrücken und entweder entspricht die Stromschienenspur einer Referenzstromschiene und der zweite Typ ist n , oder die Stromschienenspur entspricht einer Versorgungsstromschiene und der zweite Typ ist p . In manchen Ausführungsformen umfasst das Verfahren, jedes des ersten bis vierten aktiven Gebiets mit einem Gate-Gebiet zu schneiden und das Gate-Gebiet mit einem geschnittenen Polygebiet zu schneiden. In manchen Ausführungsformen umfasst das Verfahren, das IC-Layoutdiagramm in einem Zellverzeichnis zu speichern.

[0214] In manchen Ausführungsformen weist ein IC-Layouterzeugungssystem einen Prozessor und ein nicht-transistorisches, computerlesbares Speichermedium, das Computerprogrammcode für ein oder mehrere Programme aufweist, auf. Das nichttransistorische, computerlesbare Speichermedium und der Computerprogrammcode sind konfiguriert, mit dem Prozessor das System zu veranlassen, eine erste Menge von Blöcken einer Schaltung zu einer ersten Finnenanzahl zuzuweisen, die erste Menge von Blöcken unter Verwendung des ersten und zweiten aktiven Gebiets einer IC-Layoutzelle einzurichten, wobei das erste und zweite aktive Gebiet gemeinsam einer Vielzahl von Finnen entsprechen, die die erste Finnenanzahl aufweist, eine zweite Menge von Blöcken der Schaltung unter Verwendung des dritten und vierten aktiven Gebiets der IC-Layoutzelle einzurichten, wobei das dritte und vierte aktive Gebiet gemeinsam einer Vielzahl von Finnen entsprechen, die eine zweite Finnenanzahl aufweist, die niedriger als die erste Finnenanzahl ist, und eine IC-Layoutdatei basierend auf der IC-Layoutzelle zu erzeugen. In manchen Ausführungsformen sind das nichttransistorische, computerlesbare Speichermedium und der Computerprogrammcode konfiguriert, mit dem Prozessor das System weiter zu veranlassen, die erste Menge von Blöcken der ersten Finnenanzahl basierend auf einer Zeitablaufanalyse der Schaltung zuzuweisen. In manchen Ausführungsformen sind das nichttransistorische, computerlesbare Speichermedium und der Computerprogrammcode konfiguriert, mit dem Prozessor weiter das System zu veranlassen, ein Geschwindigkeitsniveau der Schaltung basierend auf der ersten Menge von Blöcken, die der ersten Finnenanzahl zugewiesen ist, zu berechnen, das Geschwindigkeitsniveau mit einem Schwellengeschwindigkeitsniveau zu vergleichen und basierend darauf, dass das Geschwindigkeitsniveau unter dem Schwellengeschwindigkeitsniveau ist, einen zusätzlichen Schaltungsblock zu der ersten Finnenanzahl zuzuweisen. In manchen Ausführungsformen sind das nichttransistorische, computerlesbare Speichermedium und der Computerprogrammcode konfiguriert, mit dem Prozessor das System weiter zu veranlassen, einen Schaltungsleistungspegel als eine Summe eines Leistungspegels der ersten Menge von Blöcken basierend auf der ersten Finnenanzahl und einen Leistungspegel der zweiten Menge von Blöcken basierend auf der zweiten Finnenanzahl zu berechnen, den Schaltungsleistungspegel mit einem Schwellenleistungspegel zu vergleichen und basierend darauf, dass der Schaltungsleistungspegel den Schwellenleistungspegel übersteigt, einen Block der ersten Menge von Blöcken der zweiten Finnenanzahl neu zuzuweisen. In manchen Ausführungsformen sind das nichttransistorische, computerlesbare Speichermedium und der Computerprogrammcode konfiguriert, mit dem Prozessor das System weiter zu veranlassen, nach dem Neuzuweisen des Blocks der ersten Menge von Blöcken zu der zweiten Finnenanzahl, ein Schaltungsgeschwindigkeitsniveau basierend auf der ersten Menge von Blöcken zu berechnen. In manchen Ausführungsformen sind das nichttransistorische, computerlesbare Speichermedium und der Computerprogrammcode konfiguriert, mit dem Prozessor das System weiter zu veranlassen, ein Bereichseffizienzniveau basierend darauf zu berechnen, dass die erste Menge von Blöcken der ersten Finnenanzahl zugewiesen ist und die zweite Menge von Blöcken der zweiten Finnenanzahl zugewiesen ist, das Bereichseffizienzniveau mit einer Bereichseffizienzgrenze zu vergleichen und basierend darauf, dass das Bereichseffizienzniveau außerhalb der Bereichseffizienzgrenze ist, die Finnenanzahlzuweisungen durch mindestens eines von Neuzuweisen eines Blocks der zweiten Menge von Blöcken zu der ersten

Finnenanzahl oder Neuzuweisen eines Blocks der ersten Menge von Blöcken zu der zweiten Finnenanzahl wieder ins Gleichgewicht zu bringen. In manchen Ausführungsformen sind das nichttransitorische, computerlesbare Speichermedium und der Computerprogrammcode konfiguriert, mit dem Prozessor das System weiter zu veranlassen, nachdem die Finnenanzahlzuweisungen wieder ins Gleichgewicht gebracht wurden, ein Schaltungsgeschwindigkeitsniveau basierend auf der ersten Menge von Blöcken zu berechnen. In manchen Ausführungsformen ist die erste Finnenanzahl größer als oder gleich sechs und die zweite Finnenanzahl ist kleiner als oder gleich vier.

[0215] In manchen Ausführungsformen weist ein IC-Bauelement eine erste Stromschiene, eine zweite Stromschiene, die elektrisch mit der ersten Stromschiene verbunden ist, eine dritte Stromschiene zwischen der ersten und zweiten Stromschiene und elektrisch von der ersten und zweiten Stromschiene isoliert, einen ersten aktiven Bereich eines ersten Typs, der an die erste Stromschiene angrenzt und eine erste Gesamtzahl von Finnen aufweist, einen zweiten aktiven Bereich eines zweiten Typs, der sich von dem ersten Typ unterscheidet, angrenzend an den ersten aktiven Bereich und die dritte Stromschiene und eine zweite Gesamtzahl von Finnen aufweisend, einen dritten aktiven Bereich des zweiten Typs, der an die dritte Stromschiene angrenzt und eine dritte Gesamtzahl von Finnen aufweist, und einen vierten aktiven Bereich des ersten Typs, der an den dritten aktiven Bereich und die zweite Stromschiene angrenzt und eine vierte Gesamtzahl von Finnen aufweist, auf. Eine erste Summe der ersten und zweiten Gesamtzahl von Finnen ist größer als eine zweite Summe der dritten und vierten Gesamtzahl von Finnen. In manchen Ausführungsformen ist die erste Summe größer als oder gleich sechs und die zweite Summe ist kleiner als oder gleich vier. In manchen Ausführungsformen ist entweder die dritte Stromschiene als eine Referenzstromschiene konfiguriert und der zweite Typ ist n, oder die dritte Stromschiene ist als eine Versorgungsstromschiene konfiguriert und der zweite Typ ist p. In manchen Ausführungsformen weist mindestens eine der ersten Stromschiene, der zweiten Stromschiene oder der dritten Stromschiene eine vergrabene Stromschiene auf.

[0216] Es wird bereits für den Durchschnittsfachmann erkennbar sein, dass eine oder mehrere der offenbarten Ausführungsformen einen oder mehrere der oben vorgebrachten Vorteile erfüllen. Nach dem Lesen der vorangehenden Beschreibung, wird der Durchschnittsfachmann im Stande sein, unterschiedliche Änderungen, Ersetzungen von Äquivalenten und unterschiedliche andere Ausführungsformen, wie hierin grob offenbart, zu erwirken. Es wird daher beabsichtigt, dass der hierauf gewährte Schutz nur durch die in den angehängten Ansprüchen beinhaltete Definition und Äquivalente davon begrenzt wird.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- US 62982227 [0001]
- US 9256709 [0212]
- US 20150278429 [0212]
- US 20140040838 [0212]
- US 7260442 [0212]

Patentansprüche

1. Verfahren zum Erzeugen eines IC-Layoutdiagramms (Integrated-Circuit-Layoutdiagramm), wobei das Verfahren umfasst:

Positionieren eines ersten aktiven Gebiets in einer Zelle des IC-Layoutdiagramms, wobei das erste aktive Gebiet ein erster Typ von n oder p ist und einer ersten Gesamtzahl von Finnen entspricht;

Positionieren eines zweiten aktiven Gebiets in der Zelle, die an das erste aktive Gebiet angrenzt, wobei das zweite aktive Gebiet ein zweiter Typ von n oder p ist und einer zweiten Gesamtzahl von Finnen entspricht;

Positionieren eines dritten aktiven Gebiets in der Zelle, die an das zweite aktive Gebiet angrenzt, wobei das dritte aktive Gebiet der zweite Typ ist und einer dritten Gesamtzahl von Finnen entspricht; und

Positionieren eines vierten aktiven Gebiets in der Zelle, die an das dritte aktive Gebiet angrenzt, wobei das vierte aktive Gebiet der erste Typ ist und einer vierten Gesamtzahl von Finnen entspricht,

wobei

sowohl die erste als auch zweite Gesamtzahl von Finnen größer als sowohl die dritte als auch vierte Gesamtzahl von Finnen ist und

mindestens eines vom Positionieren des ersten, zweiten, dritten oder vierten aktiven Gebiets von einem Prozessor durchgeführt wird.

2. Verfahren nach Anspruch 1, weiter umfassend Fertigen, basierend auf dem IC-Layoutdiagramm, mindestens eines von:

einer oder mehreren Halbleitermasken oder

mindestens einer Komponente in einer Schicht einer Halbleiter-IC.

3. Verfahren nach Anspruch 1 oder 2, wobei

sowohl die erste als auch zweite Gesamtzahl von Finnen größer als oder gleich drei ist und

sowohl die dritte als auch vierte Gesamtzahl von Finnen kleiner als oder gleich zwei ist.

4. Verfahren nach einem der vorangehenden Ansprüche, wobei mindestens eine von der ersten Gesamtzahl von Finnen gleich der zweiten Gesamtzahl von Finnen ist oder die dritte Gesamtzahl von Finnen gleich der vierten Gesamtzahl von Finnen ist.

5. Verfahren nach einem der vorangehenden Ansprüche, wobei das Positionieren des ersten bis vierten aktiven Gebiets in der Zelle umfasst, das erste bis vierte aktive Gebiet in einer Doppelhöhenzelle zu positionieren.

6. Verfahren nach einem der vorangehenden Ansprüche, wobei

das Positionieren des zweiten und dritten aktiven Gebiets umfasst, eine Stromschienenspur mit dem zweiten und dritten aktiven Gebiet zu überbrücken, und

entweder die Stromschienenspur einer Referenzstromschiene entspricht und der zweite Typ n ist, oder die Stromschienenspur einer Versorgungsstromschiene entspricht und der zweite Typ p ist.

7. Verfahren nach einem der vorangehenden Ansprüche, weiter umfassend:

Schneiden jedes des ersten bis vierten aktiven Gebiets mit einem Gate-Gebiet; und

Schneiden des Gate-Gebiets mit einem geschnittenen Polygebiet.

8. Verfahren nach einem der vorangehenden Ansprüche, weiter umfassend Speichern des IC-Layoutdiagramms in einem Zellverzeichnis.

9. IC-Layouterzeugungssystem (Integrated-Circuit-Layouterzeugungssystem), aufweisend:

einen Prozessor; und

ein nichttransistorisches, computerlesbares Speichermedium, das Computerprogrammcode für ein oder mehrere Programme aufweist, wobei das nichttransistorische, computerlesbare Speichermedium und der Computerprogrammcode konfiguriert sind, mit dem Prozessor das System zu veranlassen zum:

Zuweisen einer ersten Menge von Blöcken einer Schaltung zu einer ersten Finnenanzahl;

Einrichten der ersten Menge von Blöcken unter Verwendung erster und zweiter aktiver Gebiete einer IC-Layoutzelle, wobei das erste und zweite aktive Gebiet gemeinsam einer Vielzahl von Finnen entsprechen, die die erste Finnenanzahl aufweist;

Einrichten einer zweiten Menge von Blöcken der Schaltung unter Verwendung des dritten und vierten aktiven Gebiets der IC-Layoutzelle, wobei das dritte und vierte aktive Gebiet gemeinsam einer Vielzahl von Finnen entsprechen, die eine zweite Finnenanzahl aufweist, die niedriger als die erste Finnenanzahl ist; und

Erzeugen einer IC-Layoutdatei, basierend auf der IC-Layoutzelle.

10. IC-Layerzeugungssystem nach Anspruch 9, wobei das nichttransistorische, computerlesbare Speichermedium und der Computerprogrammcode konfiguriert sind, mit dem Prozessor das System weiter zu veranlassen zum:

Zuweisen der ersten Menge von Blöcken zu der ersten Finnenanzahl, basierend auf einer Zeitablaufanalyse der Schaltung.

11. IC-Layerzeugungssystem nach Anspruch 9 oder 10, wobei das nichttransistorische, computerlesbare Speichermedium und der Computerprogrammcode konfiguriert sind, mit dem Prozessor das System weiter zu veranlassen zum:

Berechnen eines Geschwindigkeitsniveaus der Schaltung, basierend darauf, dass die erste Menge von Blöcken der ersten Finnenanzahl zugewiesen ist;

Vergleichen des Geschwindigkeitsniveaus mit einem Schwellengeschwindigkeitsniveau; und

basierend darauf, dass das Geschwindigkeitsniveau unter dem Schwellengeschwindigkeitsniveau ist, Zuweisen eines zusätzlichen Schaltungsblocks zu der ersten Finnenanzahl.

12. IC-Layerzeugungssystem nach einem der vorangehenden Ansprüche 9 bis 11, wobei das nichttransistorische, computerlesbare Speichermedium und der Computerprogrammcode konfiguriert sind, mit dem Prozessor das System weiter zu veranlassen zum:

Berechnen eines Schaltungsleistungspegels als eine Summe eines Leistungspegels der ersten Menge von Blöcken, basierend auf der ersten Finnenanzahl, und eines Leistungspegels der zweiten Menge von Blöcken, basierend auf der zweiten Finnenanzahl;

Vergleichen des Schaltungsleistungspegels mit einem Schwellenleistungspegel; und

basierend darauf, dass der Schaltungsleistungspegel den Schwellenleistungspegel übersteigt, Neuzeuweisen eines Blocks der ersten Menge von Blöcken zu der zweiten Finnenanzahl.

13. IC-Layerzeugungssystem nach Anspruch 12, wobei das nichttransistorische, computerlesbare Speichermedium und der Computerprogrammcode konfiguriert sind, mit dem Prozessor das System weiter zu veranlassen zum:

nach dem Neuzeuweisen des Blocks der ersten Menge von Blöcken zu der zweiten Finnenanzahl, Berechnen eines Schaltungsgeschwindigkeitsniveaus, basierend auf der ersten Menge von Blöcken.

14. IC-Layerzeugungssystem nach einem der vorangehenden Ansprüche 9 bis 13, wobei das nichttransistorische, computerlesbare Speichermedium und der Computerprogrammcode konfiguriert sind, mit dem Prozessor das System zu veranlassen zum:

Berechnen eines Bereichseffizienzniveaus, basierend darauf, dass die erste Menge von Blöcken der ersten Finnenanzahl zugewiesen ist, und die zweite Menge von Blöcken der zweiten Finnenanzahl zugewiesen ist;

Vergleichen des Bereichseffizienzniveaus mit einer Bereichseffizienzgrenze; und

basierend darauf, dass das Bereichseffizienzniveau außerhalb der Bereichseffizienzgrenze ist, wieder ins Gleichgewicht Bringen der Finnenanzahlzuweisungen, durch mindestens eines von Neuzeuweisen eines Blocks der zweiten Menge von Blöcken zu der ersten Finnenanzahl oder Neuzeuweisen eines Blocks der ersten Menge von Blöcken zu der zweiten Finnenanzahl.

15. IC-Layerzeugungssystem nach Anspruch 14, wobei das nichttransistorische, computerlesbare Speichermedium und der Computerprogrammcode konfiguriert sind, mit dem Prozessor das System zu veranlassen zum:

nachdem die Finnenanzahlzuweisungen wieder ins Gleichgewicht gebracht wurden, Berechnen eines Schaltungsgeschwindigkeitsniveaus, basierend auf der ersten Menge von Blöcken.

16. IC-Layerzeugungssystem nach einem der vorangehenden Ansprüche 9 bis 15, wobei die erste Finnenanzahl größer als oder gleich sechs ist und die zweite Finnenanzahl kleiner als oder gleich vier ist.

17. IC-Vorrichtung (Integrated-Circuit-Vorrichtung), aufweisend:

eine erste Stromschiene;

eine zweite Stromschiene, die elektrisch mit der ersten Stromschiene verbunden ist;

eine dritte Stromschiene zwischen der ersten und zweiten Stromschiene und elektrisch von der ersten und zweiten Stromschiene isoliert;

einen ersten aktiven Bereich eines ersten Typs, der an die erste Stromschiene angrenzt und eine erste Gesamtzahl von Finnen aufweist;

einen zweiten aktiven Bereich eines zweiten Typs, der sich von dem ersten Typ unterscheidet, an den ersten aktiven Bereich und die dritte Stromschiene angrenzt und eine zweite Gesamtzahl von Finnen aufweist;
einen dritten aktiven Bereich des zweiten Typs, der an die dritte Stromschiene angrenzt und eine dritte Gesamtzahl von Finnen aufweist; und
einen vierten aktiven Bereich des ersten Typs, der an den dritten aktiven Bereich und die zweite Stromschiene angrenzt und eine vierte Gesamtzahl von Finnen aufweist,
wobei eine erste Summe der ersten und zweiten Gesamtzahl von Finnen größer als eine zweite Summe der dritten und vierten Gesamtzahl von Finnen ist.

18. IC-Vorrichtung nach Anspruch 17, wobei die erste Summe größer als oder gleich sechs ist und die zweite Summe kleiner als oder gleich vier ist.

19. IC-Vorrichtung nach Anspruch 17 oder 18, wobei entweder die dritte Stromschiene als eine Referenzstromschiene konfiguriert ist und der zweite Typ n ist; oder die dritte Stromschiene als eine Versorgungsstromschiene konfiguriert ist und der zweite Typ p ist.

20. IC-Vorrichtung nach einem der vorangehenden Ansprüche 17 bis 19, wobei mindestens eine der ersten Stromschiene, der zweiten Stromschiene oder der dritten Stromschiene eine vergrabene Stromschiene aufweist.

Es folgen 17 Seiten Zeichnungen

Anhängende Zeichnungen

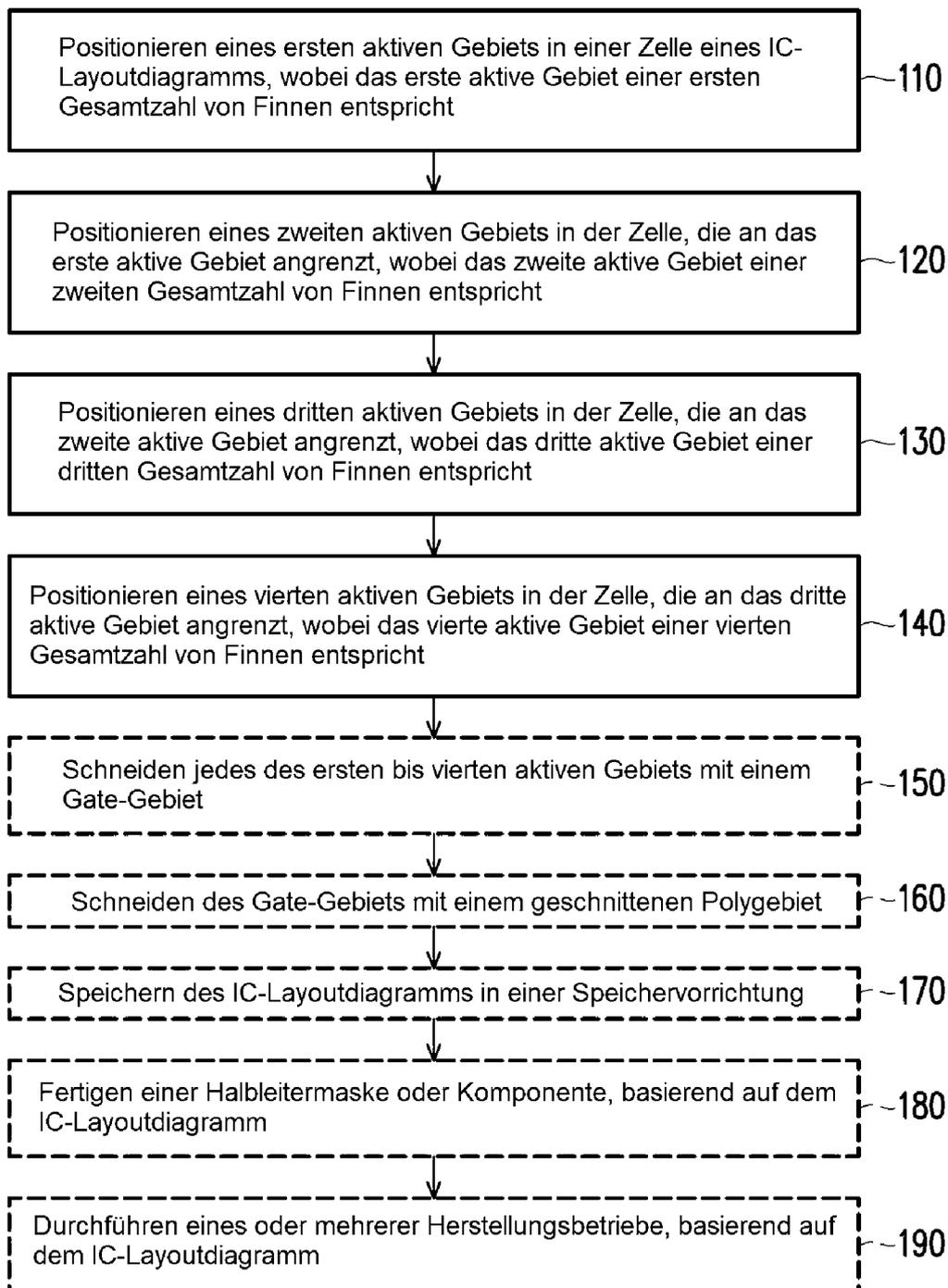
100

FIG. 1

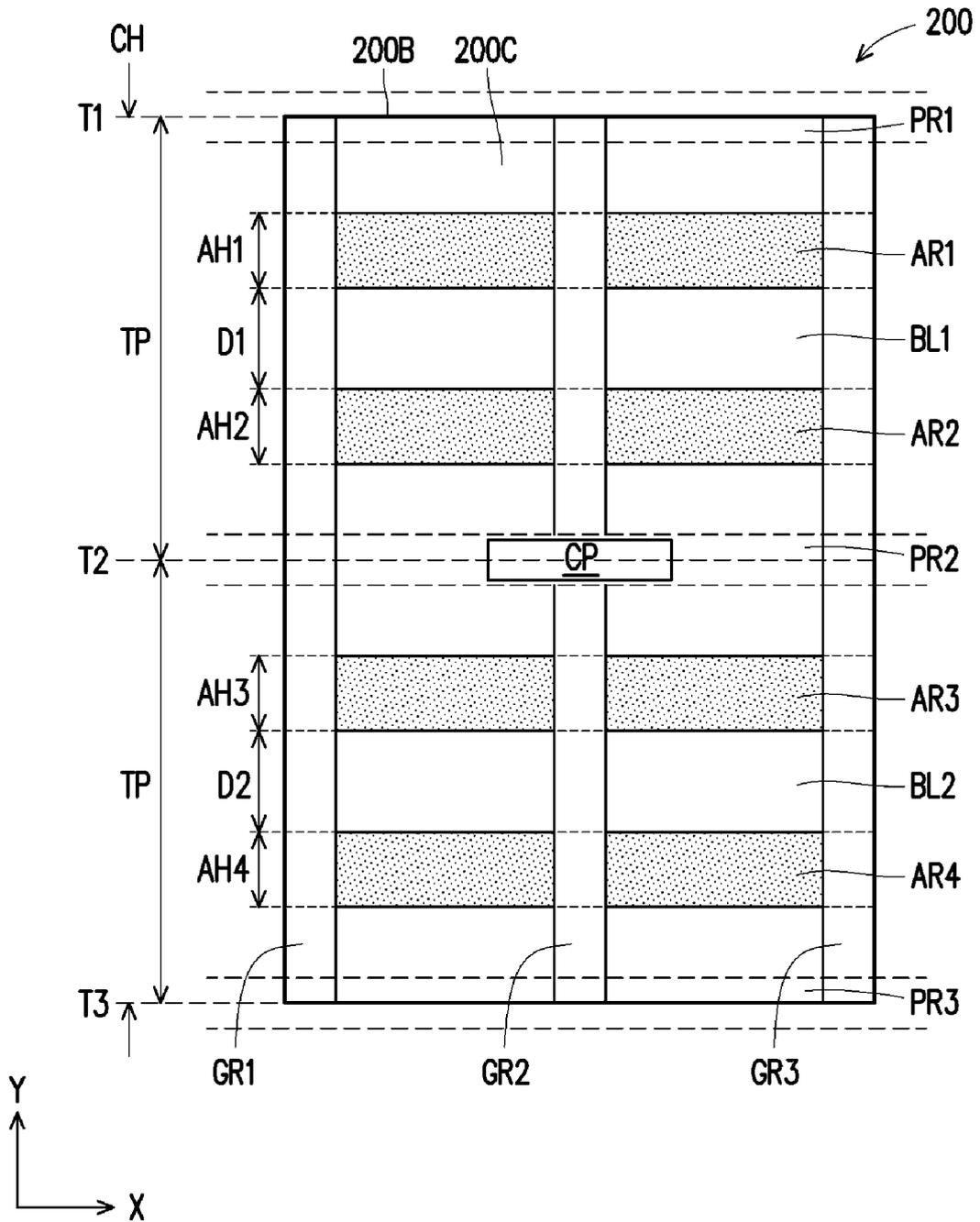
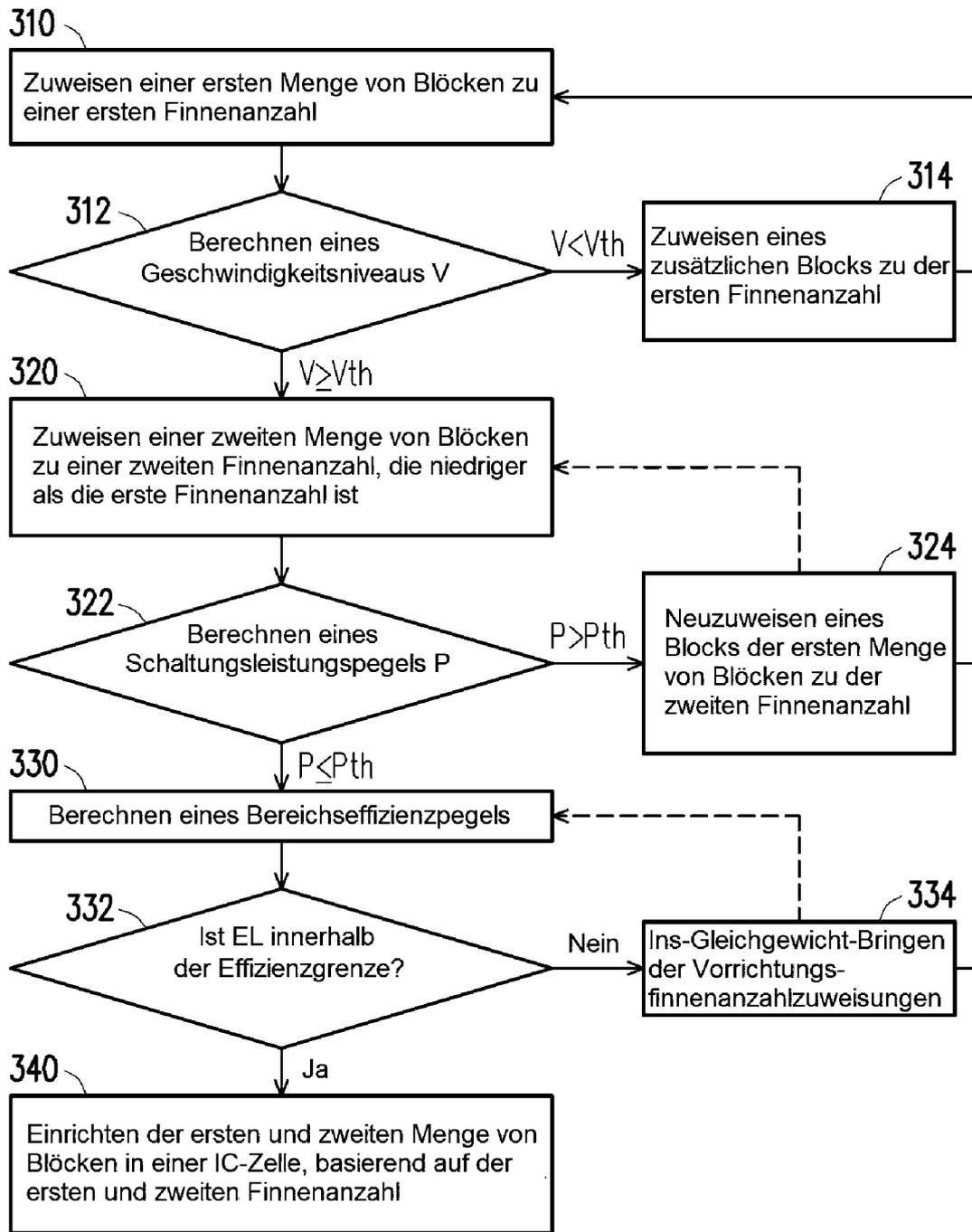
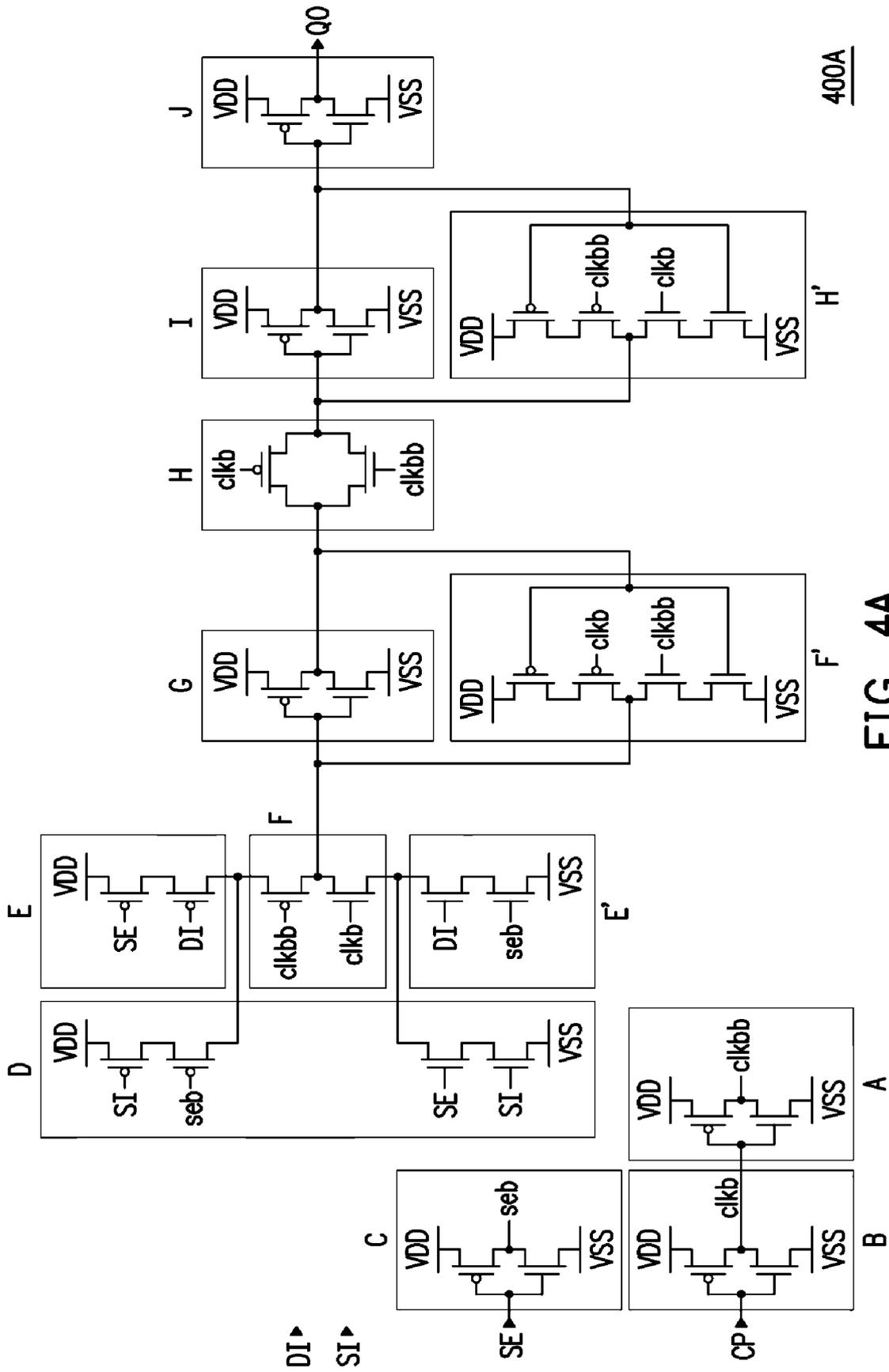


FIG. 2



300

FIG. 3



400A

FIG. 4A

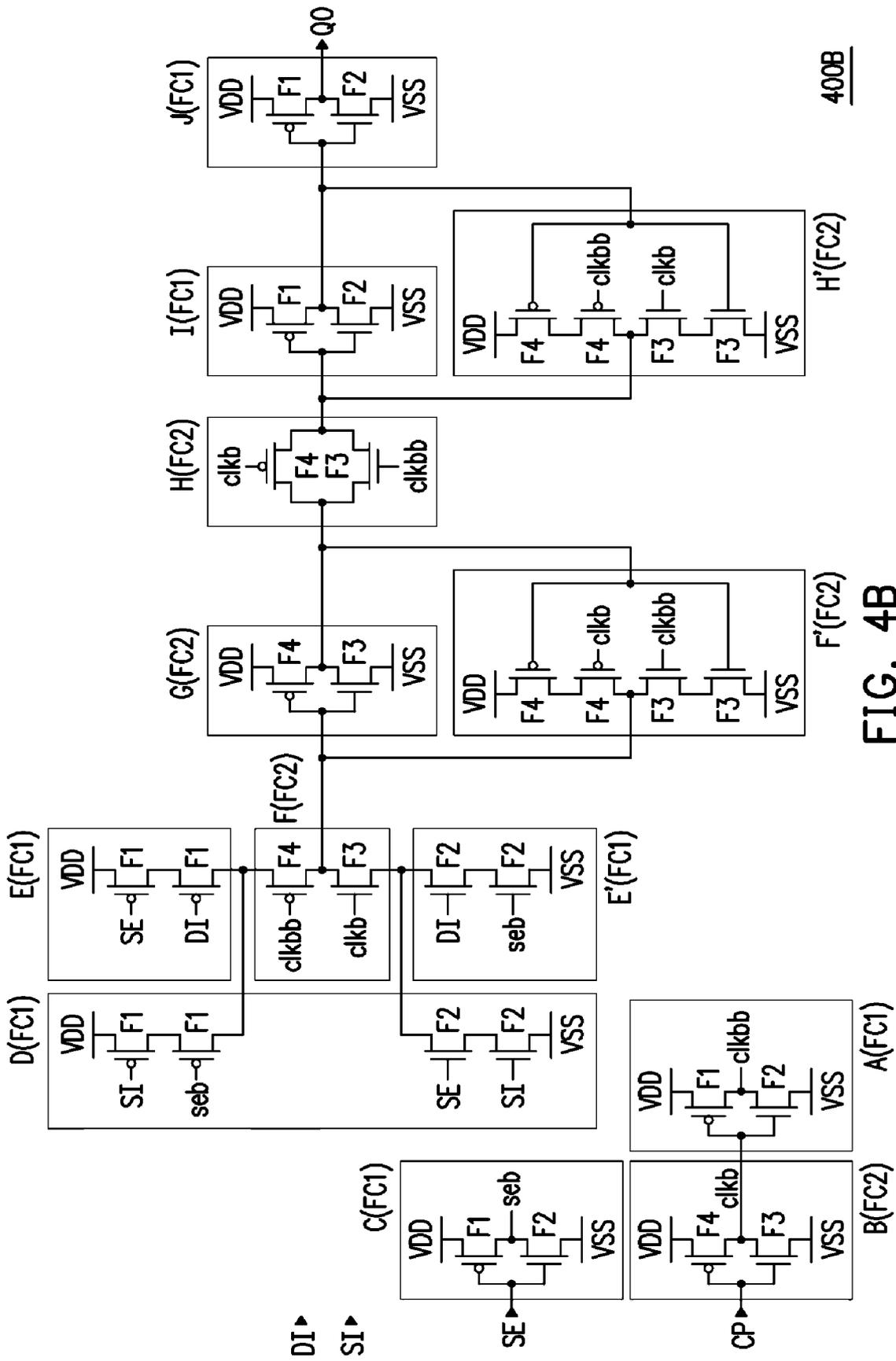


FIG. 4B

400B

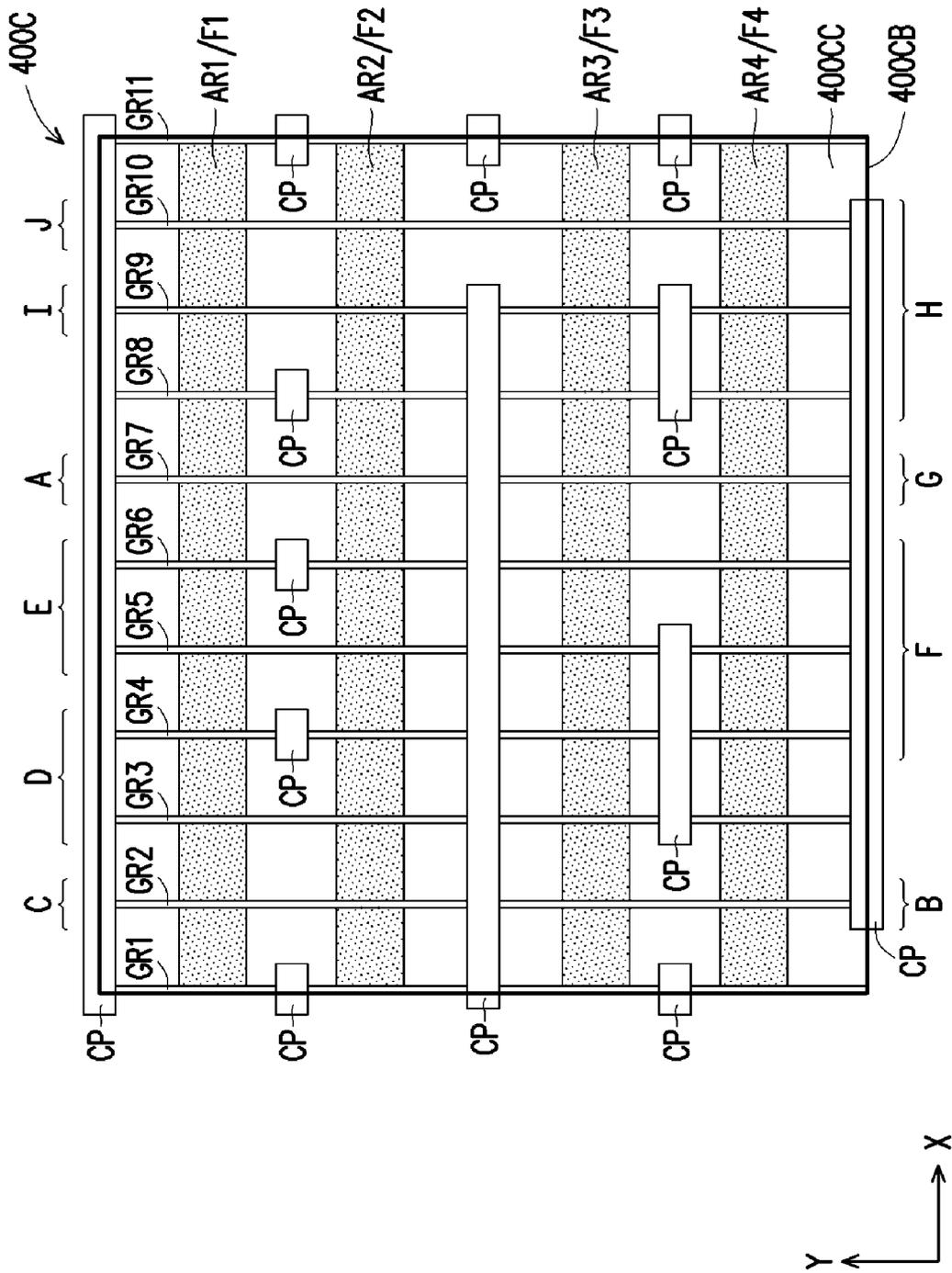


FIG. 4C

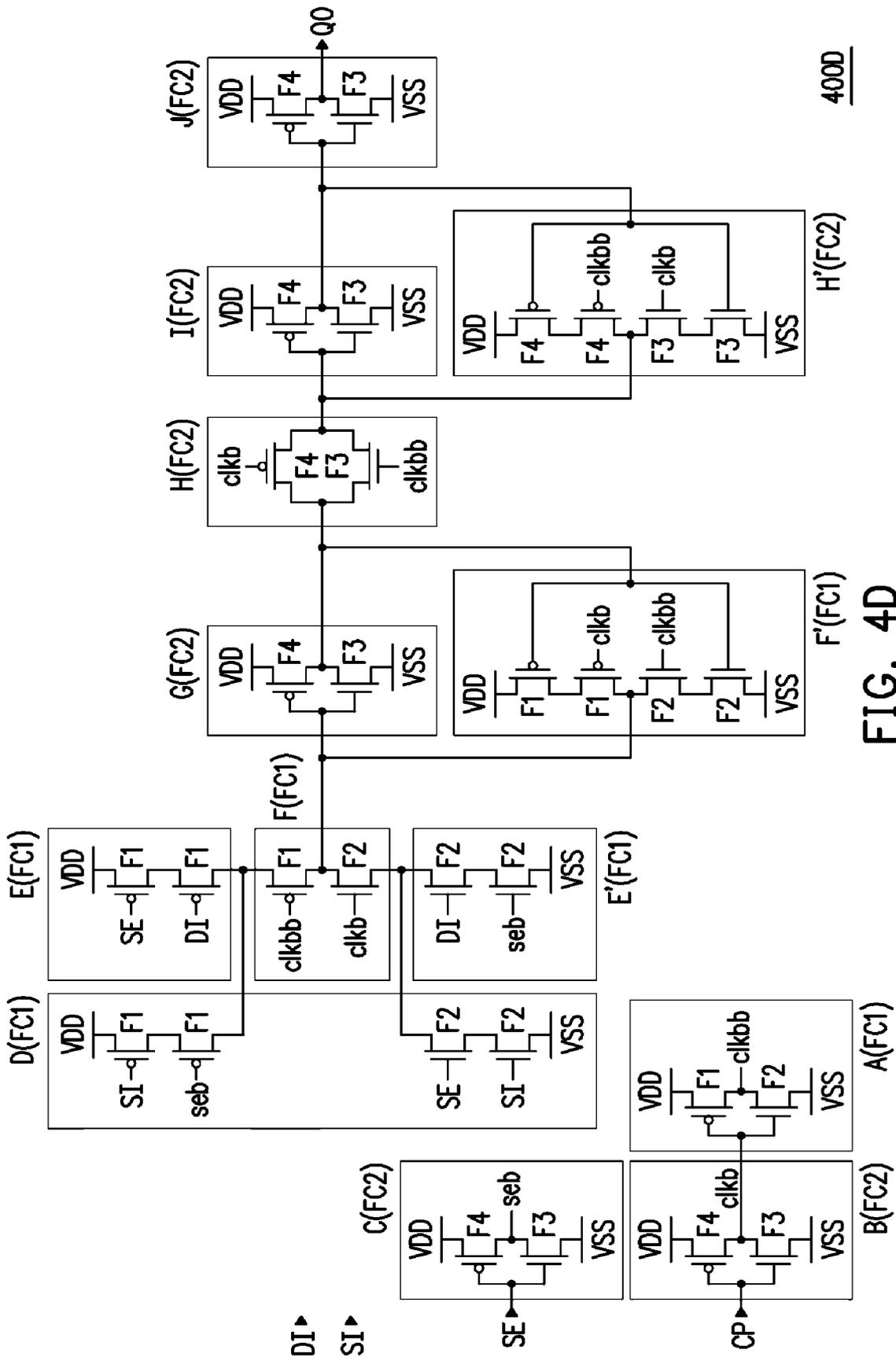


FIG. 4D

400D

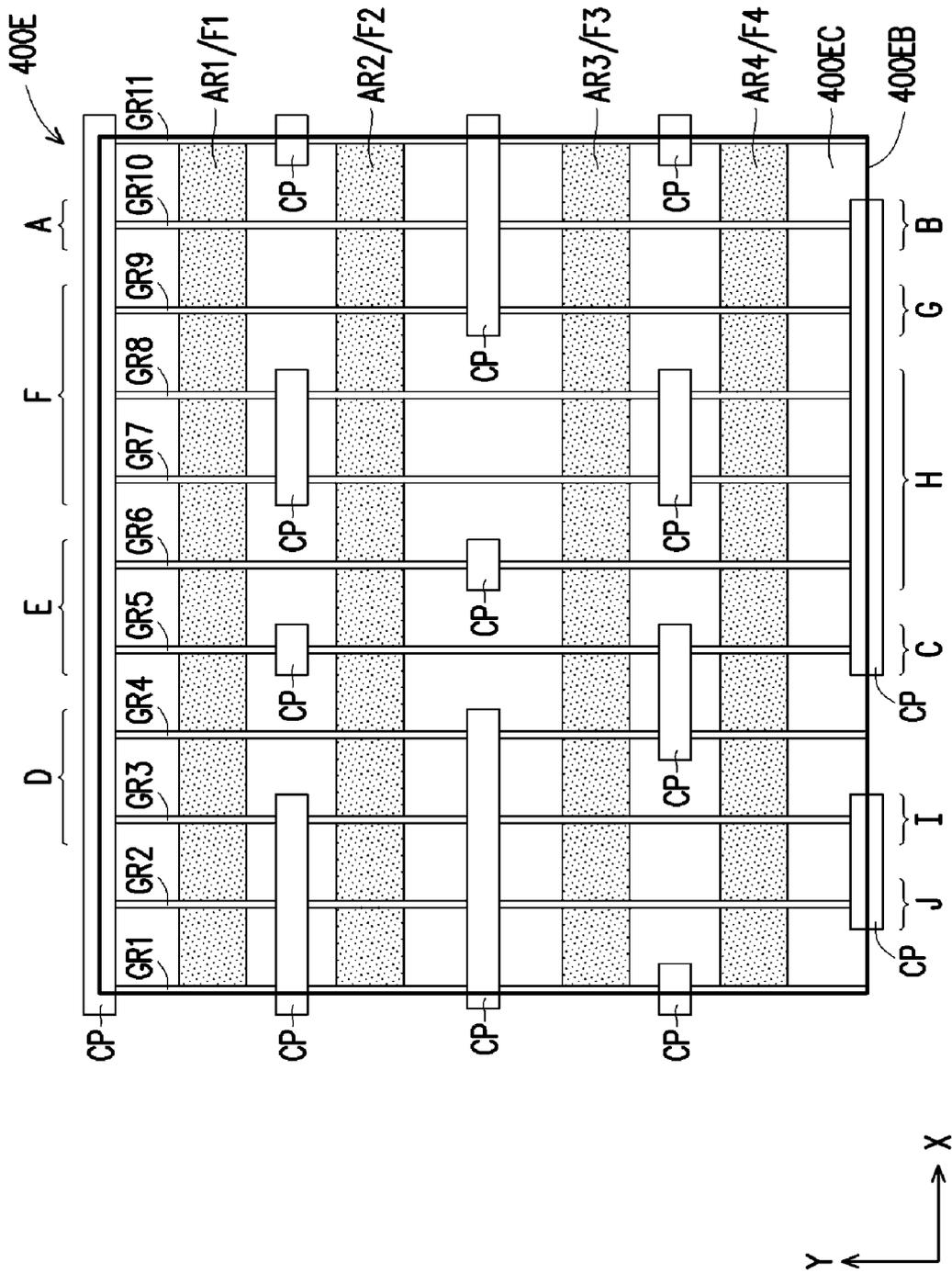


FIG. 4E

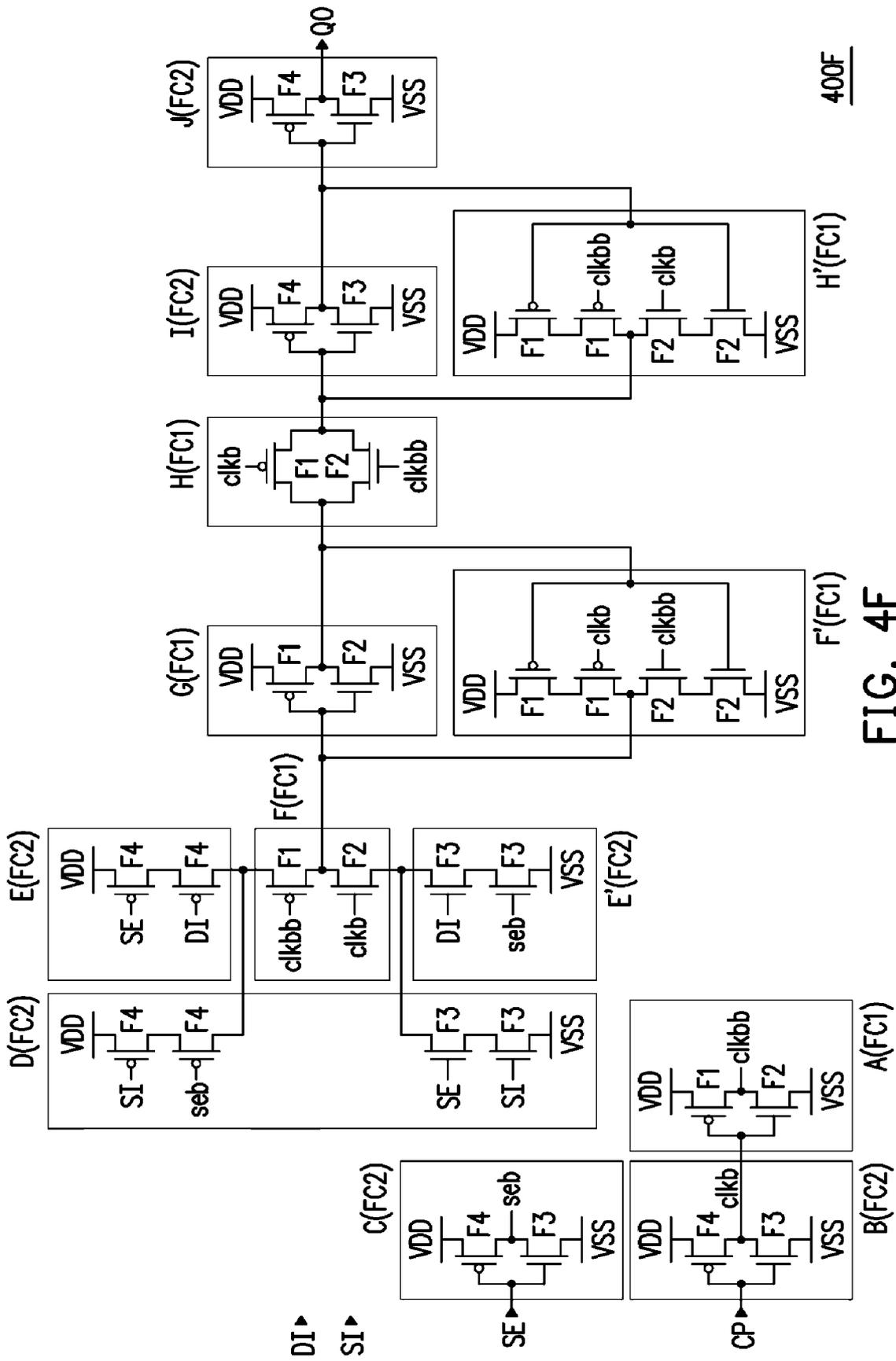


FIG. 4F

400F

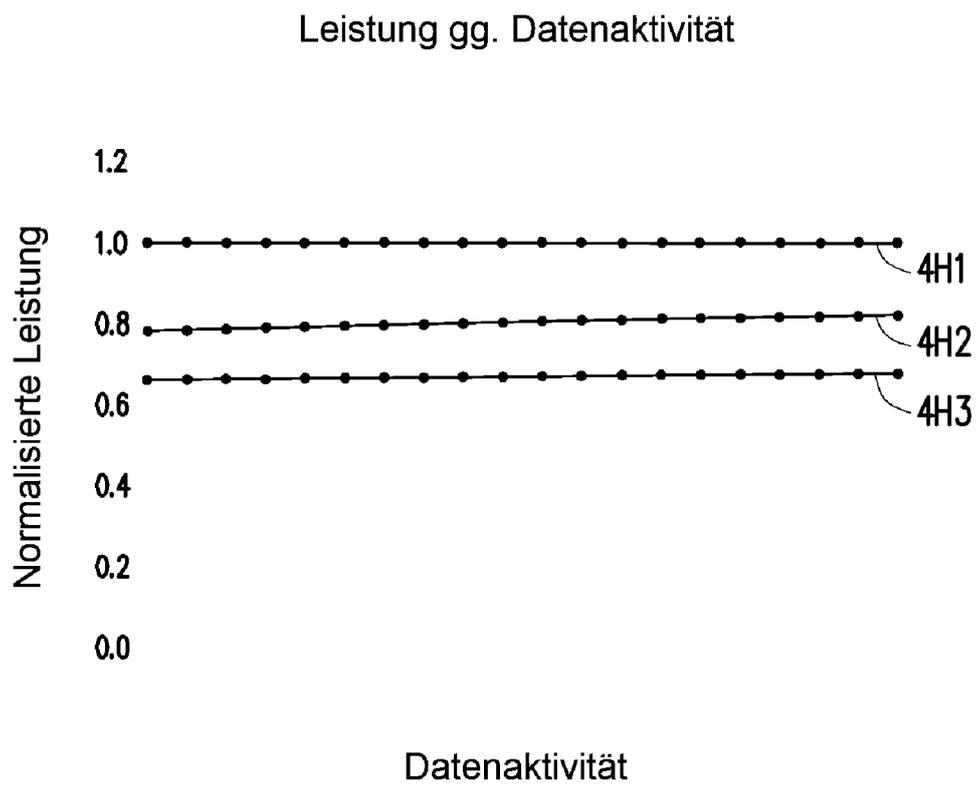


FIG. 4H

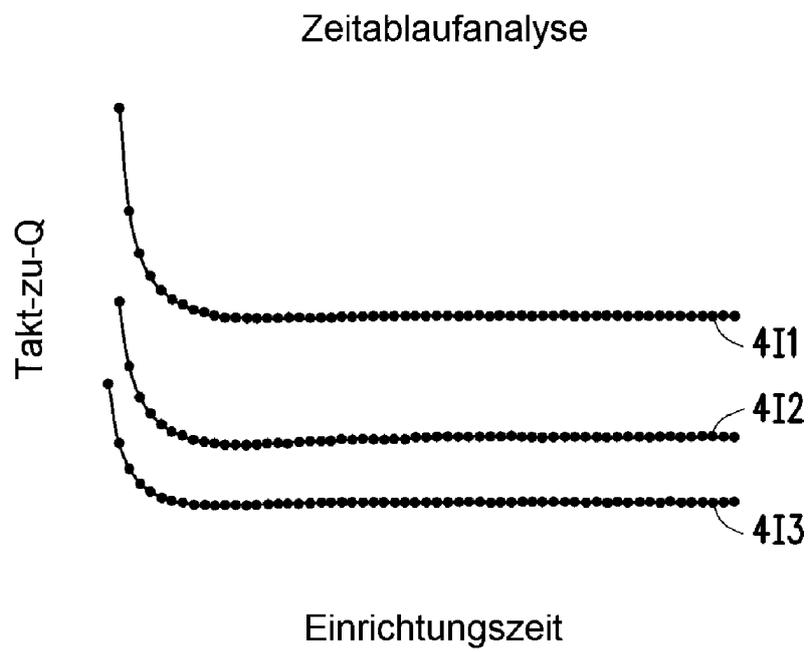
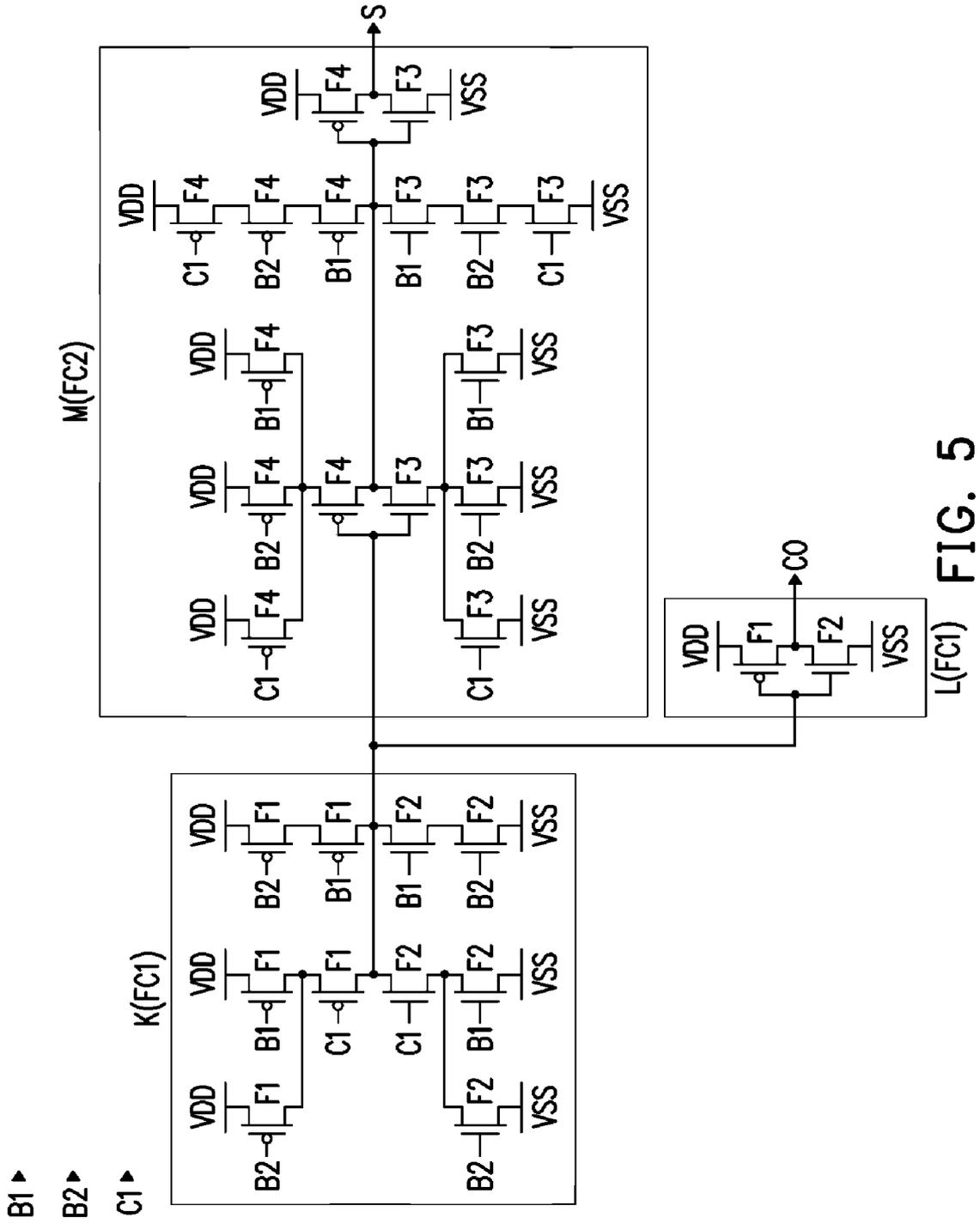


FIG. 4I



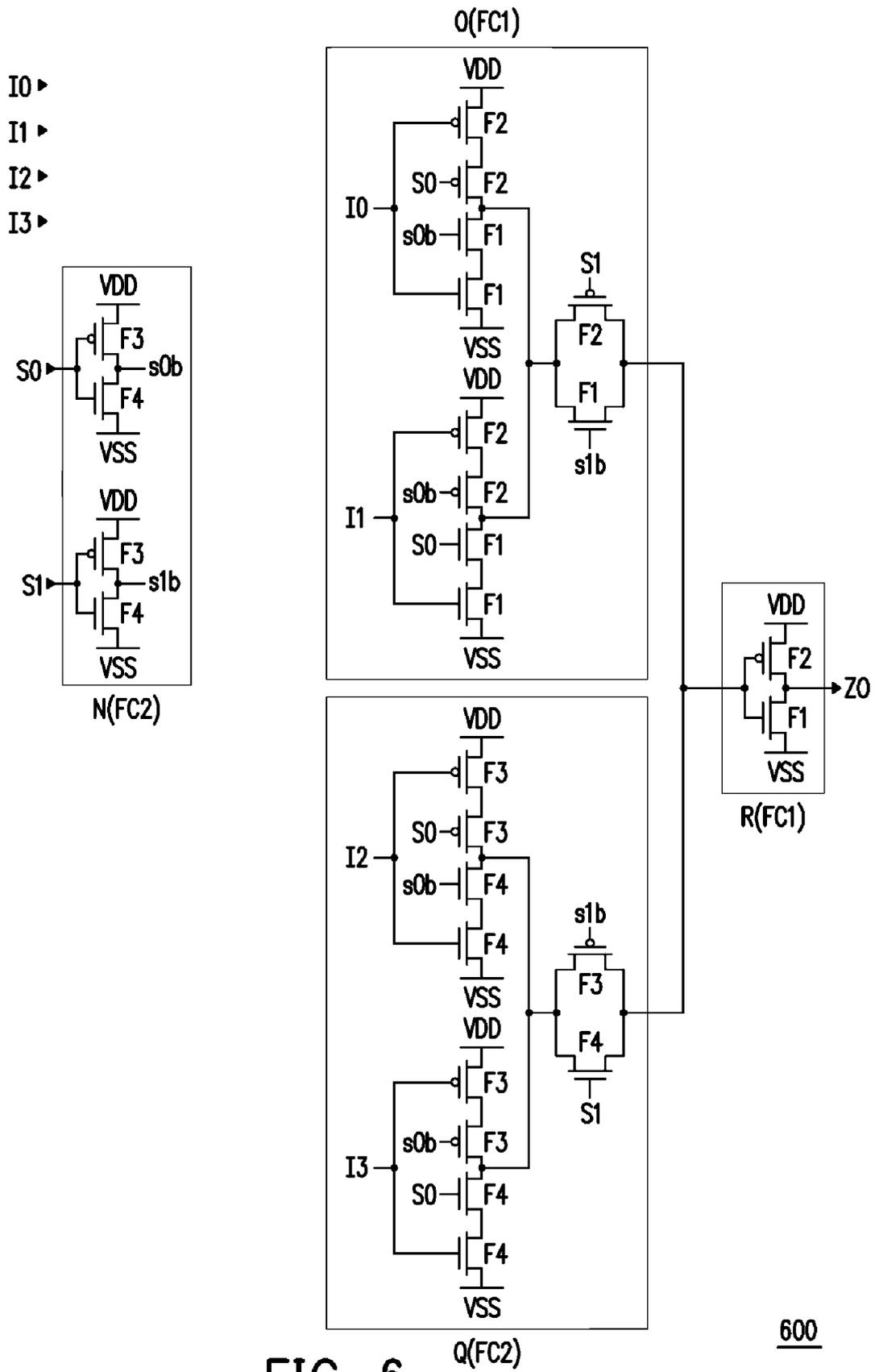


FIG. 6

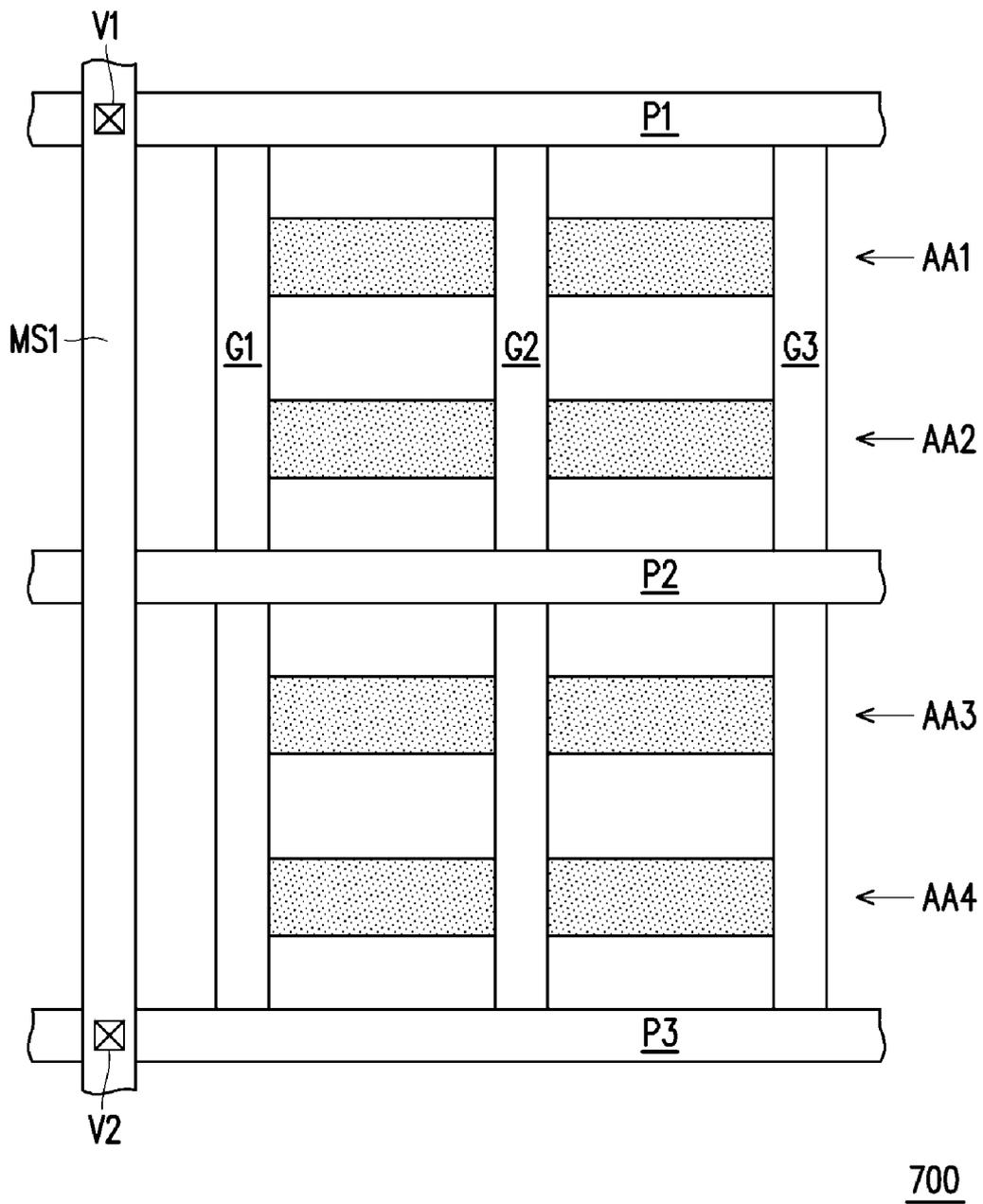


FIG. 7

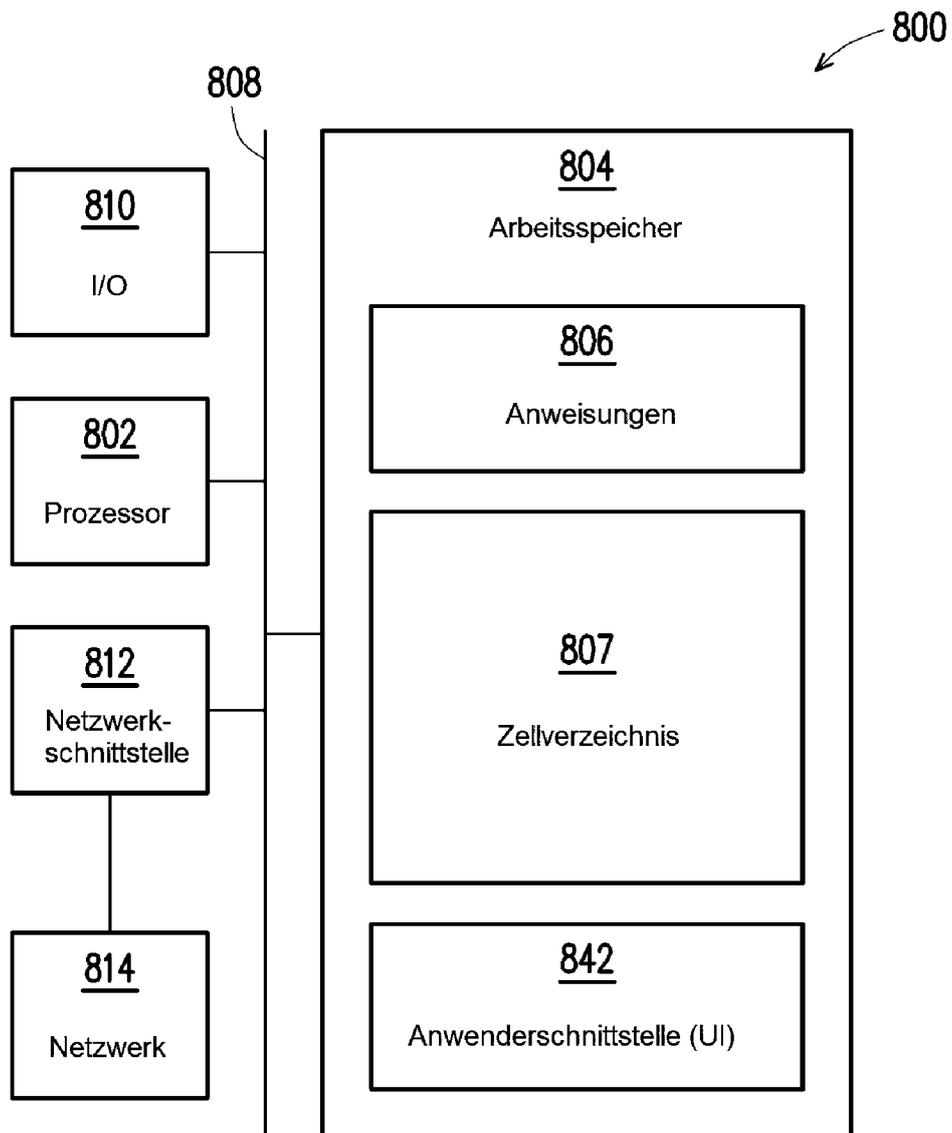


FIG. 8

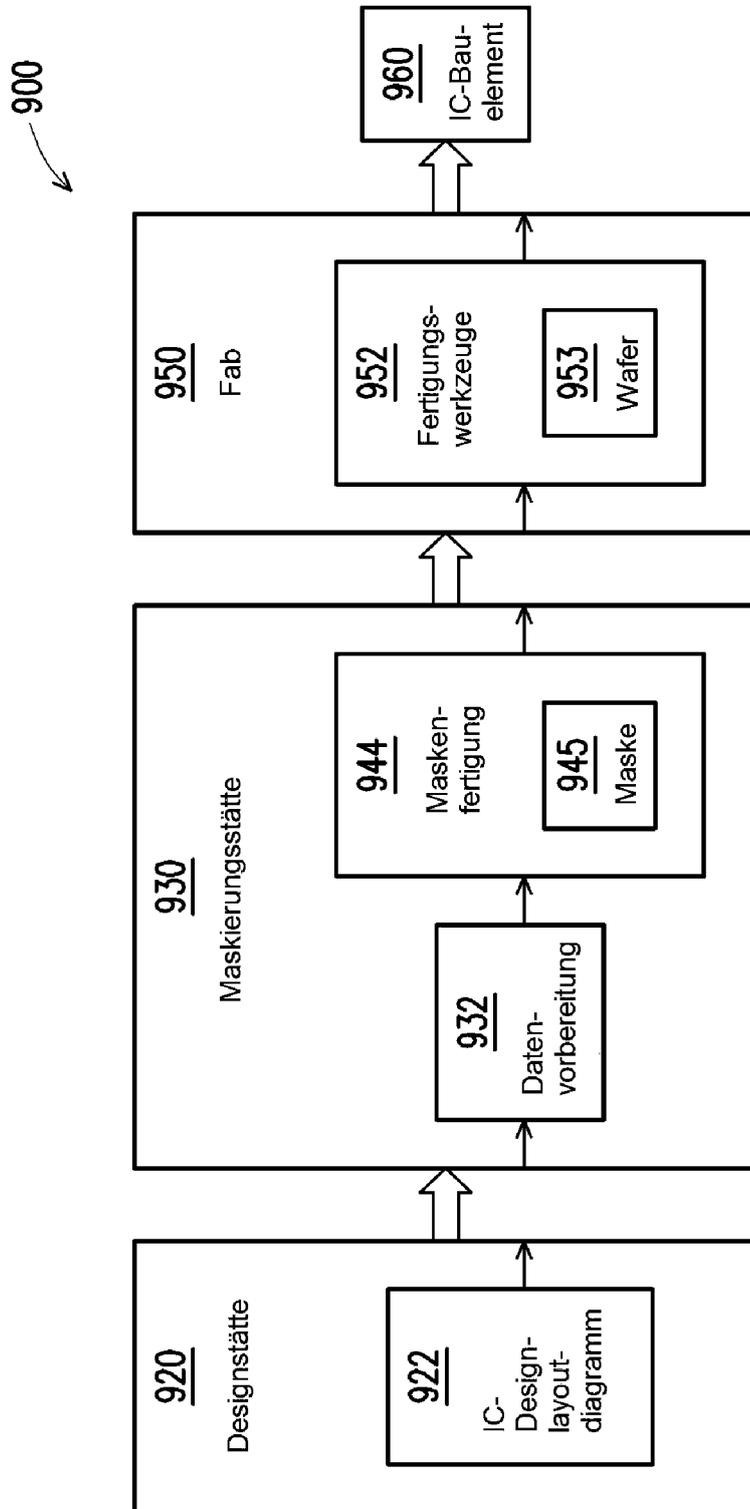


FIG. 9