

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-109370

(P2010-109370A)

(43) 公開日 平成22年5月13日(2010.5.13)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H01L 21/304 (2006.01)</b>	H01L 21/304	621A 3C058
<b>B24B 37/04 (2006.01)</b>	B24B 37/04	Z
<b>B24B 37/00 (2006.01)</b>	B24B 37/04	F
	B24B 37/04	X
	B24B 37/00	H

審査請求 有 請求項の数 20 O L 外国語出願 (全 41 頁) 最終頁に続く

(21) 出願番号	特願2009-245121 (P2009-245121)	(71) 出願人	599119503
(22) 出願日	平成21年10月26日 (2009.10.26)		ジルトロニック アクチエンゲゼルシャフト
(31) 優先権主張番号	10 2008 053 610.5		Siltronic AG
(32) 優先日	平成20年10月29日 (2008.10.29)		ドイツ連邦共和国 ミュンヘン ハンスーザイデループラッツ 4
(33) 優先権主張国	ドイツ(DE)		Hanns-Seidel-Platz 4, D-81737 Muenchen, Germany
		(74) 代理人	100061815 弁理士 矢野 敏雄
		(74) 代理人	100094798 弁理士 山崎 利臣
		(74) 代理人	100099483 弁理士 久野 琢也

最終頁に続く

(54) 【発明の名称】 半導体ウェーハの両面をポリッシングする方法

## (57) 【要約】

【課題】 22 nmの未来世代の技術要件を満たし、450 mmのウェーハの新しい世代にも適している新規のポリッシング法を提供する。

【解決手段】 半導体ウェーハの裏面を研磨パッド中に固定された砥粒を含有する研磨パッドでポリッシングし、半導体ウェーハの前面を研磨パッド中に固定された砥粒を含有する研磨パッドで粗研磨し、微小粗さと微小損傷を半導体ウェーハの前面から研磨パッドでの半導体ウェーハの前面のポリッシングによって除去し、半導体ウェーハの前面を研磨パッド中に固定された砥粒を含有しない研磨パッドでの半導体ウェーハの前面のポリッシングによって仕上げポリッシングする。

【効果】 端面除外領域におけるローカルジオメトリの改善に適している。

【選択図】 なし

## 【特許請求の範囲】

## 【請求項 1】

次の工程を規定された順序で有する、半導体ウェーハの両面をポリッシングする方法において、

a) 半導体ウェーハの裏面を研磨パッド中に固定された砥粒を含有する研磨パッドでポリッシングし、この場合、このポリッシング工程中に、固体を含有しないポリッシング剤溶液は、半導体ウェーハの裏面と研磨パッドとの間に導入され；

b) 半導体ウェーハの前面を研磨パッド中に固定された砥粒を含有する研磨パッドで粗研磨し、この場合、このポリッシング工程中に、固体を含有しないポリッシング剤溶液は、半導体ウェーハの前面と研磨パッドとの間に導入され；

c) 微小粗さと微小損傷を半導体ウェーハの前面から研磨パッドでの半導体ウェーハの前面のポリッシングによって除去し、この場合、このポリッシング工程中に、砥粒を含有するポリッシング剤溶液は、半導体ウェーハの前面と研磨パッドとの間に導入され；

d) 半導体ウェーハの前面を研磨パッド中に固定された砥粒を含有しない研磨パッドでの半導体ウェーハの前面のポリッシングによって仕上げポリッシングし、この場合、このポリッシング工程中に、砥粒を含有するポリッシング剤溶液は、半導体ウェーハの前面と研磨パッドとの間に導入されることを特徴とする、半導体ウェーハの両面をポリッシングする方法。

10

## 【請求項 2】

工程 a) および工程 b) によるポリッシング剤溶液は、水または化合物の炭酸ナトリウム ( $\text{Na}_2\text{CO}_3$ )、炭酸カリウム ( $\text{K}_2\text{CO}_3$ )、水酸化ナトリウム ( $\text{NaOH}$ )、水酸化カリウム ( $\text{KOH}$ )、水酸化アンモニウム ( $\text{NH}_4\text{OH}$ )、テトラメチルアンモニウムヒドロキシド (TMAH) またはこれらの任意の混合物の水溶液である、請求項 1 記載の方法。

20

## 【請求項 3】

ポリッシング剤溶液の pH は、10 ~ 12 であり、ポリッシング剤溶液中の前記化合物の割合は、0.01 ~ 10 質量% である、請求項 2 記載の方法。

## 【請求項 4】

さらにポリッシング工程を工程 b) と工程 c) との間で研磨パッド中に固定された砥粒を含有する研磨パッドで実施し、この場合この砥粒を含有するポリッシング剤溶液は、ポリッシング工程中に半導体ウェーハの前面と研磨パッドとの間に導入される、請求項 1 から 3 までのいずれか 1 項に記載の方法。

30

## 【請求項 5】

工程 c) および工程 d) によるポリッシング剤懸濁液中の砥粒の割合は、有利に 0.25 ~ 20 質量% である、請求項 1 から 3 までのいずれか 1 項に記載の方法。

## 【請求項 6】

工程 c) および工程 d) によるポリッシング剤懸濁液中の砥粒の割合は、有利に 0.25 ~ 1 質量% である、請求項 1 から 3 までのいずれか 1 項に記載の方法。

## 【請求項 7】

平均粒径は、5 ~ 300 nm である、請求項 6 記載の方法。

40

## 【請求項 8】

平均粒径は、5 ~ 50 nm である、請求項 7 記載の方法。

## 【請求項 9】

ポリッシング剤懸濁液中の砥粒は、元素のアルミニウム、セリウムまたはシリコンの酸化物の 1 つまたはそれ以上から構成されている、請求項 1 から 8 までのいずれか 1 項に記載の方法。

## 【請求項 10】

ポリッシング剤懸濁液は、コロイド状の分散シリカを含有する、請求項 9 記載の方法。

## 【請求項 11】

ポリッシング剤懸濁液の pH は、9 ~ 11.5 の範囲内にある、請求項 1 から 10 まで

50

のいずれか 1 項に記載の方法。

【請求項 1 2】

ポリッシング剤懸濁液の pH は、炭酸ナトリウム ( $\text{Na}_2\text{CO}_3$ )、炭酸カリウム ( $\text{K}_2\text{CO}_3$ )、水酸化ナトリウム ( $\text{NaOH}$ )、水酸化カリウム ( $\text{KOH}$ )、水酸化アンモニウム ( $\text{NH}_4\text{OH}$ )、テトラメチルアンモニウムヒドロキシド (TMAH) またはこれらの化合物の任意の混合物から選択された添加剤によって調節される、請求項 1 から 1 1 までのいずれか 1 項に記載の方法。

【請求項 1 3】

工程 a) および工程 b) で使用される研磨パッドは、元素のセリウム、アルミニウム、シリコンまたはジルコニウムの酸化物の粒子、または硬質物質、例えば窒化ケイ素、窒化ホウ素またはダイヤモンドの粒子から選択された砥粒を含有する、請求項 1 から 1 2 までのいずれか 1 項に記載の方法。

10

【請求項 1 4】

固定された砥粒を含有しない研磨パッドは、工程 c) で使用される、請求項 1 から 1 3 までのいずれか 1 項に記載の方法。

【請求項 1 5】

固定された砥粒を含有する研磨パッドは、工程 c) で使用される、請求項 1 から 1 3 までのいずれか 1 項に記載の方法。

【請求項 1 6】

請求項 13 記載の砥粒を有する研磨パッドを使用する、請求項 1 5 記載の方法。

20

【請求項 1 7】

半導体ウェーハは、300 mm またはそれ以上の緒系を有するシリコンウェーハである、請求項 1 から 1 6 までのいずれか 1 項に記載の方法。

【請求項 1 8】

請求項 1 記載の方法によって研磨された前面および裏面、ならびに THA - 2 (SEM I 標準 M 4 3) として表現された、1 ~ 10 nm の前面ナノポロジを有する、300 mm またはそれ以上の直径を有するシリコンウェーハ。

【請求項 1 9】

THA - 2 として表現された、1 ~ 5 nm の前面ナノポロジを有する、請求項 1 7 記載のシリコンウェーハ。

30

【請求項 2 0】

450 mm の直径を有する、請求項 1 7 または 1 8 記載のシリコンウェーハ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体ウェーハの両面をポリッシングする方法に関する。

【0002】

殊に、本発明は、次世代の技術のシリコンウェーハ、主に 450 mm の直径を有するウェーハをポリッシングすることを意図している。

【背景技術】

40

【0003】

現在、300 mm の直径を有する、研磨されたかまたはエピタキシー処理された半導体ウェーハは、電子工業において最も要求の厳しい用途に使用されている。200 mm の直径を有するシリコンウェーハは、次第に 300 mm のウェーハによって置き換えられている。

【0004】

マイクロプロセッサであろうとメモリーチップスであろうと、それらの構成部品の製造のために電子工業でよりいっそう大きな基板が何故要求されているのかという疑問に対する本質的な理由は、この構成部品に見込まれる多大な経済的利点にある。半導体工業においては、有用な基板領域上にピントを合わせるか、或いは換言すれば、如何にして数多

50

くの構成部品、即ち論理チップスまたはメモリーチップスを個々の基板上に収容することができるのかを久しく考察してきた。これは、構成部品の製造業者の多重の処理工程が全ての基板を意図しているが、しかし、基板を構成するための個々の工程も存在し、即ち構成部品の構造体を製造し、その後個々のチップスを生じる個々の工程も存在し、それ故に、処理工程の2つのグループのための製造費は、殊に基板の寸法によって決定されるという事実に関連する。基板の寸法は、構成部品による製造費に著しく影響を及ぼし、それ故に、測り知れない経済的重要性を有する。

【0005】

しかし、基板の直径を増加させることは、大きな、時として全く新しくこれまで知られていない技術的問題を必然的に伴なう。

【0006】

最後に、全ての処理工程は、該処理工程が純粋に機械的（鋸引き、研磨、ラップ仕上げ）なのか、化学的（エッチング、清浄化）なのか、或いはケミカルメカニカル的（ポリッシング）なのか、ならびに熱的処理（エピタキシー、アニーリング）なのかは、殊に前記処理工程に使用される機械およびシステム（装置）に関連して十分な修正が必要である。

【0007】

本発明は、ウェーハがメモリーチップスの製造に意図されている場合には最後の本質的な処理工程として半導体ウェーハのポリッシングにピントを合わせており、或いはウェーハがマイクロプロセッサを製造するための所謂エピウェーハ（epi wafer）として使用されることに意図されている場合には原理的に半導体ウェーハのエピタキシーより重要である、終わりから2番目の本質的な処理工程としてピントを合わせている。

【0008】

本発明者は、450mmのウェーハをポリッシングする方法には、基本的な変化が必要であることを見出した。新規のポリッシング法を定義することを考慮に入れた、公知技術水準で公知の前記のポリッシング法は、下記に呈示されるであろう。公知技術水準で公知の前記のポリッシング法は、両面ポリッシング（DSP）およびケミカルメカニカルポリッシング（CMP）の通常使用される方法の変法を含み、1つの場合には、粗研磨（stock polishing）としてポリッシング剤を供給しながら研磨パッドを用いて半導体ウェーハの両面をポリッシングすること（DSP工程）を有し、他の場合には、所謂曇りなしのポリッシングとしてよりいっそう軟質の研磨パッドを使用しながら前面（"構成部品側"）だけを仕上げポリッシングすること（CMP工程、"仕上げ加工"）を有するが、しかし、比較的新しい所謂"固定砥粒形ポリッシング"（FAP）技術も含み、この場合半導体ウェーハは、研磨パッド上でポリッシングされるが、しかし、この研磨パッドは、研磨パッド中に固定された砥粒を含有する（"固定砥粒形パッド（fixed-abrasive pad）"）。このようなFAPパッドが使用されるポリッシング工程は、簡潔さのために、以下、FAP工程と呼称される。

【0009】

WO 99/55491A1には、第1のFAP工程およびその後の第2のCMPポリッシング工程を有する2工程のポリッシング法が記載されている。CMPに対して、研磨パッドは、固定砥粒を含有していない。DSP工程の場合と同様に、砥粒は、ここでは懸濁液の形で半導体ウェーハと研磨パッドとの間に導入される。このような2工程のポリッシング法は、殊にFAP工程が基板のポリッシングされた表面上の背後に残された引掻き傷を除去するために使用される。

【0010】

また、欧州特許出願公開第1717001号明細書A1は、半導体ウェーハのポリッシングのために使用されるFAP工程の1例であり、この半導体ウェーハの表面構造部品の構造体は、未だ形成されていない。このような半導体ウェーハのポリッシングは、特に平面であり、最小の可能な微小粗さおよびナノトポグラフィーを有する少なくとも1つの側面を形成させることを主に意図するものである。

【0011】

10

20

30

40

50

US 2002/00609967A1の記載は、電子構成部品の製造中にトポグラフィカルな表面を平坦化するためのCMP法に関する。第1の目的は、FAP研磨パッドを使用した場合に比較的低い除去速度の欠点を多少とも解決させることである。一連のポリッシング工程が提案され、この場合ポリッシングは、最初にポリッシング剤懸濁液と組合わせてFAPパッドを用いて実施され、その後ポリッシング剤溶液と一緒にFAPパッドを用いて実施される。一連の工程は、慎重に除去速度を増加させるために選択される。均一な組成を有する材料から形成されたウェーハ、例えばシリコンウェーハのポリッシングは、この明細書中には、開示されていない。

【0012】

同様に、WO 03/074228A1には、電子構成部品の製造中にトポグラフィカルな(topographical)表面を平坦化するための方法が開示されている。この場合、この発明の目的は、CMP法の終止点を見い出すことにある。公知であるように、終止点を見出すことは、実際にはポリッシングされることが意図されていない領域の除去が引き起こされる前に、ポリッシング、ひいては材料の除去を即座に終結させることを含む。この目的のために、銅層をポリッシングするための2工程法が提案されている。第1工程において、FAP研磨パッドを用いてポリッシングは、実施され、この場合ポリッシング剤は、場合によっては自由砥粒粒子を含有していてもよいし、自由砥粒粒子を含有していなくともよい。しかしながら、第2のポリッシング工程においては、ポリッシングは、同様にFAPパッドを用いて実施され、ポリッシング剤を自由砥粒粒子と一緒に使用することは、本質的なことである。

10

20

【0013】

本願の優先権主張日には未だ刊行されていない、出願番号102007035266を有するドイツ連邦共和国特許出願には、互いに異なるFAPタイプの2つの工程を有し、固定砥粒を固体物質として含有するポリッシング剤懸濁液が1つのポリッシング工程で基板と研磨パッドとの間に導入され、一方、第2のポリッシング工程でポリッシング剤懸濁液が固体を含有しないポリッシング剤溶液によって代替されることを特徴とする、半導体材料から形成された基板をポリッシングするための方法が記載されている。

【0014】

ポリッシング剤の表現は、以下、ポリッシング剤懸濁液およびポリッシング剤溶液のための1つの包括的な用語として使用される。

30

【先行技術文献】

【特許文献】

【0015】

【特許文献1】WO 99/55491A1

【特許文献2】欧州特許出願公開第1717001号明細書A1

【特許文献3】US 2002/00609967A1

【特許文献4】WO 03/074228A1

【特許文献5】出願番号102007035266を有するドイツ連邦共和国特許出願

【発明の概要】

【発明が解決しようとする課題】

40

【0016】

目的

公知技術水準で公知の全ての方法は、常用の両面ポリッシング法およびFAPポリッシング法を含めて素材のポリッシングに関連して極めて重大な欠点を有する。

【0017】

半導体ウェーハの両面は、同時にポリッシングされ、通常、両面ポリッシングで"エッジロールオフ(edge roll-off)"と呼ばれている不利な端部対称、即ち半導体ウェーハの厚さに対する端部の減少をまねく。試験によれば、この問題は、よりいっそう大きな直径を有するウェーハ、即ち例えば450mmの直径を有する前記ウェーハをポリッシングする場合であっても、さらに悪化されることを示した。よりいっそう大きな基板は、ウェー

50

八端部とウェーハの残りの領域との差動によるポリッシング除去率 (differential polishing removal) の増加を必然的に伴い、したがってエッジロールオフは、さらにいっそう顕著になる。

【0018】

これは、国際的に合意された所謂ロードマップ (ITRS, "International Technology Roadmap for Semiconductors", chapter "Front End Processes") によれば、半導体ウェーハの製造業者には、構成部品の製造に使用されるウェーハの領域を増大させかつ構成部品にとって有効でない所謂"端面除外領域 (edge exclusion)"を減少させることが要求されているという事実により、殊に問題である。

【0019】

2 mmの端面除外領域は、通例、受け入れ可能であると考えられているが、最初にこの寸法は、450 mmへのウェーハ直径の増加のために今後は達成がよりいっそう困難になり、その後たとえ1 mmに減少させるのであっても達成がよりいっそう困難になるであろう。

【0020】

これは、エッジロールオフを著しく減少させることによってのみ達成されるであろう。このエッジロールオフは、完全に除去されることが望ましい。

【0021】

ITRSロードマップによりいっそう厳格に要求されている別の要件は、半導体ウェーハのナノトポグラフィーである。ナノトポグラフィーは、2 mm x 2 mmの面積を有する平方寸法のウィンドウを基礎とする高さの変化PV (= "山対谷")として通常表現される。

【0022】

この場合も、以前のポリッシング法では半導体ウェーハの増加した要件を満たすには不十分であることが随分前に見い出された。

【0023】

最後に、エッジジオメトリーおよびナノトポグラフィーの代わりに、大域的な平坦性およびローカル平坦度も次世代の技術およびその後の世代の技術を形成させるのに極めて重要である。

【0024】

1つの特に重要な性質は、半導体ウェーハの前面のローカル平坦度またはローカルジオメトリーである。

【0025】

現在のステッパー技術では、例えばSFQR ("site front-surface referenced least squares/range" = 定義された寸法の構成部品表面 (測定ウィンドウ、"サイト") のために最小二乗最小化によって定義された、前面からの正負のずれの大きさ)として表現される、半導体ウェーハの前面の小区域中での場合によるローカル平坦度が要求される。ローカル平坦度の最大値SFQR<sub>max</sub>は、半導体ウェーハを考慮に入れた構成部品の表面のための最高のSFQR値を示す。

【0026】

ローカル平坦度の最大値は、従来、2 mmの端面除外領域を考慮に入れることによって測定された。基準端面除外領域の内側の半導体ウェーハ上の1つの領域は、従来、"固定品質領域 (fixed quality area)"、略してFQAと呼ばれてきた。FQAの外側に領域の一部を有しているが、しかし、FQAの内側に中心が位置しているサイトは、"部分サイト"と呼ばれる。

【0027】

一般に承認された経験則には、半導体ウェーハのSFQR<sub>max</sub>値は、半導体ウェーハ上に製造されるべき半導体構成部品のために前記半導体ウェーハに対して可能な線幅と等しくなければならないかまたはこの線幅より小さくなければならないことが述べられている。この値を越えると、ステッパーに対してピント合わせの問題をまねき、それ故に該当構

10

20

30

40

50

成部品の損失をまねく。

【0028】

現在、市場で入手可能な半導体ウェーハは、45nm世代の技術（線幅 = 45nm）に対応し、この技術は、次第に既に開発された32nm技術によって置き換えられており、したがって構成部品製造業者もこの程度にまで次第にデバイスプロセスを変更している。これに続くであろう22nm世代の技術は、既に開発中である。通常のポリッシング法では、実際に22nmの設計ルールの要件を満たすには不十分であることが見いだされた。

【0029】

それ故に、本発明の目的は、未来世代の技術要件を満たし、450mmのウェーハの新しい世代にも適している新規のポリッシング法を提供することである。

10

【課題を解決するための手段】

【0030】

本発明の説明

この目的は、次の工程を規定された順序で有する：

a) 半導体ウェーハの裏面を研磨パッド中に固定された砥粒を含有する研磨パッドでポリッシングし、この場合、このポリッシング工程中に、固体を含有しないポリッシング剤溶液は、半導体ウェーハの裏面と研磨パッドとの間に導入され；

b) 半導体ウェーハの前面を研磨パッド中に固定された砥粒を含有する研磨パッドで粗研磨し、この場合、このポリッシング工程中に、固体を含有しないポリッシング剤溶液は、半導体ウェーハの前面と研磨パッドとの間に導入され；

20

c) 微小粗さと微小損傷を半導体ウェーハの前面から研磨パッドでの半導体ウェーハの前面のポリッシングによって除去し、この場合、このポリッシング工程中に、砥粒を含有するポリッシング剤溶液は、半導体ウェーハの前面と研磨パッドとの間に導入され；

d) 半導体ウェーハの前面を研磨パッド中に固定された砥粒を含有しない研磨パッドでの半導体ウェーハの前面のポリッシングによって仕上げポリッシングし、この場合、このポリッシング工程中に、砥粒を含有するポリッシング剤溶液は、半導体ウェーハの前面と研磨パッドとの間に導入される、半導体ウェーハの両面をポリッシングする方法によって達成される。

【0031】

本発明者は、半導体ウェーハの前面および裏面の連続したポリッシングだけが前記方法に適していることを見出した。これまで使用されてきた、キャリアーディスク上に同時に保持された複数の半導体ウェーハを両面で研磨するバッチ式のポリッシング法は、前記方法のためには全く不十分であり、シングルディスク処理によって置き換える必要があった。

30

【0032】

半導体ウェーハの前面および裏面の前記のシングルディスク処理は、本発明によれば、有利に同じポリッシング機で連続して行なわれ、この処理は、粗研磨に対応するポリッシング工程（通常のDSP工程と同様）と曇りなしのポリッシングに対応するポリッシング工程（通常のCMPと同様）の双方を有する。

【0033】

40

裏面の処理は、第2のポリッシング機で行なわれるか、または半導体ウェーハの前面の処理に使用されたものと同じもので行なわれ、この後者の変法は、常にDSP工程およびCMP工程を含む先の通常の順序の場合よりも著しく少ないポリッシング装置を用いて行なうという利点を提供する。ウェーハの裏面を処理するために必要とされ、よりいっそう効果的に配置される第2のポリッシング機を有する変法のために、例えば全部で3個の研磨プレート上に固定砥粒形ポリッシングパッドを備えた、Applied Materials社のレフレクション型（the Reflection type）のポリッシング機を装備させ、その後ウェーハの裏面ポリッシングを実施することは、考えられる。その後の工程で、既に裏面ポリッシングされたウェーハは、同じ型の別のポリッシング機で、例えばロットごとに前面が研磨され、この場合には、項目b) ~ d)に記載されたポリッシング工程が連続して使用される

50

。

## 【0034】

更に、製造順序に伴う簡易化は、付加的な費用の節約を可能にする。

## 【0035】

本発明は、エッジロールオフの改善、殊に部分的なサイトの改善によって研磨された半導体ウェーハのエッジジオメトリーの改善を達成することを可能にする。ナノトポロジーまたはナノトポグラフィーに関連して、既に22nmの設計ルールの要件を満たす値が達成されている。

## 【0036】

これは、例えば端部領域内でジオメトリーにプラスに影響を及ぼすために、半導体ウェーハの2つの面を連続したポリッシングにより制御された方法で互いに適合させることができるので、可能なことである。

10

## 【0037】

本発明による方法は、公知技術水準によって予想されたものではない。それというのも、US 2002/0060996A1に記載の方法は、前面でのFAP工程に関連してまさに反対の順序を必要としているからである（本発明による方法の工程b）とc）参照）。従って、本発明に到達するために前記刊行物の記載から出発すると、当業者であれば、前記刊行物に開示された教示を乗り越えなければならない。しかし、本発明が示唆されるような前記刊行物に基づく明らかな考察は、何も存在していない。

## 【0038】

WO 03/074228A1に関連して、この刊行物中に記載された方法は、専ら銅のポリッシングを取り扱っており、この刊行物では、ポリッシング剤が第1のポリッシング工程で自由砥粒粒子を含有するかまたは含有しないかは重要なことではないと考えられることが強調されるべきである。

20

## 【0039】

最も簡単な場合で言えば、本発明の工程a）およびb）によるポリッシング剤溶液は、水、好ましくは半導体工業での使用のために通常の純度を有する脱イオン水（DIW）である。

## 【0040】

しかし、ポリッシング剤溶液は、化合物、例えば炭酸ナトリウム（ $\text{Na}_2\text{CO}_3$ ）、炭酸カリウム（ $\text{K}_2\text{CO}_3$ ）、水酸化ナトリウム（ $\text{NaOH}$ ）、水酸化カリウム（ $\text{KOH}$ ）、水酸化アンモニウム（ $\text{NH}_4\text{OH}$ ）、テトラメチルアンモニウムヒドロキシド（ $\text{TMAH}$ ）またはこれらの任意の望ましい混合物を含有していてもよい。炭酸カリウムの使用は、特に好ましい。この場合、ポリッシング剤溶液のpHは、好ましくは10～12の範囲内にあり、ポリッシング剤溶液中の前記化合物の割合は、好ましくは0.01～10質量%、特に好ましくは0.01～0.2質量%である。

30

## 【0041】

更に、ポリッシング剤溶液は、1つ以上の他の添加剤、例えば表面活性添加剤、例えば湿潤剤および界面活性剤、保護コロイドとして作用する安定剤、防腐剤、殺菌剤、アルコールおよび金属イオン封鎖剤を含有することができる。

40

## 【0042】

工程b）と工程c）との間で、さらにFAP工程は、工程c）と同様にはあるが、しかしFAPパッドを用いてポリッシング剤懸濁液を使用することによって有利に実施される。

## 【0043】

本発明による方法の工程c）および工程d）によるポリッシング剤懸濁液中の砥粒の割合は、好ましくは0.25～20質量%、特に好ましくは0.25～1質量%である。

## 【0044】

ポリッシング剤粒子の粒径分布は、好ましくは性質上、単峰性である。

## 【0045】

50



平均粒径は、5 ~ 300 nm、特に好ましくは5 ~ 50 nmである。

【0046】

ポリッシング剤は、基板材料、好ましくは元素のアルミニウム、セリウムまたはケイ素の酸化物の1つ以上を機械的に除去する材料から構成されている。

【0047】

コロイド状の分散シリカを含有するポリッシング剤懸濁液は、特に好ましい（シリカゾル、第1表および関連した記載参照；"Glanzox"）。

【0048】

ポリッシング剤懸濁液のpHは、好ましくは9 ~ 11.5の範囲内にあり、好ましくは炭酸ナトリウム（ $\text{Na}_2\text{CO}_3$ ）、炭酸カリウム（ $\text{K}_2\text{CO}_3$ ）、水酸化ナトリウム（ $\text{NaOH}$ ）、水酸化カリウム（ $\text{KOH}$ ）、水酸化アンモニウム（ $\text{NH}_4\text{OH}$ ）、テトラメチルアンモニウムヒドロキシド（ $\text{TMAH}$ ）または前記化合物の任意の混合物から選択される添加剤によって調節される。炭酸カリウムの使用は、特に好ましい。

10

【0049】

更に、ポリッシング剤溶液は、1つ以上の他の添加剤、例えば表面活性添加剤、例えば湿潤剤および界面活性剤、保護コロイドとして作用する安定剤、防腐剤、殺菌剤、アルコールおよび金属イオン封鎖剤を含有することができる。

【0050】

本発明により研磨される適当な基板として、殊に材料、例えばケイ素、ヒ化ガリウム、 $\text{Si}_x\text{Ge}_{1-x}$ 、サファイアおよび炭化ケイ素から構成された半導体ウェーハを考慮することができる。

20

【0051】

特に好ましい基板は、ケイ素から構成された半導体ウェーハおよびこのケイ素に由来する基板である。研磨すべきシリコン半導体ウェーハの前面は、結晶からの半導体ウェーハのスライシング後、半導体ウェーハのラッピング後、半導体ウェーハの研磨後、半導体ウェーハのエッチング後または半導体ウェーハが既にポリッシングされた後に得られたような状態であることができる。

【0052】

シリコン半導体ウェーハに由来する基板は、殊に1つの層構造を有する基板、例えばエピタキシーによって析出された層を有する半導体ウェーハ、SOI基板（"Silicon On Insulator"）、およびsSOI基板（Strained Silicon On Insulator）およびその相応する中間製品（例えば、SGOI）="Silicon-Germanium On Insulator"を意味することを意図する。

30

【0053】

中間製品は、ドナー半導体ウェーハをも含み、この場合このドナー半導体ウェーハの層は、殊にSOI基板の製造中に他の基板に転移している。再使用可能であるようにするためには、比較的粗面でありかつ端部領域中に特徴のある段を有する、相転移に晒されたドナー半導体ウェーハの表面を平滑にすることが必要である。

【0054】

研磨すべき基板の表面は、シリコンから構成されている必要はないし、シリコンだけから構成されている必要はない。この研磨すべき基板の表面は、例えばIII-V化合物半導体、例えばヒ化ガリウムまたはシリコンとゲルマニウムとの合金（ $\text{Si}_x\text{Ge}_{1-x}$ ）から構成されている層であることができる。

40

【0055】

他の例は、リン化インジウム、窒化ガリウムおよびヒ化ガリウムアルミニウムの層である。このような層は、通常、"発光ダイオード"（=LEDs）の製造に殊に重要である。

【0056】

$\text{Si}_x\text{Ge}_{1-x}$ 層の表面は、しばしば転位によって引き起こされたパターンによって特徴付けられており、"クロスハッチ（cross hatch）"として公知であり、一般にこの表面は、1つ以上の他の層が前記表面上に析出されうる前に平坦化されなければならない。

50

## 【0057】

ゲルマニウムまたは  $Si_xGe_{1-x}$  の層を有する基板が本発明により研磨されうるならば、ポリッシング剤懸濁液またはポリッシング剤溶液、またはこれら双方は、酸化剤を他の添加剤として含有することができる。

## 【0058】

適当な酸化剤は、過酸化水素 ( $H_2O_2$ ) およびオゾン ( $O_3$ ) である。これらの酸化剤の添加は、ゲルマニウムを水溶性化合物に変換する。

## 【0059】

前記の酸化剤の添加なしに、ゲルマニウムを含有する粒子は、ポリッシングの経過中に形成されることができ、研磨された表面に引掻き傷を付けうる。

10

## 【0060】

大きな直径を有する基板、例えば 300 mm の直径または殊に 450 mm の直径を有するシリコン半導体ウェーハは、本発明によれば、個別的に研磨される。別々のポリッシング工程 (本発明による方法の工程 a)、b)、c) および d) による少なくとも 4 つの工程) は、前面および裏面の双方に対して連続して実施される。

## 【0061】

本発明は、前面および裏面の同時ポリッシングに同時に関連するものではない (DSP)。本発明によれば、半導体ウェーハの片面だけは、それぞれの処理工程でそれぞれ処理される。

## 【0062】

本質的には、半導体ウェーハは、"研磨ヘッド"を用いて、研磨プレート上に置かれた研磨パッドに対して研磨すべき側面で加圧される。

20

## 【0063】

また、研磨ヘッドは、基板を側方で包囲しかつ研磨中に研磨ヘッドによる滑りから基板を回避させる"リテーナリング"を有する。

## 【0064】

現在の研磨ヘッドでは、研磨パッドから向きがそれている半導体ウェーハの側面は、発揮される研磨圧力を伝達する弾性膜上に支持されている。この膜は、気体または液体のクッションを形成する、場合によっては細分割されたチャンバー系の 1 つの構成部品である。

30

## 【0065】

それにも拘わらず、弾性バックリング ("バックリングパッド") が膜の代わりに使用される研磨ヘッドが使用されている。この弾性バックリングは、一般に堅固に製造されたプレート ("バックリングプレート") 上に適用されている。更に、バックリングパッドとウェーハの裏面との間で、エアークッションは、場合によりウェーハの裏面上の種々の帯域に亘って発生させることができる。更に、ウェーハが所謂"テンプレート"を用いて、即ち裏面プレートおよび弾性バックリング ("バックリングパッド") 上に適用されているリテーナリングを用いて研磨される場合には、研磨ヘッドも使用される。定義された厚さを有するリテーナリングは、ウェーハがポリッシング中にキャリアー中の位置を維持するように使用される。このリテーナリングの厚さは、所謂"埋め込み型ウェーハ"として記載されるウェーハ自体よりも厚手であるかまたは突き出し型ウェーハの用語が使用される場合には、薄手であるように選択されてよい。

40

## 【0066】

基板のポリッシングは、ポリッシング剤を基板と研磨パッドとの間に供給しながら研磨ヘッドおよび研磨プレートを回転させることによって実施される。

## 【0067】

更に、研磨ヘッドは、研磨パッド上を平行移動されてもよく、したがって研磨パッド表面のよりいっそう幅広い使用が達成される。

## 【0068】

更に、本発明による方法は、シングルプレートポリッシング機 (single-plate polishing

50

machine) およびマルチプレートポリッシング機 (multi-plate polishing machine) 上で同様に実施されてよい。

【0069】

好ましくは、2個、特に好ましくは3個の研磨プレートおよび研磨ヘッドを備えたマルチプレートポリッシング機を使用することは、有利である。

【0070】

異なる研磨パッドおよび異なるポリッシング剤が使用されてもよい。

【0071】

本発明による方法においては、研磨パッド中に固定された砥粒を含有する研磨パッドは、それぞれ工程 a) および b) で使用される (FAPパッドまたはFAパッド)。

10

【0072】

適当な砥粒は、例えば元素のセリウム、アルミニウム、ケイ素、ジルコニウムの酸化物の粒子および硬質材料、例えば炭化ケイ素、窒化ホウ素およびダイヤモンドの粒子を含有する。

【0073】

特に好適な研磨パッドは、複製された微小構造によって造形された表面トポグラフィを有する。前記の複数の微小構造 ("複数のポスト") は、例えば円筒形または多角形の断面を有する柱 (column) の形または錐体または角錐台の形を有する。

【0074】

このような研磨パッドは、商業的に入手可能であり、例えば3M Corp. 社、SAによって提供されている (例えば、3M社からの"ESP 001")。このような研磨パッドのよりいっそう詳細な記載は、例えばWO 92/13680 A1およびUS 2005/227590 A1中に含まれている。

20

【0075】

粗研磨パッドは、工程 c) で有利に使用される。このために、例えば、Rohm & Haas社からのSUBA™類の研磨パッド、例えばSUBA™ 1250 ("ストックパッド") または典型的なCMP研磨パッド ("仕上げパッド")、例えばRodel (登録商標) からのSPM 3100は、適している。しかし、本発明による方法の工程 b) の場合には、FAPポリッシングパッド、即ち粗研磨パッドおよびCMP研磨パッドとは異なって固定砥粒を含有する研磨パッドであってもよい。

30

【0076】

従って、処理工程 b) および c) は、同じ研磨パッドを含むことができるし、異なる研磨パッドが使用されることができる。例えば、工程 c) では、FAPポリッシングパッドを使用することができる。しかし、CMP研磨パッドを使用することも有利である。

【0077】

CMP研磨パッド、例えば固定砥粒を含有しない、Rodel (登録商標) からのSPM 3100は、工程 d) で使用される。工程 d) は、通常のCMPポリッシング工程に対応する。CMP研磨パッドは、標準のパッド状態調節により状態調節されることができる。例えば、KINIC社からのダイヤモンドドレッサーは、このために適している。

40

【図面の簡単な説明】

【0078】

【図1】特殊なSFQR値が部分サイト中で発生する分布 (周波数) を示す略図。

【実施例】

【0079】

例

酸化セリウム ( $CeO_2$ ) から形成されたFAPパッド中に固定された砥粒粒子を有し、および  $0.55 \mu m$  の平均粒径を有する、3M Corp. 社、USAからのFAPパッドを例示的な実施態様のために使用した。

【0080】

第1表は、全ての重要なパラメーターを有する前面ポリッシングのための処理順序の1

50

例を示す。

【0081】

マルチプレートポリッシング機を試験のために使用した (Applied Materials, Inc.社からの A M A T Reflection)。

【0082】

このポリッシング機は、5帯域の膜キャリアーを有し、この膜キャリアーは、キャリアーの圧力プロフィールを5帯域で異なるように設定することができる。

【0083】

第1表中に規定された処理パラメーターは、ウェーハのポリッシングの当業者にとっては熟知しており、したがって詳細な説明は、ここでは省略することにする。殆んどのパラメーターは、公知技術水準と見なすことができ、前記パラメーター (圧力、速度) の最適化は、当業者の能力の範囲内にある。本発明の本質は、処理順序およびこのためにそれぞれ使用される研磨パッド (F A PまたはC M P、固定砥粒：有り/無し) およびポリッシング剤 (溶液、懸濁液) にある。

10

【0084】

粗研磨工程を最初にプレート1上でF A Pポリッシングパッドおよびポリッシング剤溶液 (炭酸カリウム  $K_2CO_3$ ) を使用して実施した。その後、平滑化工程をF A Pパッドと同様にポリッシングプレート上で実施するが、しかし、ポリッシング剤溶液を使用して実施した。

【0085】

プレート2およびプレート3での工程3および4は、常用のC M P工程に対応する。

20

【0086】

【表 1】

第 1 表

研磨プレート	プレート 1		プレート 2	プレート 3
	粗研磨 (工程 1)	平滑化 (工程 2)	平滑化 (工程 3)	平滑化 (工程 4)
膜キャリアーの 圧力プロフィール 帯域 1～5 [psi]	4.1/3.2/ 3.4/ 4.0/4.0	4.1/3.2/ 3.4/4.0/ 4.0	4.1/3.2/ 3.4/4.0/ 4.0	4.1/3.2/ 3.4/4.0/ 4.0
リテーナリング 押付圧力 [psi]	7.5	7.5	7.5	7.5
媒体	K <sub>2</sub> CO <sub>3</sub> 0.2 質量%	<b>Glanzox</b> <b>3900*</b> 0.8 質量%	<b>Glanzox</b> <b>3900*</b> 0.8 質量%	<b>Glanzox</b> <b>3900*</b> 0.8 質量%
流速 [l/min]	0.5	0.5	0.5	0.5
研磨時間 [s]	33	127	160	160
回転数 プレート/ヘッド [rpm] / [rpm]	119/123	119/123	119/123	119/123
パッド状態調節の種類	-	-	その場	その場
パッド状態調節ユニット の押付圧力 [lb]	-	-	4	4
パッド状態調節ユニット の回転数 [rpm]	-	-	100	100
研磨布	FAPパッド 0.55μm	FAPパッド 0.55μm	CMPパッド SPM 3100	CMPパッド SPM 3100

10

20

30

40

\* ) Glanzox 3900は、濃厚物として、Fujimi Incorporated社，日本、によって提供されたポリッシング剤懸濁液の商品名である。10.5のpHを有する濃厚物は、30～40nmの平均粒径を有するコロイド状SiO<sub>2</sub>約9質量%を含有する。第1表中に示されたSiO<sub>2</sub>含量は、ポリッシング剤の用語で表現されている。

【0087】

KLA Tencor社のNanomapper(登録商標)機器をナノトポグラフィ

50

ーを研究するために使用した。この干渉計は、半導体ウェーハの前面で - 20 nm ~ + 20 nm の範囲内のトポグラフィーを測定するのに適している。測定中、半導体ウェーハを軟質の平らなウェーハホルダー（チャック）上に置く。得られた山対谷（P V）値をフィルター（Gaussian high-pass filter）に掛け、山対谷のずれに関連して 2 mm の直径を有する円（さらに、10 mm の直径を有する円）で分析する。T H A 分析（" 閾高さ分析"）で、詳細には S E M I 標準 M 4 3 参照、3 の P V 値を最終的に全ての P V 値の分布から所謂 T H A 値として計算した。

【 0 0 8 8 】

本発明により研磨されたウェーハは、10 nm またはそれより良好な T H A 値を生じた。第 1 表中に規定したポリッシングパラメーターを使用した場合には、5 . 1 nm の T H A 値を得た。分析範囲は、2 mm の直径を有する前記円に対応した。この T H A 値は、2 mm の直径の小さな分析ウィンドウが使用されたことを明らかにするために、しばしば T H A - 2 値とも呼ばれている。更に、このパラメーターにおける改善は、ポリッシング法の最適化から期待することができる。

10

【 0 0 8 9 】

従って、本発明により研磨された半導体ウェーハは、1 ~ 10 nm、有利に 1 ~ 5 nm の T H A - 2 と表現されたナノトポグラフィーを有する。

【 0 0 9 0 】

所謂"部分サイト"のローカル平坦度の改善によるエッジジオメトリーの改善は、図 1 により下記に説明される。

20

【 0 0 9 1 】

図 1 は、特殊な S F Q R 値が部分サイト中で発生する分布（周波数）を示し、一面で、本発明による方法を実施する前のウェーハを示し、他面、本発明により研磨された後のウェーハを示す。

【 0 0 9 2 】

300 mm の直径を有する単結晶シリコンの D S P 研磨されたウェーハについて研究した。エッジジオメトリーに対する本発明による方法の効果を確立するために、同じウェーハを前面の相応するポリッシングに掛け、この場合には、次のパラメーターを使用した（第 1 表中の工程順序参照）：

- F A P パッドを用いるプレート 1 : 工程 1 : 3 3 秒  $K_2CO_3$  溶液（0 . 2 質量 %）だけ ; その後に工程 2 : 8 秒 Glanzox（シリカゲル）。

30

- 曇りなしのポリッシングパッド（C M P " S P M 3 1 0 0 "）を用い、および専ら G l a n z o x をポリッシング剤として用いるプレート 2 およびプレート 3 ; そのつど 4 3 秒。

【 0 0 9 3 】

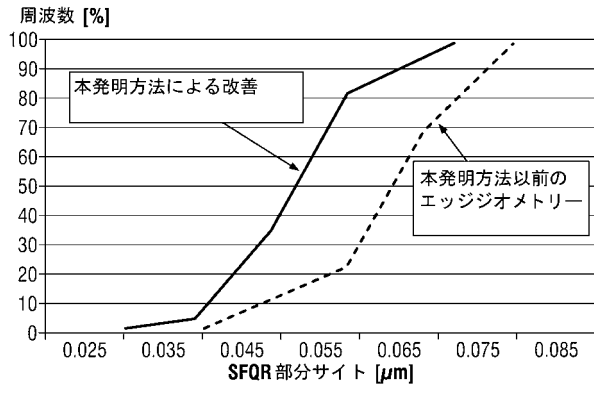
約 0 . 0 1  $\mu m$  による重要な改善を全分布に亘って見出す。部分サイトの S F Q R<sub>max</sub> は、この総計によっても改善されている。

【 0 0 9 4 】

それ故に、本発明による方法は、端面除外領域におけるローカルジオメトリーの改善に適している。

40

【 図 1 】



## フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	H 0 1 L 21/304	6 2 2 F
	H 0 1 L 21/304	6 2 2 C
	H 0 1 L 21/304	6 2 2 D
(74)代理人 100110593 弁理士 杉本 博司		
(74)代理人 100112793 弁理士 高橋 佳大		
(74)代理人 100128679 弁理士 星 公弘		
(74)代理人 100135633 弁理士 二宮 浩康		
(74)代理人 100114890 弁理士 アインゼル・フェリックス = ラインハルト		
(72)発明者 ユルゲン シュヴァントナー ドイツ連邦共和国 ガルヒング トゥルンシュトラッセ 6		
F ターム (参考) 3C058 AA07 AA09 AA18 CB01 CB10 DA02 DA12 DA18		



【外国語明細書】

## **Title of Invention**

### **Method for Polishing both sides of a Semiconductor Wafer**

## **Detailed Explanation of the Invention**

The invention relates to a method for polishing both sides of a semiconductor wafer.

In particular, the invention is intended for polishing silicon wafers of the next technology generations, primarily wafers which have a diameter of 450 mm. At present, polished or epitaxially processed semiconductor wafers with a diameter of 300 mm are used for the most demanding applications in the electronics industry. Silicon wafers with diameters of 200 mm are gradually being replaced by 300 mm wafers.

An essential reason why the electronics industry desires larger substrates for the production of their components, whether microprocessors or memory chips, resides in the enormous economic advantage which they promise. In the semiconductor industry it has for a long time been customary to focus on the available substrate area, or in other words to consider how great a number of components, i.e. logic chips or memory chips, can be accommodated on an individual substrate. This is related to the fact that a multiplicity of the component manufacturer's processing steps are aimed at the entire substrate, but there are also the individual steps for structuring the substrates i.e. producing the component structures which subsequently lead to the individual chips, and therefore the production costs for both groups of processing steps are determined very particularly by the substrate size. The substrate size influences the production costs per component to a very considerable extent, and is therefore of immense economic importance.

However increasing the substrate diameter entails great and sometimes entirely new, hitherto unknown technical problems.

Lastly all the processing steps, whether they are purely mechanical (sawing, grinding, lapping), chemical (etching, cleaning) or chemical-mechanical in nature (polishing) as well as the thermal processes (epitaxy, annealing), require thorough revision, in particular with respect to the machines and systems (equipment) used for them.

The present invention focuses on the polishing of a semiconductor wafer as the last essential processing step when the wafer is intended for the production of memory chips, or in principle as the penultimate essential processing step which precedes epitaxy of the semiconductor wafer, when the wafer is intended to be used as a so-called epi wafer for the production of microprocessors.

The Inventor has discovered that the process of polishing 450 mm wafers requires a fundamental change. Those polishing methods known in the prior art, which have been taken into consideration for defining the new polishing process, will be presented below. They essentially involve modifications of the conventionally used methods of double-sided polishing (DSP) and chemical-mechanical polishing (CMP), which in one case comprise polishing both sides of a semiconductor wafer by means of a polishing pad while supplying a polishing agent as stock polishing (DSP step) and in the other case finish polishing of only the frontside (the "component side") while using a softer polishing pad as so-called haze-free polishing (CMP step, "finishing"), but also relatively new so-called "fixed abrasive polishing" (FAP) technologies in which the semiconductor wafer is polished on a polishing pad but the latter contains an abrasive fixed in the polishing pad ("fixed-abrasive pad"). A polishing step, in which such an FAP pad is used, will be referred to below as an FAP step for brevity.

WO 99/55491 A1 describes a two-stage polishing method with a first FAP polishing step and a subsequent second CMP polishing

step. For CMP, the polishing pad does not contain fixed abrasive. As in a DSP step, abrasive is introduced here in the form of a suspension between the semiconductor wafer and the polishing pad. Such a two-stage polishing method is used, in particular, to remove scratches which the FAP step has left behind on the polished surface of the substrate.

EP 1 717 001 A1 is an example of FAP steps also being used for the polishing of semiconductor wafers, on whose surface component structures have not yet been formed. The polishing of such semiconductor wafers is primarily aimed at producing at least one side surface which is particularly flat, and which has the smallest possible microroughness and nanotopography.

US 2002/00609967 A1 relates to CMP methods for planarizing topographical surfaces during the production of electronic components. The primary aim is to alleviate the disadvantage of comparatively low removal rates when using FAP polishing pads. A sequence of polishing steps is proposed, in which polishing is carried out first with an FAP pad in combination with a polishing agent suspension and subsequently with an FAP pad in conjunction with a polishing agent solution. The sequence of steps is deliberately selected in order to increase the removal rate. The polishing of wafers made of a material with a homogeneous composition, for example silicon wafers, is not disclosed therein.

Likewise, WO 03/074228 A1 also discloses a method for planarizing topographical surfaces during the production of electronic components. Here, the focus of the invention resides in the endpoint detection of the CMP method. As is known, endpoint detection involves ending the polishing and therefore the material removal promptly before it causes the removal of regions which are not in fact intended to be polished. To this end, a two-stage method is proposed for polishing a copper layer. In the first step polishing is carried out with an FAP

polishing pad, in which case the polishing agent optionally may or may not contain free abrasive particles. In the second polishing step however, in which polishing is likewise carried out with an FAP pad, the use of a polishing agent with free abrasive particles is essential.

The German Patent Application with the Application Number 102 007 035 266, not yet published at the priority date of the present application, describes a method for polishing a substrate made of semiconductor material, comprising two polishing steps of the FAP type which differ from one another in that a polishing agent suspension containing fixed abrasive as a solid substance is introduced between the substrate and the polishing pad in one polishing step, while in the second polishing step the polishing agent suspension is replaced by a polishing agent solution which is free of solids.

The expression polishing agent will be used below as an umbrella term for polishing agent suspensions and polishing agent solutions.

All the methods known in the prior art have a crucial disadvantage with respect to stock polishing, which includes conventional double-sided polishing methods and the FAP polishing method.

Both sides of the semiconductor wafer are polished simultaneously, which leads to an unfavorable edge symmetry, in conventional double-sided polishing a so-called "edge roll-off" i.e. an edge reduction relative to the thickness of the semiconductor wafer. Experiments have shown that this problem is even further exacerbated when polishing wafers with larger diameters, i.e. for example the aforementioned wafers with a 450 mm diameter. The larger substrates entail an increase in the differential polishing removal at the wafer edge and in the

remaining region of the wafer, so that the edge roll-off is even more pronounced.

This is problematic in particular owing to the fact that according to the internationally agreed so-called Roadmap (ITRS, "International Technology Roadmap for Semiconductors", chapter "Front End Processes"), the manufacturers of semiconductor wafers are required to increase the area of the wafers which can be used for producing components and reduce the so-called "edge exclusion" which is not available for components.

While an edge exclusion of 2 mm is currently considered to be acceptable, initially this size will become more difficult to achieve in future years owing to the increase in the wafer diameter to 450 mm, and subsequently it will even be reduced to 1 mm. This will only be accomplished by significantly reducing the edge roll-off. It would be desirable to eliminate it entirely.

Another quantity, which is subject to ever more stringent requirements according to the ITRS Roadmap, is the nanotopography of the semiconductor wafer. The nanotopography is conventionally expressed as a height variation PV (= "peak to valley"), based on square measurement windows with an area of 2 mm × 2 mm.

Here again, it was found long ago that the previous polishing methods are not sufficient to satisfy the increased requirements of the semiconductor wafers.

Lastly, besides the edge geometry and the nanotopography, the global and local planarities are also of crucial importance for making the next and subsequent technology generations possible.

One particularly critical property is the local planarity or local geometry of the semiconductor wafer on its frontside.

Modern stepper technology demands optimal local planarities in subregions of the frontside of the semiconductor wafer, expressed for example as SFQR ("site front-surface referenced least squares/range" = magnitude of the positive and negative deviations from a frontside, defined by least squares minimization, for a component surface (measurement window, "site") of defined dimension). The maximum local planarity value  $SFQR_{max}$  indicates the highest SFQR value for the component surfaces taken into account on a semiconductor wafer.

The maximum local planarity value is conventionally determined by taking an edge exclusion of 2 mm into account. An area on a semiconductor wafer inside a nominal edge exclusion is conventionally referred to as "fixed quality area", abbreviated to FQA. Those sites which lie with a part of their area outside the FQA, but whose centers lie inside the FQA, are referred to as "partial sites".

A generally acknowledged rule of thumb states that the  $SFQR_{max}$  value of a semiconductor wafer must be equal to or less than the linewidth possible on this semiconductor wafer for semiconductor components to be produced on it. Exceeding this value leads to focusing problems for the stepper, and therefore to loss of the relevant component.

Currently, the semiconductor wafers available on the market correspond to the 45 nm technology generation (linewidth = 45 nm) which is gradually being replaced by the already developed 32 nm technology, and to this extent the component manufacturers are also gradually changing their device processes accordingly. The 22 nm technology generation, which will follow this, is already in development. It has been found that the conventional polishing methods are indeed not sufficient for satisfying the requirements of the 22 nm design rule.

It is therefore an object of the present invention to provide a new polishing method which both satisfies the requirements of future technology generations and is suitable for the new generation of 450 mm wafers.

Said object is achieved by a method for polishing both sides of a semiconductor wafer, comprising the following steps in the order specified:

- a) polishing of a backside of the semiconductor wafer on a polishing pad which contains an abrasive fixed in the polishing pad, a polishing agent solution which is free of solids being introduced between the backside of the semiconductor wafer and the polishing pad during the polishing step;
- b) stock polishing of the frontside of the semiconductor wafer on a polishing pad which contains an abrasive fixed in the polishing pad, a polishing agent solution which is free of solids being introduced between the frontside of the semiconductor wafer and the polishing pad during the polishing step;
- c) removal of the microroughness and microdamage from the frontside of the semiconductor wafer by polishing the frontside of the semiconductor wafer on a polishing pad, a polishing agent solution which contains abrasives being introduced between the frontside of the semiconductor wafer and the polishing pad during the polishing step;
- d) finish polishing of the frontside of the semiconductor wafer by polishing the frontside of the semiconductor wafer on a polishing pad which contains no abrasive fixed in the polishing pad, a polishing agent solution which contains abrasives being introduced between the frontside of the semiconductor wafer and the polishing pad during the polishing step.

The Inventor has discovered that only sequential polishing of the front- and backside of the semiconductor wafer is suitable

for this. The hitherto used batch polishing methods which polish a plurality of semiconductor wafers, held on carrier discs, simultaneously and on both sides are entirely insufficient for this and need to be replaced by single-disc processing.

This single-disc processing of the front- and backside of the semiconductor wafer takes place sequentially according to the invention and preferably on the same polishing machine, and it comprises both polishing steps which correspond to stock polishing (as in conventional DSP) and polishing steps which correspond to haze-free polishing (as in conventional CMP).

The processing of the backside takes place either on a second polishing machine or on the same one as used for processing the frontside of the semiconductor wafer, the latter variant offering the advantage of making do with much less polishing equipment than previously in conventional sequences which always contain a DSP step and a CMP step, especially because polishing machines for single-disc processing are much smaller than the currently used large batch types and also have a much smaller space requirement, and therefore entail entirely new fabrication plant planning with forward-looking restructuring of the fabrication lines. In order for the variant with the second polishing machine, required for processing the wafer backside, to be configured more effectively, it is conceivable to equip a polishing machine for example of the Reflection type from Applied Materials with fixed abrasive polishing pads on all 3 polishing plates, and subsequently to carry out backside polishing of the wafers. In a subsequent step, the already backside-polished wafers are polished on the frontside on another polishing machine of the same type, for example lot by lot, in which case the polishing steps described under points b) to d) are employed sequentially.



The concomitant simplifications of the fabrication sequences furthermore allow additional cost savings.

The present invention makes it possible to achieve an improvement in the edge geometry of the polished semiconductor wafer by improving the edge roll-off, in particular by improving the partial sites. With respect to the nanotopology or nanotopography, values are achieved which already satisfy the 22 nm design rule requirements.

This is possible because the two sides of the semiconductor wafer can be adapted to one another in a controlled way owing to the sequential polishing, for example in order to positively influence the geometry in the edge region.

The method according to the invention is not anticipated by the prior art, because the method described in US 2002/00609967 A1 requires exactly the opposite sequence with respect to the FAP steps on the frontside (cf. steps b) and c) of the method according to the invention). Starting from this publication, in order to reach the present invention, the person skilled in the art would thus have to go beyond the teaching disclosed therein. There are not however any apparent considerations on the basis of which this might be suggested.

With respect to WO 03/074228 A1, it should be emphasized that the method described therein deals exclusively with the polishing of copper, and it is regarded as unimportant therein whether the polishing agent contains or does not contain free abrasive particles in the first polishing step.

In the simplest case, the polishing agent solution according to steps a) and b) of the present invention is water, preferably deionized water (DIW) with the usual purity for use in the semiconductor industry.

The polishing agent solution may however also contain compounds such as sodium carbonate ( $\text{Na}_2\text{CO}_3$ ), potassium carbonate ( $\text{K}_2\text{CO}_3$ ), sodium hydroxide ( $\text{NaOH}$ ), potassium hydroxide ( $\text{KOH}$ ), ammonium hydroxide ( $\text{NH}_4\text{OH}$ ), tetramethylammonium hydroxide (TMAH) or any mixtures thereof. The use of potassium carbonate is more particularly preferred. In this case, the pH of the polishing agent solution preferably lies in a range of from 10 to 12 and the proportion of said compounds in the polishing agent solution is preferably from 0.01 to 10% by weight, particularly preferably from 0.01 to 0.2% by weight.

The polishing agent solution may furthermore contain one or more further additives, for example surface-active additives such as wetting agents and surfactants, stabilizers acting as protective colloids, preservatives, biocides, alcohols and sequestrants.

Between steps b) and c), a further FAP step is preferably carried out by using a polishing agent suspension as in step c), but with an FAP pad.

The proportion of the abrasive in the polishing agent suspension according to steps c) and d) of the method according to the invention is preferably from 0.25 to 20% by weight, particularly preferably from 0.25 to 1% by weight.

The size distribution of the abrasive particles is preferably shaped monomodally.

The average particle size is from 5 to 300 nm, particularly preferably from 5 to 50 nm.

The abrasive consists of a material which mechanically removes the substrate material, preferably one or more of the oxides of the elements aluminum, cerium or silicon.

A polishing agent suspension which contains colloiddally disperse silica is particularly preferred (silica sol, cf. Table 1 and the associated description; "Glanzox").

The pH of the polishing agent suspension preferably lies in a range of from 9 to 11.5, and is preferably adjusted by additives selected from sodium carbonate ( $\text{Na}_2\text{CO}_3$ ), potassium carbonate ( $\text{K}_2\text{CO}_3$ ), sodium hydroxide ( $\text{NaOH}$ ), potassium hydroxide ( $\text{KOH}$ ), ammonium hydroxide ( $\text{NH}_4\text{OH}$ ), tetramethylammonium hydroxide (TMAH) or any mixtures of these compounds. The use of potassium carbonate is more particularly preferred.

The polishing agent solution may furthermore contain one or more further additives, for example surface-active additives such as wetting agents and surfactants, stabilizers acting as protective colloids, preservatives, biocides, alcohols and sequestrants.

As substrates which can be polished according to the invention, in particular semiconductor wafers made of materials such as silicon, gallium arsenide,  $\text{Si}_x\text{Ge}_{1-x}$ , sapphire and silicon carbide may be envisaged.

Particularly suitable substrates are semiconductor wafers made of silicon and substrates derived therefrom. The silicon semiconductor wafer's frontside to be polished may be in a state as it is obtained after slicing the semiconductor wafer from a crystal, after lapping the semiconductor wafer, after grinding the semiconductor wafer, after etching the semiconductor wafer or after the semiconductor wafer has already been polished.

A substrate, which is derived from a silicon semiconductor wafer, is intended to mean in particular substrates with a layer structure, for example semiconductor wafers with a layer

deposited by means of epitaxy, SOI substrates ("**Silicon On Insulator**") and sSOI substrates (**S**trained **Silicon On Insulator**) and corresponding intermediate products (for example SGOI = "**Silicon-Germanium On Insulator**") thereof.

The intermediate products also include donor semiconductor wafers, from which layers are transferred onto other substrates, particularly in the course of producing SOI substrates. In order for it to be reusable, it is necessary to smooth the donor semiconductor wafer's surface exposed by the layer transfer, which is comparatively rough and has a characteristic step in the edge region.

The substrates' surfaces to be polished need not consist of silicon, or only of silicon. They may, for example, be layers consisting of a III-V compound semiconductor such as gallium arsenide or an alloy of silicon and germanium ( $\text{Si}_x\text{Ge}_{1-x}$ ).

Other examples are layers of indium phosphide, gallium nitride and aluminum-gallium arsenide. Such layers are currently of great interest in particular for the production of "**Light Emitting Diodes**" (= LEDs).

The surface of  $\text{Si}_x\text{Ge}_{1-x}$  layers is often characterized by a pattern, known as "cross hatch" and caused by dislocations, and as a rule it must be smoothed before one or more further layers can be deposited on it.

If substrates having layers of germanium or  $\text{Si}_x\text{Ge}_{1-x}$  are to be polished according to the invention, then the polishing agent suspension or the polishing agent solution, or both, may contain an oxidizing agent as a further additive.

Suitable oxidizing agents are hydrogen peroxide ( $\text{H}_2\text{O}_2$ ) and ozone ( $\text{O}_3$ ). Their addition converts germanium into a water-soluble compound.

Without their addition, particles that contain germanium may be formed in the course of the polishing, which can scratch the polished surface.

Substrates with a large diameter, for example silicon semiconductor wafers with a diameter of 300 mm or in particular with a diameter of 450 mm, are polished individually according to the invention. The separate polishing steps (at least 4 according to steps a), b), c) and d) of the method according to the invention) are carried out sequentially on both the front- and the backside.

The invention does not relate to simultaneous polishing of the front- and the backside at the same time (DSP). According to the invention, only one side of the semiconductor wafer is respectively processed in each processing step.

Essentially the semiconductor wafers are pressed, with the aid of a "polishing head", with the side surface to be polished against the polishing pad placed on a polishing plate.

A polishing head also possesses a "retainer ring", which encloses the substrate laterally and prevents it from sliding off the polishing head during the polishing.

In modern polishing heads, the semiconductor wafer's side surface facing away from the polishing pad bears on a resilient membrane which transmits the polishing pressure being exerted. The membrane is a component of an optionally subdivided chamber system, which forms a gas or liquid cushion.

Nevertheless, there are polishing heads in use in which a resilient backing ("backing pad") is used instead of the membrane. This resilient backing is generally applied on a solidly manufactured plate ("backing plate"). Between the

backing pad and the wafer backside, an air cushion may then optionally be generated over various zones on the wafer backside. Furthermore, there are also polishing heads in use in which the wafer is polished with the aid of a so-called "template", i.e. by means of a backing plate and a retainer ring which is applied on a resilient backing ("backing pad"). The retainer ring, which has a defined thickness, is used so that the wafer maintains its position in the carrier during the polishing. The thickness of this retainer ring may be selected so that it is either thicker than the wafer per se - which is described as a so-called "recessed wafer" - or thinner, in which case the term projecting wafer is used.

The polishing of the substrate is carried out while supplying a polishing agent between the substrate and the polishing pad and by rotating the polishing head and the polishing plate.

In addition, the polishing head may also be moved in translation over the polishing pad so that more comprehensive use of the polishing pad surface is achieved.

Furthermore, the method according to the invention may be carried out equally well on single-plate and multi-plate polishing machines.

It is preferable to use multi-plate polishing machines with preferably two, more particularly preferably three polishing plates and polishing heads.

Different polishing pads and different polishing agents may also be employed.

In the method according to the invention, a polishing pad that contains an abrasive fixed in the polishing pad is respectively used in steps a) and b) (FAP or FA pad).

Suitable abrasives comprise for example particles of oxides of the elements cerium, aluminum, silicon or zirconium and particles of hard substances such as silicon carbide, boron nitride and diamond.

Particularly suitable polishing pads have a surface topography imposed by replicated microstructures. These microstructures ("posts") have, for example, the shape of columns with a cylindrical or polygonal cross section or the shape of pyramids or pyramid frustums.

Such polishing pads are commercially available, and are provided for example by 3M Corp., USA (for example "ESP 001" from 3M). More detailed descriptions of such polishing pads are contained, for example, in WO 92/13680 A1 and US 2005/227590 A1.

In step c), a stock polishing pad is preferably used. A polishing pad of the SUBA™ range from Rohm & Haas is for example suitable for this, for example SUBA™ 1250 ("stock pad") or a typical CMP polishing pad ("finishing pad") such as SPM 3100 from Rodel®. It may however also be an FAP polishing pad as in step b) of the method according to the invention, i.e. a polishing pad which contains fixed abrasive unlike stock and CMP polishing pads.

Processing steps b) and c) may thus involve the same polishing pad, or different polishing pads may be used. In step c), for instance, an FAP polishing pad may be used. It is, however, also preferable to use a CMP polishing pad.

A CMP polishing pad is used in step d), for example SPM 3100 from Rodel® which contains no fixed abrasive. Step d) corresponds to a conventional CMP polishing step. The CMP polishing pad may be conditioned by means of standard pad conditioning. For example, diamond dressers from KINIC may be suitable for this.

### **Brief Explanation of the Drawing**

Fig.1 shows the distribution which SFQR values occur in the partial sites.

### **Example**

An FAP pad from 3M Corp., USA, was used for the exemplary embodiment, with abrasive particles fixed therein made of cerium oxide ( $\text{CeO}_2$ ) and with an average grain size of  $0.55 \mu\text{m}$  ("ESP 001").

**Table 1** shows an example of the process sequence for frontside polishing with all the important parameters.

A multi-plate polishing machine was used for the tests (AMAT Reflection from Applied Materials, Inc.).

The polishing machine comprises a 5-zone membrane carrier, which allows the pressure profile of the carrier to be set differently in 5 zones.

The process parameters specified in **Table 1** are familiar to the person skilled in the art of wafer polishing, so that a detailed explanation may be omitted here. Most of the parameters are to be counted as prior art, optimization of these parameters (pressure, speeds) lying within the range of ability of a person skilled in the art. The essence of the invention consists in the processing sequence and the polishing pads respectively used for this (FAP or CMP, fixed abrasive: yes/no) and the polishing agents (solution, suspension).

A stock polishing step was initially carried out on plate 1 by using an FA polishing pad and a polishing agent solution (potassium carbonate  $\text{K}_2\text{CO}_3$ ). A smoothing step was subsequently carried out on the same polishing plate, likewise with an FAP pad but by using a polishing agent suspension.

Steps 3 and 4 on plate 2 and plate 3 correspond to conventional CMP steps.



Table 1

Polishing Plate	Plate 1		Plate 2	Plate 3
Step sequence	Stock (step 1)	Smoothing (step 2)	Smoothing (step 3)	Smoothing (step 4)
Pressure profile of the membrane carrier Zone 1-5 [psi]	4.1/3.2/ 3.4/ 4.0/4.0	4.1/3.2/ 3.4/4.0/ 4.0	4.1/3.2/ 3.4/4.0/ 4.0	4.1/3.2/ 3.4/4.0/ 4.0
Retainer ring application pressure [psi]	7.5	7.5	7.5	7.5
Agent	K <sub>2</sub> CO <sub>3</sub> 0.2 wt.%	<b>Glanzox</b> <b>3900*)</b> 0.8 wt.%	<b>Glanzox</b> <b>3900*)</b> 0.8 wt.%	<b>Glanzox</b> <b>3900*)</b> 0.8 wt.%
Flow rate [l/min]	0.5	0.5	0.5	0.5
Polishing times [s]	33	127	160	160
Plate/head speed [rpm] / [rpm]	119/123	119/123	119/123	119/123
Type of pad conditioning	-	-	in situ	in situ
Application pressure of the pad conditioning unit [lb]	-	-	4	4
Pad conditioning speed [rpm]	-	-	100	100
Polishing pad	FAP pad 0.55µm	FAP pad 0.55µm	CMP pad SPM 3100	CMP pad SPM 3100

\*) **Glanzox 3900** is the product name of a polishing agent suspension which is available as a concentrate from Fujimi Incorporated, Japan. The concentrate, with a pH of 10.5,

contains about 9% by weight of colloidal SiO<sub>2</sub> with an average particle size of from 30 to 40 nm. The SiO<sub>2</sub> content indicated in **Table 1** is expressed in terms of the polishing agent.

The Nanomapper® instrument from KLA Tencor was used to study the nanotopography. This interferometer is suitable for measuring topography in the range of between -20nm and +20nm on the frontside of a semiconductor wafer. During the measurement, the semiconductor wafer is placed on a soft flat wafer holder (chuck). The peak-to-valley (PV) values obtained are filtered (Gaussian high-pass filter) and analyzed on circles with a 2 mm diameter (in addition, also on circles with a 10 mm diameter) in respect of peak-to-valley deviations. In the THA analysis ("threshold height analysis"), for details see SEMI Standard M43, the 3-sigma PV value was finally calculated from the distribution of all the PV values, as a so-called THA value.

The wafers polished according to the invention gave a THA value of 10 nm or better. When using the polishing parameters specified in Table 1, a THA value of 5.1 nm was obtained. The analysis range corresponded to the aforementioned circles with a 2 mm diameter. This THA value is often also referred to as the THA-2 value, in order to make it clear that small analysis windows of 2 mm diameter were employed. Further improvements in this parameter are to be expected from optimization of the polishing process.

A semiconductor wafer polished according to the invention thus has a nanotopography, expressed as THA-2, of from 1 to 10 nm, preferably of from 1 to 5 nm.

The improvement in the edge geometry by improving the local planarity of the so-called "partial sites" will be explained below with the aid of Figure 1.

**Fig. 1** shows the distribution (frequency) with which particular SFQR values occur in the partial sites, on the one hand for a wafer before carrying out the method according to the invention and in the other case after the wafer has been polished according to the invention.

A DSP-polished wafer of monocrystalline silicon with a diameter of 300 mm was studied. In order to establish the effect of the method according to the invention on the edge geometry, the same wafer was subjected to corresponding polishing of the frontside, for which the following parameters were employed (cf. step sequences in **Table 1**):

- plate 1 with FAP pad: step 1: 33 sec only  $K_2CO_3$  solution (0.2% by weight); subsequently step 2: 8 sec Glanzox (silica sol).
- plates 2 and 3 with haze-free polishing pad (CMP "SPM 3100") and exclusively Glanzox as polishing agent; in each case 43 sec.

A significant improvement by about 0.01  $\mu m$  is found over the entire distribution. The  $SFQR_{max}$  of the partial sites is also improved by about this amount.

The method according to the invention is therefore suitable for improving the local geometry in the edge region.

**Claims**

1. A method for polishing both sides of a semiconductor wafer, comprising the following steps in the order specified:
  - a) polishing of a backside of the semiconductor wafer on a polishing pad which contains an abrasive fixed in the polishing pad, a polishing agent solution which is free of solids being introduced between the backside of the semiconductor wafer and the polishing pad during the polishing step;
  - b) stock polishing of the frontside of the semiconductor wafer on a polishing pad which contains an abrasive fixed in the polishing pad, a polishing agent solution which is free of solids being introduced between the frontside of the semiconductor wafer and the polishing pad during the polishing step;
  - c) removal of the microroughness and microdamage from the frontside of the semiconductor wafer by polishing the frontside of the semiconductor wafer on a polishing pad, a polishing agent solution which contains abrasives being introduced between the frontside of the semiconductor wafer and the polishing pad during the polishing step;
  - d) finish polishing of the frontside of the semiconductor wafer by polishing the frontside of the semiconductor wafer on a polishing pad which contains no abrasive fixed in the polishing pad, a polishing agent solution which contains abrasives being introduced between the frontside of the semiconductor wafer and the polishing pad during the polishing step.
  
2. The method as claimed in claim 1, wherein the polishing agent solution according to steps a) and b) is water or aqueous solutions of the compounds sodium carbonate ( $\text{Na}_2\text{CO}_3$ ), potassium carbonate ( $\text{K}_2\text{CO}_3$ ), sodium hydroxide ( $\text{NaOH}$ ), potassium hydroxide ( $\text{KOH}$ ), ammonium hydroxide

(NH<sub>4</sub>OH), tetramethylammonium hydroxide (TMAH) or any mixtures thereof.

3. The method as claimed in claim 2, wherein the pH of the polishing agent solution is from 10 to 12 and the proportion of said compounds in the polishing agent solution is from 0.01 to 10% by weight.
4. The method as claimed in one of claims 1 to 3, wherein a further polishing step is carried out between steps b) and c) on a polishing pad which contains an abrasive fixed in the polishing pad, a polishing agent solution which contains abrasives being introduced between the frontside of the semiconductor wafer and the polishing pad during the polishing step.
5. The method as claimed in one of claims 1 to 3, wherein the proportion of the abrasive in the polishing agent suspension according to steps c) and d) is preferably from 0.25 to 20% by weight.
6. The method as claimed in one of claims 1 to 3, wherein the proportion of the abrasive in the polishing agent suspension according to steps c) and d) is preferably from 0.25 to 1% by weight.
7. The method as claimed in claim 6, wherein the average particle size is from 5 to 300 nm.
8. The method as claimed in claim 7, wherein the average particle size is from 5 to 50 nm.
9. The method as claimed in one of claims 1 to 8, wherein the abrasive in the polishing agent suspension consists of one or more of the oxides of the elements aluminum, cerium or silicon.

10. The method as claimed in claim 9, wherein the polishing agent suspension contains colloiddally disperse silica.
11. The method as claimed in one of claims 1 to 10, wherein the pH of the polishing agent suspension lies in the range of from 9 to 11.5.
12. The method as claimed in one of claims 1 to 11, wherein the pH of the polishing agent suspension is adjusted by additives selected from sodium carbonate ( $\text{Na}_2\text{CO}_3$ ), potassium carbonate ( $\text{K}_2\text{CO}_3$ ), sodium hydroxide ( $\text{NaOH}$ ), potassium hydroxide ( $\text{KOH}$ ), ammonium hydroxide ( $\text{NH}_4\text{OH}$ ), tetramethylammonium hydroxide (TMAH) or any mixtures of these compounds.
13. The method as claimed in one of claims 1 to 12, wherein the polishing pads used in steps a) and b) contain abrasives selected from particles of oxides of the elements cerium, aluminum, silicon or zirconium or particles of hard substances such as silicon nitride, boron nitride or diamond.
14. The method as claimed in one of claims 1 to 13, wherein a polishing pad which contains no fixed abrasives is used in step c).
15. The method as claimed in one of claims 1 to 13, wherein a polishing pad which contains fixed abrasive is used in step c).
16. The method as claimed in claim 15, wherein a polishing pad with abrasives is used according to Claim 13.
17. The method as claimed in one of claims 1 to 16, wherein the semiconductor wafer is a silicon wafer with a diameter of 300 mm or more.

18. A silicon wafer having a diameter of 300 mm or more, which comprises a front- and backside polished by a method according to claim 1 and a frontside nanotopology - expressed as THA-2 (SEMI Standard M43) - of from 1 to 10 nm.
19. The silicon wafer according to claim 17, having a frontside nanotopology - expressed as THA-2 - from 1 to 5 nm.
20. The silicon wafer according to claim 17 or 18, having a diameter of 450 mm.

**Abstract**

The invention relates to a method for polishing both sides of a semiconductor wafer, comprising the following steps in the order specified:

- a) polishing of a backside of the semiconductor wafer on a polishing pad which contains an abrasive fixed in the polishing pad, a polishing agent solution which is free of solids being introduced between the backside of the semiconductor wafer and the polishing pad during the polishing step;
- b) stock polishing of the frontside of the semiconductor wafer on polishing pad which contains an abrasive fixed in the polishing pad, a polishing agent solution which is free of solids being introduced between the frontside of the semiconductor wafer and the polishing pad during the polishing step;
- c) removal of the microroughness and microdamage from the frontside of the semiconductor wafer by polishing the frontside the semiconductor wafer on a polishing pad, a polishing agent solution which contains abrasives being introduced between the frontside of the semiconductor wafer and the polishing pad during the polishing step;
- d) final polishing of the frontside of the semiconductor wafer by polishing the frontside of the semiconductor wafer on a polishing pad which contains no abrasive fixed in the polishing pad, a polishing agent solution which contains abrasives being introduced between the frontside of the semiconductor wafer and the polishing pad during the polishing step.



Fig. 1

