

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4504108号
(P4504108)

(45) 発行日 平成22年7月14日(2010.7.14)

(24) 登録日 平成22年4月30日(2010.4.30)

(51) Int.Cl.		F I			
H03K 17/22	(2006.01)	H03K 17/22			E
H03K 17/30	(2006.01)	H03K 17/30			E

請求項の数 9 (全 23 頁)

(21) 出願番号	特願2004-177099 (P2004-177099)	(73) 特許権者	308014341
(22) 出願日	平成16年6月15日(2004.6.15)		富士通セミコンダクター株式会社
(65) 公開番号	特開2006-5459 (P2006-5459A)		神奈川県横浜市港北区新横浜二丁目10番23
(43) 公開日	平成18年1月5日(2006.1.5)	(74) 代理人	100090273
審査請求日	平成19年4月24日(2007.4.24)		弁理士 園分 孝悦
		(72) 発明者	鈴木 英明
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	山崎 浩和
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 リセット回路

(57) 【特許請求の範囲】

【請求項1】

パワーオン及びパワーダウン時に電源電圧に応じた第1の電圧が第1のしきい値より大きいと第1の信号を出力し、低いと第2の信号を出力する電源検出回路と、

パワーダウン時に前記第2の信号が出力された後、電源電圧に応じた第2の電圧が第2のしきい値より小さくなると第3の信号を出力するパワーダウン検出回路と、

パワーオン時に前記第1の信号が出力されるとローレベルからハイレベルに変化するパワーオンリセット信号を出力し、パワーダウン時に前記第3の信号が出力されるとハイレベルからローレベルに変化するパワーダウンリセット信号を出力する出力回路とを有し、

前記パワーダウン検出回路は、電源電位から基準電位への電流パスにおける電流を制限するための、電源電圧より低いゲート電圧が印加されるnチャンネル電界効果トランジスタである電流制限素子を有し、

前記nチャンネル電界効果トランジスタのダイオード接続素子、及びそれに直列に接続される複数のnチャンネル電界効果トランジスタと、前記トランジスタ間から参照電圧を出力する参照電圧生成回路を有し、前記参照電圧を前記ゲート電圧とし、

前記参照電圧生成回路は、電源電位に接続されるpチャンネル電界効果トランジスタのダイオード接続素子と、基準電位に接続されるnチャンネル電界効果トランジスタのダイオード接続素子と、前記2つのダイオード接続素子間に接続される複数のnチャンネル電界効果トランジスタを有するリセット回路。

【請求項2】

パワーオン及びパワーダウン時に電源電圧に応じた第1の電圧が第1のしきい値より大きいと第1の信号を出力し、低いと第2の信号を出力する電源検出回路と、

パワーダウン時に前記第2の信号が出力された後、電源電圧に応じた第2の電圧が第2のしきい値より小さくなると第3の信号を出力するパワーダウン検出回路と、

パワーオン時に前記第1の信号が出力されるとローレベルからハイレベルに変化するパワーオンリセット信号を出力し、パワーダウン時に前記第3の信号が出力されるとハイレベルからローレベルに変化するパワーダウンリセット信号を出力する出力回路とを有し、

前記パワーダウン検出回路は、電界効果トランジスタのダイオード接続素子及びスイッチ素子を有し、

前記パワーダウン検出回路は、

電源電位に接続されるpチャンネル電界効果トランジスタのダイオード接続素子と、

基準電位に接続され、前記第2の信号出力後にオンするnチャンネル電界効果トランジスタと、

前記ダイオード接続素子及び前記nチャンネル電界効果トランジスタ間に接続され、その間を流れる電流を制限するための電界効果トランジスタとを有するリセット回路。

【請求項3】

前記パワーダウン検出回路は、前記ダイオード接続素子及び電流制限電界効果トランジスタ間の信号を入力し、前記第3の信号を出力するためのインバータを有する請求項2記載のリセット回路。

【請求項4】

前記パワーダウン検出回路は、前記ダイオード接続素子及び基準電位間に接続される容量を有する請求項3記載のリセット回路。

【請求項5】

パワーオン及びパワーダウン時に電源電圧に応じた第1の電圧が第1のしきい値より大きいと第1の信号を出力し、低いと第2の信号を出力する電源検出回路と、

パワーダウン時に前記第2の信号が出力された後、電源電圧に応じた第2の電圧が第2のしきい値より小さくなると第3の信号を出力するパワーダウン検出回路と、

パワーオン時に前記第1の信号が出力されるとローレベルからハイレベルに変化するパワーオンリセット信号を出力し、パワーダウン時に前記第3の信号が出力されるとハイレベルからローレベルに変化するパワーダウンリセット信号を出力する出力回路とを有し、

前記パワーダウン検出回路は、電源電位から基準電位への電流パスにおける電流を制限するための、電源電圧より低いゲート電圧が印加されるnチャンネル電界効果トランジスタである電流制限素子を有し、

前記nチャンネル電界効果トランジスタのダイオード接続素子、及びそれに直列に接続される複数のnチャンネル電界効果トランジスタと、前記トランジスタ間から参照電圧を出力する参照電圧生成回路を有し、前記参照電圧を前記ゲート電圧とし、

前記電源検出回路は、

基準電位及びインバータ出力端子間に接続され、前記第1の電圧を入力するnチャンネル電界効果トランジスタと、

電源電位及び前記インバータ出力端子間に接続されるpチャンネル電界効果トランジスタとを有するリセット回路。

【請求項6】

パワーオン及びパワーダウン時に電源電圧に応じた第1の電圧が第1のしきい値より大きいと第1の信号を出力し、低いと第2の信号を出力する電源検出回路と、

パワーダウン時に前記第2の信号が出力された後、電源電圧に応じた第2の電圧が第2のしきい値より小さくなると第3の信号を出力するパワーダウン検出回路と、

パワーオン時に前記第1の信号が出力されるとローレベルからハイレベルに変化するパワーオンリセット信号を出力し、パワーダウン時に前記第3の信号が出力されるとハイレベルからローレベルに変化するパワーダウンリセット信号を出力する出力回路とを有し、

前記パワーダウン検出回路は、電源電位から基準電位への電流パスにおける電流を制限

10

20

30

40

50

するための、電源電圧より低いゲート電圧が印加される n チャンネル電界効果トランジスタである電流制限素子を有し、

前記 n チャンネル電界効果トランジスタのダイオード接続素子、及びそれに直列に接続される複数の n チャンネル電界効果トランジスタと、前記トランジスタ間から参照電圧を出力する参照電圧生成回路を有し、前記参照電圧を前記ゲート電圧とし、

前記電源検出回路が前記第 1 の信号を出力すると、前記 n チャンネル電界効果トランジスタの直列接続の電流パスは切断されるリセット回路。

【請求項 7】

前記参照電圧の出力端子にドレイン及び / 又はソースが接続される p チャンネル電界効果トランジスタを有する請求項 6 記載のリセット回路。

10

【請求項 8】

制御信号を入力したときのみ、前記電源検出回路が前記第 1 の信号を出力すると、前記 n チャンネル電界効果トランジスタの直接接続の電流パスは切断される請求項 6 記載のリセット回路。

【請求項 9】

パワーオン及びパワーダウン時に電源電圧に応じた第 1 の電圧が第 1 のしきい値より大きいと第 1 の信号を出力し、低いと第 2 の信号を出力する電源検出回路と、

パワーダウン時に前記第 2 の信号が出力された後、電源電圧に応じた第 2 の電圧が第 2 のしきい値より小さくなると第 3 の信号を出力するパワーダウン検出回路と、

パワーオン時に前記第 1 の信号が出力されるとローレベルからハイレベルに変化するパワーオンリセット信号を出力し、パワーダウン時に前記第 3 の信号が出力されるとハイレベルからローレベルに変化するパワーダウンリセット信号を出力する出力回路とを有し、

20

前記電源検出回路は、

基準電位及びインバータ出力端子間に接続され、前記第 1 の電圧を入力する n チャンネル電界効果トランジスタと、

電源電位及び前記インバータ出力端子間に接続される p チャンネル電界効果トランジスタとを有し、

前記電源検出回路が前記第 1 の信号を出力すると、前記 p チャンネル電界効果トランジスタの電流パスは切断されるリセット回路。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、リセット回路に関し、特にパワーオンリセット信号及びパワーダウンリセット信号を出力するリセット回路に関する。

【背景技術】

【0002】

パワーオンリセット回路は、パワーオン時にリセットを行うためのパワーオンリセット信号を生成する。パワーダウンリセット回路は、パワーダウン時にリセットを行うためのパワーダウンリセット信号を生成する。パワーオンリセット回路とパワーダウンリセット回路は、別の回路で構成すると回路面積が大きくなってしまふ。また、パワーダウン時には、パワーダウンリセット信号が発生するタイミングを制御することが困難である。

40

【0003】

また、下記の特許文献 1 には、ヒステリシス特性を有するパワーオンリセット回路が記載されている。

【0004】

【特許文献 1】特開平 5 - 183416 号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明の目的は、パワーオンリセット信号及びパワーダウンリセット信号を出力するこ

50

とができる小型のリセット回路を提供することである。

本発明の他の目的は、パワーダウン時のパワーダウンリセット信号のタイミング制御を容易にし、繰り返し電源をオン/オフした時の起動不良を防ぐことである。

【課題を解決するための手段】

【0006】

リセット回路は、パワーオン及びパワーダウン時に電源電圧に応じた第1の電圧が第1のしきい値より大きいと第1の信号を出力し、低いと第2の信号を出力する電源検出回路と、パワーダウン時に前記第2の信号が出力された後、電源電圧に応じた第2の電圧が第2のしきい値より小さくなると第3の信号を出力するパワーダウン検出回路と、パワーオン時に前記第1の信号が出力されるとローレベルからハイレベルに変化するパワーオンリセット信号を出力し、パワーダウン時に前記第3の信号が出力されるとハイレベルからローレベルに変化するパワーダウンリセット信号を出力する出力回路とを有し、前記パワーダウン検出回路は、電源電位から基準電位への電流パスにおける電流を制限するための、電源電圧より低いゲート電圧が印加されるnチャンネル電界効果トランジスタである電流制限素子を有し、前記nチャンネル電界効果トランジスタのダイオード接続素子、及びそれに直列に接続される複数のnチャンネル電界効果トランジスタと、前記トランジスタ間から参照電圧を出力する参照電圧生成回路を有し、前記参照電圧を前記ゲート電圧とし、前記参照電圧生成回路は、電源電位に接続されるpチャンネル電界効果トランジスタのダイオード接続素子と、基準電位に接続されるnチャンネル電界効果トランジスタのダイオード接続素子と、前記2つのダイオード接続素子間に接続される複数のnチャンネル電界効果トランジスタを有する。

10

20

【発明の効果】

【0007】

このリセット回路は、パワーオンリセット信号を生成するためのパワーオンリセット回路とパワーダウンリセット信号を生成するためのパワーダウンリセット回路とを合体させたものである。電源検出回路は、パワーオンリセット信号生成及びパワーダウンリセット信号生成の際に共用されるので小型のリセット回路を実現することができる。また、パワーダウン検出回路は、パワーダウン時に第2の信号に応じて、パワーダウンを検出するので、パワーダウン時のパワーダウンリセット信号のタイミング制御を容易にし、繰り返し電源をオン/オフした時の起動不良を防ぐことができる。

30

【発明を実施するための最良の形態】

【0008】

図1は、本発明の実施形態によるリセット回路が生成するリセット信号PORの例を示す波形図である。横軸はパワーオン（電源オン）後の時間を示し、縦軸は電圧を示す。電源電圧VDDは、パワーオン後に0Vから3.3Vへ徐々に上昇し、パワーダウン（電源オフ）後に3.3Vから0Vに下降する。パワーオン時において、リセット信号PORは、電源電圧VDDがしきい値Vth1より小さいときにはローレベル（0V）になり、しきい値Vth1より大きくなるとハイレベル（電源電圧VDD）になるパワーオンリセット信号を示す。それに対し、パワーダウン時において、リセット信号PORは、電源電圧VDDがしきい値Vth2より大きいときにはハイレベル（電源電圧VDD）になり、しきい値Vth2より小さくなるとローレベル（0V）になるパワーダウンリセット信号を示す。

40

【0009】

パワーダウンリセット信号が発生する電源電圧しきい値Vth2は、パワーオンリセット信号が発生する電源電圧しきい値Vth1よりも低い。すなわち、両者のしきい値が異なるヒステリシス特性を有する。仮に、しきい値Vth2がVth1と同じであると、エリア101に示すように、しきい値Vth1近傍で電源電圧VDDがノイズ変動した場合、パワーオンリセット信号及びパワーダウンリセット信号が出たり出なかったりして、回路の誤動作を誘発する。ヒステリシス特性を設けることにより、エリア101の場合には、パワーオンリセット信号及びパワーダウンリセット信号の誤発生を防止できる。

50

【 0 0 1 0 】

パワーオンリセット信号 P O R は、例えば強誘電体メモリ等の種々の回路のリセットに用いられる。パワーオンリセット信号は、例えばパワーオン時の論理回路の初期値をリセットするために用いられる。パワーオフリセット信号は、例えばパワーダウン時の電源電圧下降前に回路動作を止めるため等に用いられる。

【 0 0 1 1 】

図 2 は、本実施形態による電源検出回路の構成例を示す回路図である。電源電位 v_{dd} 及び基準電位 v_{ss} 間には、抵抗 2 0 1 及び 2 0 2 が直列に接続される。以下、M O S (metal-oxide semiconductor) 電界効果トランジスタ (F E T) を、単にトランジスタという。トランジスタ 2 0 3 及び 2 0 4 は、1 つのインバータを構成する。p チャネルトランジスタ 2 0 3 は、ゲートが抵抗 2 0 1 及び 2 0 2 の相互接続点に接続され、ソースが電源電位 v_{dd} に接続され、ドレインが n チャネルトランジスタ 2 0 4 のドレインに接続される。n チャネルトランジスタ 2 0 4 は、ゲートが抵抗 2 0 1 及び 2 0 2 の相互接続点に接続され、ソースが基準電位 (グランド) v_{ss} に接続される。そのゲートの相互接続点がインバータ 2 0 3 , 2 0 4 の入力端子であり、そのドレインの相互接続点がインバータ 2 0 3 , 2 0 4 の出力端子である。インバータ 2 0 6、2 0 8 及び 2 1 0 の直列接続は、インバータ 2 0 3 , 2 0 4 の出力端子及び端子 pwr_{en} 間に接続される。

10

【 0 0 1 2 】

M O S 容量 2 0 5 は、p チャネルトランジスタで構成され、インバータ 2 0 3 , 2 0 4 の出力端子と電源電位 v_{dd} との間に接続される。すなわち、p チャネルトランジスタ 2 0 5 は、ゲートがインバータ 2 0 3 , 2 0 4 の出力端子に接続され、ソース及びドレインが電源電位 v_{dd} に接続される。M O S 容量 2 0 7 は、n チャネルトランジスタで構成され、インバータ 2 0 6 の出力端子と基準電位 v_{ss} との間に接続される。すなわち、n チャネルトランジスタ 2 0 7 は、ゲートがインバータ 2 0 6 の出力端子に接続され、ソース及びドレインが基準電位 v_{ss} に接続される。M O S 容量 2 0 9 は、M O S 容量 2 0 5 と同様に、インバータ 2 0 8 の出力端子と電源電位 v_{dd} との間に接続される。

20

【 0 0 1 3 】

図 5 (A) は、端子 pwr_{en} の電圧 PWR_{EN} 及び電源電圧 V_{DD} (v_{dd}) の例を示す波形図である。図 5 (A) を参照しながら、図 2 の電源検出回路の動作を説明する。

【 0 0 1 4 】

パワーオンから時刻 t_1 までの間では、インバータ 2 0 3 , 2 0 4 の入力電圧はローレベルである。インバータは、入力電圧を論理反転して出力する。インバータ 2 0 3 , 2 0 4 は、ハイレベルを出力する方向に動作する。インバータ 2 0 6 の入力端子は、M O S 容量 2 0 5 を介して電源電位 v_{dd} に接続されるので、インバータ 2 0 6 はローレベルを出力する方向に動作する。インバータ 2 0 8 の入力端子は、M O S 容量 2 0 7 を介して基準電源電位 v_{ss} に接続されるので、インバータ 2 0 8 はハイレベルを出力する方向に動作する。インバータ 2 1 0 の入力端子は、M O S 容量 2 0 9 を介して電源電位 v_{dd} に接続されるので、インバータ 2 1 0 はローレベルを出力する方向に動作する。これにより、端子 pwr_{en} の電圧 PWR_{EN} の初期値は、ローレベル (0 V) になる。

30

【 0 0 1 5 】

次に、パワーオン後の時刻 t_1 において、電源電圧 V_{DD} がしきい値 V_{th1} になると、インバータ 2 0 3 , 2 0 4 の出力電圧は、ハイレベルからローレベルに変化する。その結果、端子 pwr_{en} の電圧 PWR_{EN} は、ローレベルからハイレベル (電源電圧 V_{DD}) に変化する。具体的には、電源電圧 V_{DD} がしきい値 V_{th1} になったときにインバータ 2 0 3 , 2 0 4 が反転するように、抵抗 2 0 1 及び 2 0 2 の抵抗比等を調整する。

40

【 0 0 1 6 】

なお、インバータ 2 0 3 , 2 0 4 の入力端子に直接電源電位 v_{dd} を接続すると、電源電位 v_{dd} が十分に高くなる前にインバータ 2 0 3 , 2 0 4 が反転しようとするため安定した動作が望めない。抵抗 2 0 1 及び 2 0 2 で電源電位 v_{dd} をレベル変換することにより、電源電位 v_{dd} が十分に高くなってからインバータ 2 0 3 , 2 0 4 を反転させること

50

ができる。

【0017】

次に、パワーダウン後の時刻 t_2 において、電源電圧 V_{DD} がしきい値 V_{th2} まで下がると、インバータ 203, 204 の出力電圧は、ローレベルからハイレベルに変化する。その結果、端子 $pwren$ の電圧 $PWREN$ は、ハイレベルからローレベルに変化する。

【0018】

図3は、パワーオンリセット信号を出力するための出力回路の構成例を示す回路図である。否定論理積 (NAND) 回路 301 は、端子 $pwren$ 及び端子 $porx$ の信号を入力し、その NAND 信号を出力する。端子 $pwren$ は、図2の出力端子 $pwren$ と同一である。端子 $porx$ は、インバータ 313 の出力端子 $porx$ と同一である。インバータ 302 は、入力端子が NAND 回路 301 の出力端子に接続され、出力端子が n チャンネルトランジスタ 303 のゲートに接続される。n チャンネルトランジスタ 303 は、ソースが基準電位 v_{ss} に接続され、ドレインがノード NH に接続される。

10

【0019】

p チャンネルトランジスタ 304 は、ゲートがノード NL に接続され、ソースが電源電位 v_{dd} に接続され、ドレインがノード NH に接続される。n チャンネルトランジスタ 305 は、ゲートがノード NL に接続され、ソースが基準電位 v_{ss} に接続され、ドレインがノード NH に接続される。p チャンネルトランジスタ 306 は、ゲートがノード NH に接続され、ソースが電源電位 v_{dd} に接続され、ドレインがノード NL に接続される。n チャンネルトランジスタ 307 は、ゲートがノード NH に接続され、ソースが基準電位 v_{ss} に接続され、ドレインがノード NL に接続される。

20

【0020】

MOS 容量 308 は、p チャンネルトランジスタで構成され、電源電位 v_{dd} 及びノード NH 間に接続される。MOS 容量 309 は、n チャンネルトランジスタで構成され、基準電位 v_{ss} 及びノード NL 間に接続される。

【0021】

インバータ 311、312 及び 313 の直列接続は、ノード NL 及び端子 $porx$ 間に接続される。インバータ 314 は、入力端子が端子 $porx$ に接続され、出力端子が端子 por に接続される。端子 por からは、図1のリセット信号 POR が出力される。

30

【0022】

トランジスタ 310 はトランジスタ 303 とのバランスをとるため、インバータ 315 はインバータ 311 とのバランスをとるため、インバータ 316, 317 はインバータ 312 とのバランスをとるために設けられ、動作には影響しない。

【0023】

次に、出力回路の動作を説明する。トランジスタ 304 及び 305 は、1つのインバータを構成する。トランジスタ 306 及び 307 は、1つのインバータを構成する。インバータ 304, 305 及びインバータ 306, 307 は、1つのラッチ回路を構成し、状態を記憶する。すなわち、インバータ 304, 305 の入力端子はインバータ 306, 307 の出力端子に接続され、インバータ 306, 307 の入力端子はインバータ 304, 305 の出力端子に接続される。

40

【0024】

トランジスタ 305 のしきい値電圧を高く、トランジスタ 307 のしきい値電圧を低くなるように製造する。同様に、トランジスタ 304 及び 306 のしきい値電圧を設定する。これにより、パワーオン時にノード NH がハイレベルになる方向に動作し、ノード NL がローレベルになる方向に動作する。さらに、ノード NH は MOS 容量 308 を介して電源電位 v_{dd} に接続されるのでハイレベルになろうとし、ノード NL は MOS 容量 309 を介して基準電位 v_{ss} に接続されるのでローレベルになろうとする。これにより、パワーオン時の初期状態は、ノード NH がハイレベルになり、ノード NL がローレベルになる。

50

【 0 0 2 5 】

図5 (A) の時刻 t_1 の前において、端子 $pwr en$ の電圧 $PWREN$ はローレベルであるので、 $NAND$ 回路 3 0 1 はハイレベルを出力し、インバータ 3 0 2 はローレベルを出力する。トランジスタ 3 0 3 のゲート電圧はローレベルになるので、トランジスタ 3 0 3 はオフしている。つまり、ノード NH 及び NL は上記の初期状態を維持している。ノード NL がローレベルであるので、端子 $por x$ はハイレベルであり、端子 por の電圧 POR (図 1) はローレベルである。

【 0 0 2 6 】

次に、時刻 t_1 において、端子 $pwr en$ の電圧 $PWREN$ がハイレベルになると、 $NAND$ 回路 3 0 1 はローレベルを出力し、インバータ 3 0 2 はハイレベルを出力する。トランジスタ 3 0 3 のゲート電圧はハイレベルになるので、トランジスタ 3 0 3 はオンする。すると、ノード NH はハイレベルからローレベルに変化し、ノード NL はローレベルからハイレベルに変化する。その結果、端子 $por x$ はローレベルになり、端子 por の電圧 POR (図 1) はハイレベルになる。以上がパワーオン時のパワーオンリセット信号 POR の生成動作である。

【 0 0 2 7 】

図 4 は、パワーオンリセット信号及びパワーダウンリセット信号を出力するための出力回路の構成例を示す回路図である。図 4 の出力回路は、図 3 の出力回路に以下の回路を追加したものである。

【 0 0 2 8 】

n チャネルトランジスタ 4 0 1 は、ゲートが端子 $reset ct 1$ に接続され、ドレインが電源電位 $v dd$ に接続され、ソースがノード NH に接続される。 n チャネルトランジスタ 4 0 2 は、ゲートが端子 $reset ct 1$ に接続され、ソースが基準電位 $v ss$ に接続され、ドレインがノード NL に接続される。端子 $reset ct 1$ の電圧は、後に図 6 を参照しながら説明する。

【 0 0 2 9 】

p チャネルトランジスタ 4 0 3 は、ゲートが端子 $pwr en$ (図 2) に接続され、ソースが電源電位 $v dd$ に接続され、ドレインが p チャネルトランジスタ 4 0 4 のソースに接続される。 p チャネルトランジスタ 4 0 4 は、ゲートが端子 $por x$ に接続され、ドレインが端子 $reset go$ に接続される。この端子 $por x$ は、インバータ 3 1 3 の出力端子 $por x$ と同一である。 n チャネルトランジスタ 4 0 5 は、ゲートが端子 $por x$ に接続され、ソースが基準電位 $v ss$ に接続され、ドレインが端子 $reset go$ に接続される。

【 0 0 3 0 】

インバータ 4 0 8 は、入力端子が端子 $reset go$ に接続され、出力端子がトランジスタ 4 0 6 及び 4 0 7 のゲートに接続される。 p チャネルトランジスタ 4 0 6 は、ソースが電源電位 $v dd$ に接続され、ドレインが端子 $reset go$ に接続される。 n チャネルトランジスタ 4 0 7 は、ソースが基準電位 $v ss$ に接続され、ドレインが端子 $reset go$ に接続される。

【 0 0 3 1 】

図 5 (B) は、端子 $reset go$ の電圧 $RESET GO$ 及び電源電圧 VDD の例を示す波形図である。図 5 (B) を参照しながら、図 4 の出力回路の動作を説明する。トランジスタ 4 0 4 及び 4 0 5 は、1 つのインバータを構成する。時刻 t_2 の前において、端子 $por x$ がハイレベルのときには、端子 $reset go$ の電圧 $RESET GO$ はローレベルになる。また、端子 $por x$ がローレベルのときには端子 $pwr en$ の電圧 $PWREN$ がハイレベルであるので、端子 $reset go$ の電圧 $RESET GO$ はローレベルになる。すなわち、時刻 t_2 までは、電圧 $RESET GO$ はローレベルである。

【 0 0 3 2 】

次に、図 5 (A) の時刻 t_2 において、端子 $pwr en$ の電圧 $PWREN$ がローレベルになると、図 5 (B) の端子 $reset go$ の電圧 $RESET GO$ はハイレベルになる。

なお、時刻 t_3 にて、電圧 $RESETGO$ がローレベルになる動作は後に説明する。

【0033】

以上のように、電圧 $PWREN$ が立ち下がるタイミング t_2 でパワーダウン時のパワーダウンリセット信号を生成するための起動信号 $RESETGO$ が発生する。端子 $resetgo$ は、条件によってはフロティングになり、電源電位 v_{dd} まで上昇しないケースがあるのでフィードバック回路 406 ~ 408 が組み込まれている。

【0034】

図6は、パワーダウン検出回路の構成例を示す回路図である。pチャネルトランジスタ601は、ダイオード接続され、電源電位 v_{dd} 及びノード mon 間に接続される。すなわち、pチャネルトランジスタ601は、ソースが電源電位 v_{dd} に接続され、ゲート及びドレインがノード mon に接続される。MOS容量602は、nチャネルトランジスタで構成され、ノード mon 及び基準電位 v_{ss} 間に接続される。nチャネルトランジスタ603は、ゲートが端子 pd_x に接続され、ソースがノード mon に接続され、ドレインがnチャネルトランジスタ604のドレインに接続される。nチャネルトランジスタ604は、ゲートが端子 $resetgo$ (図5) に接続され、ソースが基準電位 v_{ss} に接続される。

【0035】

pチャネルトランジスタ605は、ゲートがノード mon に接続され、ソースが電源電位 v_{dd} に接続され、ドレインがpチャネルトランジスタ606のソースに接続される。pチャネルトランジスタ606は、ゲートがノード mon に接続され、ドレインがノード out_1 に接続される。nチャネルトランジスタ607は、ゲートがノード mon に接続され、ドレインがノード out_1 に接続され、ソースがnチャネルトランジスタ608のドレインに接続される。nチャネルトランジスタ608は、ゲートがノード mon に接続され、ソースが基準電位 v_{ss} に接続される。pチャネルトランジスタ609は、ゲートがノード out_1 に接続され、ソースがトランジスタ605のドレインに接続され、ドレインが基準電位 v_{ss} に接続される。nチャネルトランジスタ610は、ゲートがノード out_1 に接続され、ソースがトランジスタ608のドレインに接続され、ドレインが電源電位 v_{dd} に接続される。

【0036】

ノード out_1 及び端子 $resetctl$ 間には、インバータ611及び612が直列に接続される。この端子 $resetctl$ は、図4の端子 $resetctl$ と同一である。

【0037】

図7(A)は端子 $resetgo$ の電圧 $RESETGO$ 、端子 $resetctl$ の電圧 $RESETCTL$ 及び電源電圧 VDD の例を示す波形図、図7(B)はノード mon の電圧 MON 及び電源電圧 VDD の例を示す波形図である。図7(A)及び(B)を参照しながら、図6のパワーダウン検出回路の動作を説明する。

【0038】

時刻 t_2 の前では、図5(B)で説明したように、電圧 $RESETGO$ がローレベルであるので、トランジスタ(スイッチ素子)604がオフしている。トランジスタ601がダイオード接続されているため、ノード mon の電圧 MON は電源電位 VDD よりトランジスタ601のしきい値電圧だけ低い電圧になる。

【0039】

次に、時刻 t_2 において、電圧 $RESETGO$ がハイレベルになると、トランジスタ604がオンする。トランジスタ601が電流の供給量を決め、トランジスタ604が電流の排出量を決める。トランジスタ603は、電流制限素子であり、トランジスタ601及び604間(電源電位 v_{dd} 及び基準電位 v_{ss} 間)を流れる電流を制限して小さくし、消費電力を低減することができる。端子 pd_x は、電源電圧 VDD より低い参照電圧(例えば1.0V)であり、この参照電圧の生成回路は後に図9を参照しながら説明する。トランジスタ604がオンになると、電圧 MON が下がり、その後緩やかな傾斜で下降する

10

20

30

40

50

。この傾斜は、端子 pdx の電圧により決まる。MOS容量602は、安定化容量であり、電圧MONのアンダーシュートを防止できる。すなわち、ノード mon に安定化容量602を接続することにより、トランジスタ604がオンした直後はドレイン側の電位が高い状態にあるので、トランジスタ604の高いドライブ能力による電荷の引き抜き過ぎを防止し、誤ったりセット信号がでないようにすることができる。トランジスタ603は、電源電圧VDDに依存しかつ電源電圧VDDより低いゲート電圧を印加することにより、電源電圧VDD低下時にゲート-ソース間電圧 V_{gs} が相対的に低くなり電流制限阻止としての機能を喪失しない。

【0040】

pチャネルトランジスタ601は、p型ドレイン及びその下にn型ウェルを有する。このn型ウェルは、電源電位 v_{dd} に接続されている。電源電位 v_{dd} が低下すると、ノード mon の電荷は、p型ドレイン及びn型ウェルのダイオードを介して順方向に排出される。そのため、pチャネルトランジスタ601により、電源電圧VDDが低下した場合、電圧MONは電源電圧低下に追従することができる。

10

【0041】

トランジスタ605～610は、シュミット回路を構成する。シュミット回路は、インバータの一種であり、入力電圧を論理反転して出力する。シュミット回路605～610は、電圧MONがしきい値より大きいときにはローレベルを出力する。その結果、電圧RESETCTLは、ローレベルになる。

【0042】

次に、時刻 t_3 以降において、電圧MONがしきい値より小さくなると、シュミット回路605～610は、ハイレベルを出力する。インバータ611及び612は増幅を行い、電圧RESETCTLはハイレベルになる。

20

【0043】

以上のように、時刻 t_2 において、電圧RESETGOがハイレベルになると、トランジスタ604がオンしてモニタノード mon から電荷を引き抜き、ダイオード接続されたpチャネルトランジスタ601とnチャネルトランジスタ604の引き合いで安定するレベルまで電圧MONが急激に低下する。それから先は、トランジスタ601及び604同士の引き合いで決まる傾きで電圧MONが電源電圧VDDの低下に追従して変化する。その結果、電圧MONは、電源電圧VDDよりも早くシュミット回路605～610のしきい値に達し、適当なレベルでリセット信号RESETCTLが出るようになる。ここで、電圧RESETGOで制御されるトランジスタ604は、ゲート-ソース間電圧 $V_{gs} = V_{DD}$ となるが、ドレイン-ソース間電圧 V_{ds} はトランスファゲート603を通してモニタリングレベルMONを見ていることとなる。したがって、電圧RESETGOがハイレベルになった直後は十分なドレイン-ソース間電圧 V_{ds} が確保できても、モニタリングレベルMONが下がるほどドレイン-ソース間電圧 V_{ds} がとりずらくなることからトランジスタ604の駆動能力が低下し、自動的にモニタリングレベルMONの下がりすぎを防止できている。さらに、このトランジスタ604のドレイン側に置かれているトランスファゲート603のゲート電位を調整することで、前述のトランジスタ604のドレイン-ソース間電圧 V_{ds} を制御可能である。本実施形態では、このトランスファゲート603のゲート電位を電源電圧連動型とすることで電源電圧VDDが非常にゆっくり下がった時でも、トランスファゲート603の電流駆動能力が電源電圧VDDによって変動して低下することからモニタリングレベルMONを確保でき、リセット信号RESETCTLの生成しきい値 V_{th2} (図1)を電源電圧VDDの立ち下がり傾きによらず、ほぼ一定に保つ効果が期待できる。

30

40

【0044】

仮に、タイマを用いて、時刻 t_2 から一定時間経過後の時刻 t_3 に、パワーダウンリセット信号を発生させようとする、電源電圧VDDの立ち下がり速度が遅いときには、しきい値 V_{th2} が高くなり、電源電圧VDDの立ち下がり速度が速いときには、しきい値 V_{th2} が低くなる。その立ち下がり速度に応じて、しきい値 V_{th2} が変化してしまう

50

。本実施形態によれば、電源電圧VDDに追従するように、モニタリングレベルMONが変化するので、電源電圧VDDの立ち下がり速度に関係なく、一定のしきい値Vth2を確保することができる。

【0045】

なお、シュミット回路605～610は、入力電圧が上昇するときのしきい値と下降するときのしきい値が異なるというヒステリシス特性を有する。本実施形態では、入力電圧MONが下降するときの動作が重要であり、上昇するときの動作は考えなくてよい。そのため、トランジスタ609を削除してもよい。

【0046】

また、シュミット回路605～610を単純なインバータに置き換えてもよい。すなわち、トランジスタ605、608～610を削除し、pチャネルトランジスタ606のソースを電源電位vddに接続し、nチャネルトランジスタ607のソースを基準電位vssに接続すればよい。シュミット回路は、入力電圧の変化に対して出力電圧が急峻に変化する特性を持つので、安定した高精度の動作を確保することができる。

【0047】

図8は、図6のパワーダウン検出回路に代わる他のパワーダウン検出回路の構成例を示す回路図である。図8の回路は、図6の回路にpチャネルトランジスタ801を追加したものである。pチャネルトランジスタ801は、ゲートが端子V1に接続され、ソースが電源電位vddに接続され、ドレインがノードmonに接続される。すなわち、トランジスタ801は、トランジスタ601に並列に接続される。

【0048】

モニタリングレベルMONは、ダイオード接続されたトランジスタ601により電荷が供給されるため、電源電圧VDDに対してトランジスタ601のしきい値電圧分下がった電圧に充電されることになる。しかし、電源電圧VDDの変動が激しい場合、つまりパワーオンリセット信号が出てからまもなく電源電圧VDDが落ちてしまうと、モニタリングレベルMONが十分に上がり切らないケースが考えられる。この対策として、モニタリングレベルMONの初期値をリセットするためのパスとしてトランジスタ801を設け、モニタリングレベルMONを確保してもよい。トランジスタ801をオンにすることにより、モニタリングレベルMONを電源電圧VDDまで上昇させることができる。

【0049】

図4の端子resetctlについて説明する。端子resetctlの電圧RESETCTLは、上記のように、図7(A)の時刻t3にてローレベルからハイレベルに変化する。端子resetctlがローレベルのときにはトランジスタ401及び402がオフしている。時刻t3にて、端子resetctlがハイレベルになると、トランジスタ401及び402がオンする。その結果、ノードNHがハイレベルにリセットされ、ノードNLがローレベルにリセットされる。これにより、端子porxはハイレベルになり、端子porはローレベルになる。すなわち、図1において、端子porの電圧PORはローレベルになる。上記のパワーダウン時のリセット信号PORがパワーダウンリセット信号になる。なお、端子porxがハイレベルになると、図5(B)及び図7(A)において端子resetgoの電圧RESETGOはローレベルになる。上記のように、ノードNH及びNLがリセットされるので、パワーダウン直後に再びパワーオンしても、誤動作することなく、正常にリセット信号PORを生成することができる。すなわち、パワーダウンから次のパワーオンまでの待ち時間を短くすることができる。

【0050】

次に、パワーオン後に瞬間電源電圧低下して電源が瞬間復帰する場合を説明する。図8において、瞬間的に電源電圧VDDが0Vに低下すると、ノードmonの電荷はトランジスタ601のドレインを介してn型ウェルに排出され、ノードmonは0Vになる。すなわち、pチャネルトランジスタ601は、p型ドレイン及びその下にn型ウェルを有する。このn型ウェルは、電源電位vddに接続されている。電源電位vddが0Vになると、ノードmonの電荷は、p型ドレイン及びn型ウェルのダイオードを介して順方向に排

10

20

30

40

50

出される。

【 0 0 5 1 】

ノード mon が $0V$ になるが、電源電位 v_{dd} が瞬間的に $0V$ まで下がるので、シュミット回路 $605 \sim 610$ はハイレベルを出力することができない。すなわち、リセット信号 $RESETCTL$ は、ハイレベルを出力することができない。その後、瞬間的に電源電位 v_{dd} が復帰すると、シュミット回路 $605 \sim 610$ はハイレベルを出力し、リセット信号 $RESETCTL$ はハイレベルになる。その結果、図 4 のノード NH がハイレベルにリセットされ、ノード NL がローレベルにリセットされ、正常に動作することができる。

【 0 0 5 2 】

図 9 は、図 8 の端子 pd_x に入力する参照電圧の生成回路の構成例を示す回路図である。p チャンネルトランジスタ 901 は、ソースが電源電位 v_{dd} に接続され、ゲート及びドレインが端子 pd_3 に接続される。n チャンネルトランジスタ 902 は、ゲートが電源電位 v_{dd} に接続され、ドレインが端子 pd_3 に接続され、ソースが端子 out_x1 に接続される。n チャンネルトランジスタ 903 は、ゲートが電源電位 v_{dd} に接続され、ドレインが端子 out_x1 に接続され、ソースが端子 pd_x に接続される。n チャンネルトランジスタ 904 は、ゲートが電源電位 v_{dd} に接続され、ドレインが端子 pd_x に接続され、ソースが端子 out_x0 に接続される。n チャンネルトランジスタ 905 は、ゲート及びドレインが端子 out_x0 に接続され、ソースが基準電位 v_{ss} に接続される。

【 0 0 5 3 】

すなわち、p チャンネルトランジスタ 901 は、ダイオード接続され、電源電位 v_{dd} に接続される。n チャンネルトランジスタ 905 は、ダイオード接続され、基準電位 v_{ss} に接続される。トランジスタ 901 及び 905 間には、3 つのトランジスタ $902 \sim 904$ が直列に接続される。トランジスタ $902 \sim 904$ は、抵抗として機能する。

【 0 0 5 4 】

図 10 は、図 9 の端子 pd_3 、 out_x1 、 pd_x 及び out_x0 の参照電圧を示すグラフである。横軸は電源電圧 V_{DD} を示し、縦軸は参照電圧を示す。各端子の参照電圧は、 $0 \sim 70$ の温度変化に対する電圧値を示す。端子 pd_3 及び out_x1 の参照電圧は、上の特性線が 70 のときの参照電圧であり、下の特性線が 0 のときの参照電圧である。端子 out_x0 は、上の特性線が 0 のときの参照電圧であり、下の特性線が 70 のときの参照電圧である。端子 pd_3 、 out_x1 、 out_x0 の参照電圧は、温度変化に対して特性が変化する。端子 pd_x の参照電圧は、 0 から 70 まで温度を変化させても特性がほとんど同じである。そこで、温度依存性のほとんどない端子 pd_x の参照電位を図 8 のトランジスタ 603 のゲート電位として用いる。図 8 の回路は、温度による特性変化を防止できる。

【 0 0 5 5 】

図 11 は、図 2 の電源検出回路に代わる他の電源検出回路の構成例を示す回路図である。図 11 の回路は、図 2 の回路の抵抗 201 及び 202 を削除し、端子 pd_x を付加したものである。端子 pd_x は、トランジスタ 203 及び 204 のゲートに接続され、図 9 の参照電圧生成回路で生成される参照電圧が印加される。図 11 の回路は、図 2 の回路と同じ動作をする。図 9 の参照電圧生成回路は、図 2 の電源検出回路及び図 8 のパワーダウン検出回路の端子 pd_x の参照電圧を生成する回路として共用されるので、回路規模を小さくすることができる。また、回路動作の温度依存性を減少させることができる。

【 0 0 5 6 】

以上のように、図 2 の電源検出回路は、パワーオン及びパワーダウン時に電源電圧に応じた第 1 の電圧が第 1 のしきい値より大きいとハイレベルの電圧 $PWREN$ を出力し、低いとローレベルの電圧 $PWREN$ を出力する。図 6 のパワーダウン検出回路は、パワーダウン時にローレベルの電圧 $PWREN$ が出力された後、電源電圧 V_{DD} に応じた電圧 MON が第 2 のしきい値より小さくなるとリセット信号 $RESETCTL$ を出力する。図 4 の出力回路は、パワーオン時にハイレベルの電圧 $PWREN$ が出力されるとローレベルからハイレベルに変化するパワーオンリセット信号 POR を出力し、パワーダウン時にリセッ

10

20

30

40

50

ト信号 R E S E T C T L が出力されるとハイレベルからローレベルに変化するパワーダウンリセット信号 P O R を出力する。

【 0 0 5 7 】

本実施形態のリセット回路は、パワーオンリセット信号を生成するためのパワーオンリセット回路とパワーダウンリセット信号を生成するためのパワーダウンリセット回路とを合体させたものである。電源検出回路は、パワーオンリセット信号生成及びパワーダウンリセット信号生成の際に共用されるので小型のリセット回路を実現することができる。また、パワーダウン検出回路は、パワーダウン時にローレベルの電圧 P W R E N の出力に応じて、パワーダウンを検出するので、パワーダウン時のパワーダウンリセット信号のタイミング制御を容易にし、繰り返し電源をオン/オフした時の起動不良を防ぐことができる。

10

【 0 0 5 8 】

本実施形態は、「電源電圧をレベル変換し、その出力をインバータ等で受け、そのインバータのしきい値でリセット信号を生成する回路」にヒステリシス特性を持った自己リセット機能を追加することでより安定した回路特性を目指したものである。追加された機能は、電源検出回路の特性として必須のヒステリシス特性である。このヒステリシス特性を持つよく知られている回路としてシュミット回路がある。電源検出回路において、参照電位やインバータ等のしきい値近傍で電源レベルの変動が発生すると、電源検出回路は発振する危険性があり、これを避けるためにシュミット回路を使って不感帯を作ることが考えられる。ところが、シュミット回路の不感帯は、フィードバックを利用したものであるため電源電圧により不感帯の広さが大きく変動する。このため、シュミット回路だけではプロセスパラメータによるトランジスタ特性の変動に加え、電源電圧レベルによる不感帯幅の変動分が加わり電源検出回路としては理想的な特性を得ることができない。更に不感帯幅は電源電圧が小さくなるほど狭くなるので、低い電源電圧ではヒステリシス特性を期待できないこともある。

20

【 0 0 5 9 】

本実施形態は、このヒステリシス特性を相対的なフィードバックを利用したものではなく、トランジスタ 6 0 1 のしきい値と、pチャネルトランジスタ 6 0 1 及びnチャネルトランジスタ 6 0 4 の引き合いとによりヒステリシス特性を実現するものである。この結果、最小のヒステリシス分はトランジスタ 6 0 1 のしきい値でほぼ保証され、更にpチャネルトランジスタ 6 0 1 及びnチャネルトランジスタ 6 0 4 の引き合いを利用することで電源電圧の立ち下がり速度に依存した特性でリセット信号 R E S E T C T L を生成する回路の制御電位 M O N が変化するため、電源電圧の立ち下がり速度に依存しないリセットタイミングを制御できる。このリセット信号 R E S E T C T L を利用することで、リセット回路のノード N H 及び N L を強制的に初期化できるため、ノード N H 及び N L の電荷が抜けるまでの待ち時間を最小にすることができ、リセット回路の起動不良の発生率も小さく抑えることができる。

30

【 0 0 6 0 】

パワーダウン時にリセットがかかるために、電源立ち上げ時のように電源電圧の立ち上がりとともに各ノードの電位がそれぞれ確定し、回路として初期状態になるのではなく、リセットがかかった段階で初期状態に強制的に移行するため、状態遷移時の不安定さを排除できる。また、リセットがかかってしまえば、初期状態を確保できるので、クリティカルなノード N H 及び N L の電荷が抜けるまで電源電圧をグラウンドに落した後に待ち時間を設ける必要がない。クリティカルなノード N H 及び N L は初期化されているので電源電圧がグラウンドまで落ちきらなくても次のサイクルで正常に動作できるようになる。

40

【 0 0 6 1 】

パワーオン時の電源検出回路とパワーダウン時の電源検出回路が共用されているため、回路の素子点数を少なく抑えることができる。また、パワーオン時の電源検出回路とパワーダウン時のリセットを生成するパワーダウン検出回路がシンクロしているため、プロセス変動があってもヒステリシス特性が劣化しづらい。

50

【0062】

図12は、図11の電源検出回路に代わるさらに他の電源検出回路の構成例を示す回路図である。図12の回路は、図11の回路に対し、トランジスタ203及び204を削除し、トランジスタ1201～1206及びMOS容量1207を追加したものである。端子pdxの参照電圧を生成するためのトランジスタ901～905の回路は、図9と同じである。以下、図12の回路が図11の回路と異なる点を説明する。

【0063】

pチャネルトランジスタ1201～1203のゲートは、基準電位 v_{ss} に接続される。トランジスタ1201は、ソースが電源電位 v_{dd} に接続され、ドレインがトランジスタ1202のソースに接続される。トランジスタ1203は、ソースがトランジスタ1202のドレインに接続され、ドレインがノードpd4に接続される。すなわち、3つのトランジスタ1201～1203は、電源電位 v_{dd} 及びノードpd4間に直列に接続される。ノードpd4は、インバータ206の入力端子に接続される。

10

【0064】

nチャネルトランジスタ1204は、ゲートが端子pdxに接続され、ドレインがノードpd4に接続され、ソースがnチャネルトランジスタ1205のドレインに接続される。トランジスタ1205は、ゲートが電源電位 v_{dd} に接続され、ソースがnチャネルトランジスタ1206のドレインに接続される。トランジスタ1206は、ゲートが端子pdxに接続され、ソースが基準電位 v_{ss} に接続される。すなわち、3つのトランジスタ1204～1206は、ノードpd4及び基準電位 v_{ss} 間に直列に接続される。トランジスタ1205は、抵抗として機能する。トランジスタ1205のゲートに、端子pdxを接続してもよい。

20

【0065】

MOS容量1207は、MOS容量207と同様に、nチャネルトランジスタで構成され、端子pdx及び基準電位 v_{ss} 間に接続される。MOS容量1207は、端子pdxの初期値をローレベルに導く機能及び安定化容量としての機能を有する。

【0066】

トランジスタ1201～1206は、図11のトランジスタ203及び204のインバータと同じ機能を有する。トランジスタ1201～1203は、抵抗として機能する。端子pdxの電圧がトランジスタ1204及び1206のしきい値電圧より低いときには、トランジスタ1204及び1206がオフし、インバータ出力ノードpd4がハイレベルになる。端子pdxの電圧がトランジスタ1204及び1206のしきい値電圧以上になると、トランジスタ1204及び1206がオンし、インバータ出力ノードpd4がローレベルになる。以上の動作により、図12の電源検出回路は、図2及び図11の電源検出回路と同様の動作を行うことができる。

30

【0067】

図11の回路において、トランジスタ203及び204からなるインバータのしきい値を高くしたいとの要求がある。しかし、そのしきい値を高くすることは容易でない。図12の回路では、nチャネルトランジスタ1204及び1206のしきい値を容易に高くすることができるメリットがある。また、図12の回路では、図11のpチャネルトランジスタ203のプロセスばらつきによりしきい値変動による悪影響を防止することができる。

40

【0068】

ただし、図12の回路では、パワーオン及びパワーダウンの双方を検出するために、常に電源電圧 V_{DD} を監視する必要がある。そのため、出力端子pwr_enがローレベルからハイレベルに変化した後のスタンバイ時には、リーク電流 I_1 及び I_2 が常時流れ、消費電力が大きくなってしまふ課題がある。リーク電流 I_1 は、トランジスタ901～905を流れる電流である。リーク電流 I_2 は、トランジスタ1201～1203を流れる電流である。上記の課題を解決するための回路を、図13を参照しながら、以下、説明する。

50

【 0 0 6 9 】

図 1 3 は図 1 2 の電源検出回路に代わるさらに他の電源検出回路の構成例を示す回路図であり、図 1 4 はその動作を説明するためのタイミングチャートである。図 1 3 の回路は、図 1 2 の回路に対し、インバータ 1 3 0 1 及び p チャネルトランジスタ 1 3 0 2 を追加したものである。これらの追加は、半導体装置のメタル層の配線を変更することで実現でき、図 1 2 の回路と図 1 3 の回路を容易に切り換え可能である。以下、図 1 3 の回路が図 1 2 の回路と異なる点を説明する。

【 0 0 7 0 】

p チャネルトランジスタ 1 2 0 1 のゲートは、端子 p w r e n に接続される。インバータ 1 3 0 1 は、端子 p w r e n の電圧を論理反転して、n チャネルトランジスタ 9 0 4 のゲートに出力する。このトランジスタ 9 0 4 は、端子 p d x 及び基準電位 v s s 間に接続されるトランジスタである。パワーオン時に出力端子 p w r e n がローレベルからハイレベルに変化すると、p チャネルトランジスタ 1 2 0 1 は、ゲートがハイレベルになってオフし、リーク電流 I 2 が流れない。そして、n チャネルトランジスタ 9 0 4 は、ゲートがローレベルになってオフし、リーク電流 I 1 が流れない。これにより、パワーオン検出後のスタンバイ状態では、リーク電流を 0 A にすることができる。この後、出力端子 p w r e n は、電源電圧 V D D と同じ電圧であるハイレベルを維持し、パワーダウンを検出しない。すなわち、パワーダウンリセット信号は生成されない。

【 0 0 7 1 】

図 1 2 の回路では、パワーオンリセット信号及びパワーダウンリセット信号を生成するため、常時電源電圧 V D D を監視する必要があった。その結果、定常的に電流 I 1 及び I 2 が流れ、電力が消費されていた。ところが、リセット回路を使用する用途によっては、パワーダウンリセット信号を必要としない場合がある。言い換えれば、回路の内部ノードに残っていた電荷が放電されるまでの時間が確保できる場合がある。そこで、図 1 3 の回路では、パワーオンのみを検出し、スタンバイ電流 I 1 及び I 2 をカットすることができる。

【 0 0 7 2 】

p チャネルトランジスタ 1 3 0 2 は、ゲートが電源電位 v d d に接続され、ソース及びドレインが端子 p d x に接続される。トランジスタ 9 0 4 がオフした後、端子 p d x はハイレベルを維持する。トランジスタ 1 2 0 1 がオフした後、ノード p d 4 はローレベルを維持する。パワーオン検出後に、瞬間電源電圧低下の後に電源が瞬間復帰した場合には、その間、端子 p d x に電荷が残っており、端子 p d x はハイレベルを維持し、リセット信号 P O R もハイレベルを維持してしまう問題が生じる。p チャネルトランジスタ 1 3 0 2 を設けることにより、瞬間電源電圧低下の場合に、端子 p d x の電荷を放電させて抜き出すことができる。

【 0 0 7 3 】

p チャネルトランジスタ 1 3 0 2 は、p 型ドレイン、p 型ソース及びそれらの下に n 型ウェルを有する。この n 型ウェルは、電源電位 v d d に接続されている。電源電位 v d d が低下すると、端子 p d x の電荷は、p 型ドレイン（ソース）及び n 型ウェルのダイオードを介して順方向に排出される。そのため、p チャネルトランジスタ 1 3 0 2 により、電源電圧 V D D が瞬間低下した場合、端子 p d x は電源電圧低下に追従することができる。その結果、瞬間電源電圧低下の際にも、リセット信号 P O R は電源電圧 V D D に追従して 0 V にすることができる。電源が復帰した際には、端子 p w r e n はローレベルからハイレベルに変化し、クリティカルなノード N H 及び N L をリセットすることができる。

【 0 0 7 4 】

図 1 4 の時刻 t 1 において、出力端子 p w r e n がローレベルからハイレベルに変化すると、リセット信号 P O R もローレベルからハイレベルに変化し、パワーオンリセット信号が生成される。この変化時に、電流 I がパルス状に流れる。電流 I は、リセット回路全体の合計電流を示す。その後、図 1 2 の回路では、リーク電流 I 1 及び I 2 の合計リーク電流であるスタンバイ電流 1 4 0 2 が流れてしまう。図 1 3 の回路では、リーク電流 I 1

10

20

30

40

50

及びI₂を防止することができるので、スタンバイ電流I₄₀₁を0Aにすることができる。

【0075】

時刻t₂において、パワーダウンすると、電源電圧V_{DD}が下がる。リセット信号PORは電源電圧V_{DD}と同じ電圧になって下がり、パワーダウンリセット信号が生成されない。

【0076】

時刻t₃では、時刻t₁と同様に、パワーオンリセット信号が生成される。期間T₁は、パワーダウンにより電源電圧V_{DD}が0Vになってから、再びパワーオンを検出するまでの時間である。pチャネルトランジスタ1302がない場合には、パワーダウン後に端子pdxの電荷が排出されずに残り、期間T₁を長くしなければならない。すなわち、パワーダウン後に再びパワーオンするまでの時間T₁を長くしないと、パワーオンリセット信号を生成することができない。pチャネルトランジスタ1302を設けることにより、パワーダウン後の端子pdxの電荷を排出し、期間T₁を短くすることができる。

10

【0077】

時刻t₄では、電源電圧V_{DD}が瞬間電源電圧低下して電源が瞬間復帰している。pチャネルトランジスタ1302により、電源電圧V_{DD}が瞬間低下した場合、端子pdxは電源電圧低下に追従することができる。その結果、瞬間電源電圧低下の際にも、リセット信号PORは電源電圧V_{DD}に追従して0Vにすることができる。

【0078】

20

時刻t₅では、出力端子pwrenがローレベルからハイレベルに変化し、電流Iがパルス状に流れる。リセット信号PORは、ローレベルからハイレベルになる。これにより、クリティカルなノードNH及びNLをリセットすることができる。

【0079】

時刻t₆では、時刻t₂と同様に、パワーダウンすると、電源電圧V_{DD}が下がる。リセット信号PORは電源電圧V_{DD}と同じ電圧になって下がり、パワーダウンリセット信号が生成されない。

【0080】

以上のように、出力端子pwrenがハイレベルになると、電流I₁及びI₂の電流パスが切断され、スタンバイ時のリーク電流をなくすことができ、消費電力を小さくすることができる。

30

【0081】

図15は、図13の電源検出回路に代わるさらに他の電源検出回路の構成例を示す回路図である。図15の回路は、図12の回路モードと図13の回路モードとを切り換えることができる。図15の回路は、図13の回路に対し、インバータ1301を削除し、NAND回路1501及びインバータ1502を追加したものである。以下、図15の回路が図13の回路と異なる点を説明する。

【0082】

NAND回路1501は、端子pwren及び端子pdctlの信号を入力し、それらのNAND信号を出力する。インバータ1502は、NAND回路1501の出力信号を論理反転して出力する。nチャネルトランジスタ904のゲートは、NAND回路1501の出力端子に接続される。pチャネルトランジスタ1201のゲートは、インバータ1502の出力端子に接続される。

40

【0083】

端子pdctlに基準電位vssを印加すると、図12の電源検出回路を実現し、パワーオン及びパワーダウンの両方を検出することができる。それに対して、端子pdctlに電源電位vddを印加すると、図13の電源検出回路を実現し、パワーオンのみを検出することができる。

【0084】

端子pdctlが基準電位vssになると、端子pwrenの電圧に拘わらず、NAN

50

D回路1501はハイレベルを出力する。nチャネルトランジスタ904は、ゲートがハイレベルになり、オンする。pチャネルトランジスタ1201は、ゲートがローレベルになり、オンする。すなわち、図15の回路は、図12の回路と同じになる。

【0085】

端子pdctlが電源電位vddになると、NAND回路1501は、端子pwrenの信号の論理反転信号を出力する。すなわち、図15の回路は、図12の回路と同じになる。

【0086】

以上のように、端子pdctlに基準電位vssを印加することにより図12の回路モードを設定し、端子pdctlに電源電位vddを印加することにより図13の回路モードを設定することができる。メタル層を変更することなく、端子pdctlの制御信号により論理的に回路モードを切り換えることができる。

【0087】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、またはその主要な特徴から逸脱することなく、様々な形で実施することができる。

【0088】

本発明の実施形態は、例えば以下のように種々の適用が可能である。

【0089】

(付記1)

パワーオン及びパワーダウン時に電源電圧に応じた第1の電圧が第1のしきい値より大きいと第1の信号を出力し、低いと第2の信号を出力する電源検出回路と、

パワーダウン時に前記第2の信号が出力された後、電源電圧に応じた第2の電圧が第2のしきい値より小さくなると第3の信号を出力するパワーダウン検出回路と、

パワーオン時に前記第1の信号が出力されるとローレベルからハイレベルに変化するパワーオンリセット信号を出力し、パワーダウン時に前記第3の信号が出力されるとハイレベルからローレベルに変化するパワーダウンリセット信号を出力する出力回路とを有するリセット回路。

(付記2)

前記パワーダウン検出回路は、電界効果トランジスタのダイオード接続素子及びスイッチ素子を有する付記1記載のリセット回路。

(付記3)

前記パワーダウンリセット信号が発生する電源電圧しきい値は、前記パワーオンリセット信号が発生する電源電圧しきい値よりも低い付記1記載のリセット回路。

(付記4)

前記パワーダウン検出回路は、電源電位から基準電位への電流パスにおける電流を制限するための電流制限素子を有する付記1記載のリセット回路。

(付記5)

前記出力回路は、ラッチ回路を有する付記1記載のリセット回路。

(付記6)

前記パワーダウン検出回路は、シュミット回路又はインバータを有する付記1記載のリセット回路。

(付記7)

前記電流制限素子は、電源電圧より低いゲート電圧が印加されるnチャネル電界効果トランジスタである付記4記載のリセット回路。

(付記8)

さらに、nチャネル電界効果トランジスタのダイオード接続素子、及びそれに直列に接続される複数のnチャネル電界効果トランジスタを有し、前記トランジスタ間から参照電圧を出力する参照電圧生成回路を有し、

10

20

30

40

50

- 前記参照電圧を前記ゲート電圧とする付記 7 記載のリセット回路。
 (付記 9)
- 前記参照電圧を前記第 1 の電圧とする付記 8 記載のリセット回路。
 (付記 10)
- 前記パワーダウン検出回路のダイオード接続素子は、電源電位に接続される p チャンネル電界効果トランジスタのダイオード接続素子である付記 2 記載のリセット回路。
 (付記 11)
- 前記パワーダウン検出回路は、電源電位に接続され、前記ダイオード接続素子に並列に接続される電界効果トランジスタを有する付記 10 記載のリセット回路。
 (付記 12) 10
- 前記パワーダウン検出回路は、前記ダイオード接続素子及び基準電位間に接続される容量を有する付記 2 記載のリセット回路。
 (付記 13)
- 前記参照電圧生成回路は、電源電位に接続される p チャンネル電界効果トランジスタのダイオード接続素子と、基準電位に接続される n チャンネル電界効果トランジスタのダイオード接続素子と、前記 2 つのダイオード接続素子間に接続される複数の n チャンネル電界効果トランジスタを有する付記 8 記載のリセット回路。
 (付記 14)
- 前記参照電圧は、前記複数の n チャンネル電界効果トランジスタの間から出力される付記 13 記載のリセット回路。
 (付記 15) 20
- 前記パワーダウン検出回路は、瞬間電源電圧低下から電源が瞬間復帰すると前記第 3 の信号を出力する付記 10 記載のリセット回路。
 (付記 16)
- 前記パワーダウン検出回路は、
 電源電位に接続される p チャンネル電界効果トランジスタのダイオード接続素子と、
 基準電位に接続され、前記第 2 の信号出力後にオンする n チャンネル電界効果トランジスタと、
 前記ダイオード接続素子及び前記 n チャンネル電界効果トランジスタ間に接続され、その間を流れる電流を制限するための電界効果トランジスタとを有する付記 2 記載のリセット回路。
 (付記 17) 30
- 前記パワーダウン検出回路は、
 前記ダイオード接続素子及び電流制限電界効果トランジスタ間の信号を入力し、前記第 3 の信号を出力するためのインバータを有する付記 16 記載のリセット回路。
 (付記 18)
- 前記インバータは、シュミット回路である付記 17 記載のリセット回路。
 (付記 19)
- 前記パワーダウン検出回路は、前記ダイオード接続素子及び基準電位間に接続される容量を有する付記 17 記載のリセット回路。
 (付記 20) 40
- 前記出力回路は、ラッチ回路を有する付記 19 記載のリセット回路。
 (付記 21)
- 前記電源検出回路は、
 基準電位及びインバータ出力端子間に接続され、前記第 1 の電圧を入力する n チャンネル電界効果トランジスタと、
 電源電位及び前記インバータ出力端子間に接続される p チャンネル電界効果トランジスタとを有する付記 8 記載のリセット回路。
 (付記 22)
- 前記電源検出回路が前記第 1 の信号を出力すると、前記 n チャンネル電界効果トランジスタ 50

タの直列接続の電流パスは切断される付記 8 記載のリセット回路。

(付記 2 3)

前記電源検出回路は、

基準電位及びインバータ出力端子間に接続され、前記第 1 の電圧を入力する n チャンネル電界効果トランジスタと、

電源電位及び前記インバータ出力端子間に接続される p チャンネル電界効果トランジスタとを有し、

前記電源検出回路が前記第 1 の信号を出力すると、前記 p チャンネル電界効果トランジスタの電流パスは切断される付記 1 記載のリセット回路。

(付記 2 4)

さらに、前記参照電圧の出力端子にドレイン及びノ又はソースが接続される p チャンネル電界効果トランジスタを有する付記 2 2 記載のリセット回路。

(付記 2 5)

制御信号を入力したときのみ、前記電源検出回路が前記第 1 の信号を出力すると、前記 n チャンネル電界効果トランジスタの直列接続の電流パスは切断される付記 2 2 記載のリセット回路。

【図面の簡単な説明】

【0090】

【図 1】本発明の実施形態によるリセット回路が生成するリセット信号 P O R の例を示す波形図である。

【図 2】本実施形態による電源検出回路の構成例を示す回路図である。

【図 3】パワーオンリセット信号を出力するための出力回路の構成例を示す回路図である。

【図 4】パワーオンリセット信号及びパワーダウンリセット信号を出力するための出力回路の構成例を示す回路図である。

【図 5】図 5 (A) は電圧 P W R E N の例を示す波形図、図 5 (B) は電圧 R E S E T G O の例を示す波形図である。

【図 6】パワーダウン検出回路の構成例を示す回路図である。

【図 7】図 7 (A) は電圧 R E S E T G O 及び電圧 R E S E T C T L の例を示す波形図、図 7 (B) は電圧 M O N の例を示す波形図である。

【図 8】他のパワーダウン検出回路の構成例を示す回路図である。

【図 9】参照電圧生成回路の構成例を示す回路図である。

【図 10】参照電圧を示すグラフである。

【図 11】他の電源検出回路の構成例を示す回路図である。

【図 12】さらに他の電源検出回路の構成例を示す回路図である。

【図 13】さらに他の電源検出回路の構成例を示す回路図である。

【図 14】図 1 3 の電源検出回路の動作を説明するためのタイミングチャートである。

【図 15】さらに他の電源検出回路の構成例を示す回路図である。

【符号の説明】

【0091】

1 0 1 電圧変動エリア

V D D 電源電圧

P O R リセット信号

V t h 1 パワーオンしきい値

V t h 2 パワーダウンしきい値

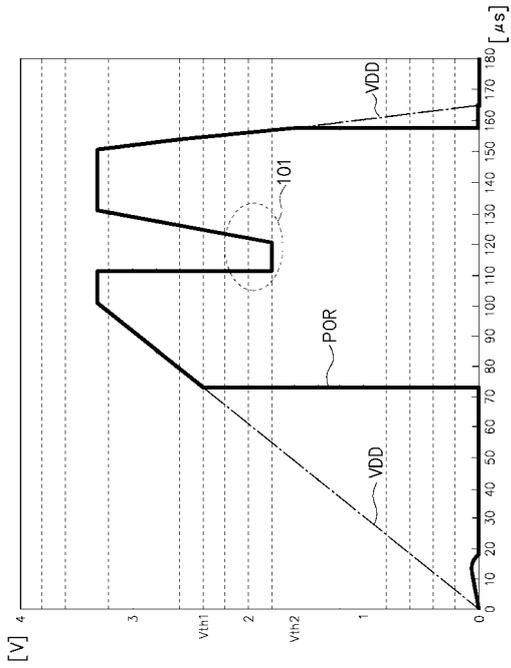
10

20

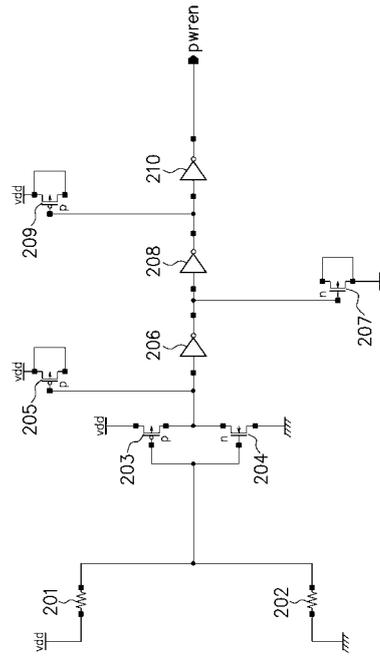
30

40

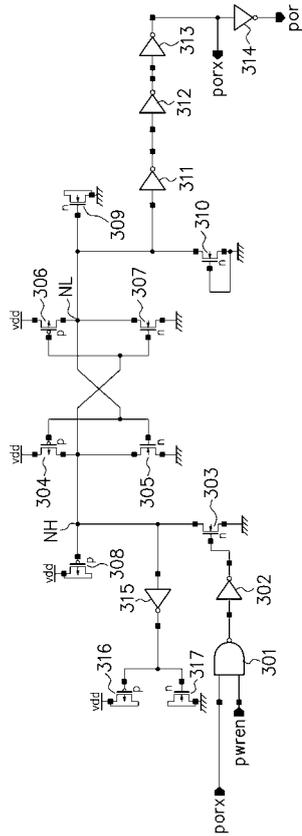
【図 1】



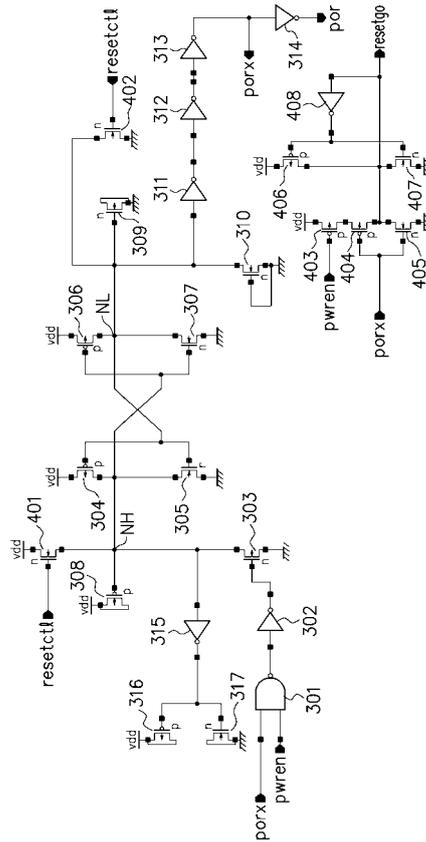
【図 2】



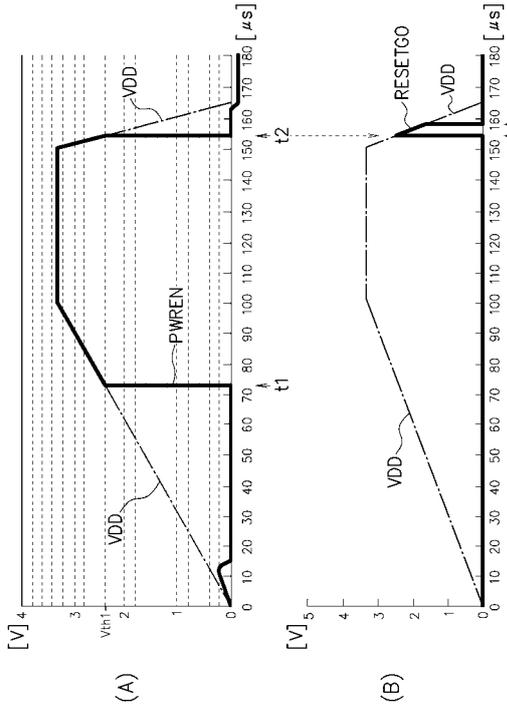
【図 3】



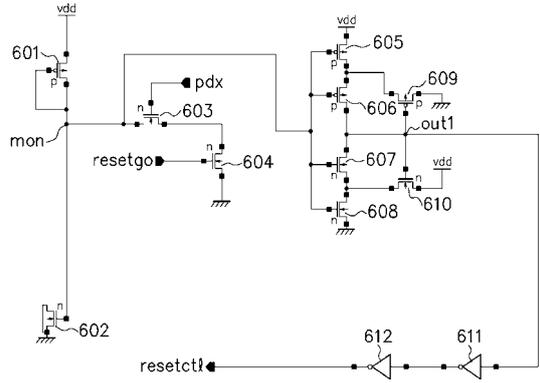
【図 4】



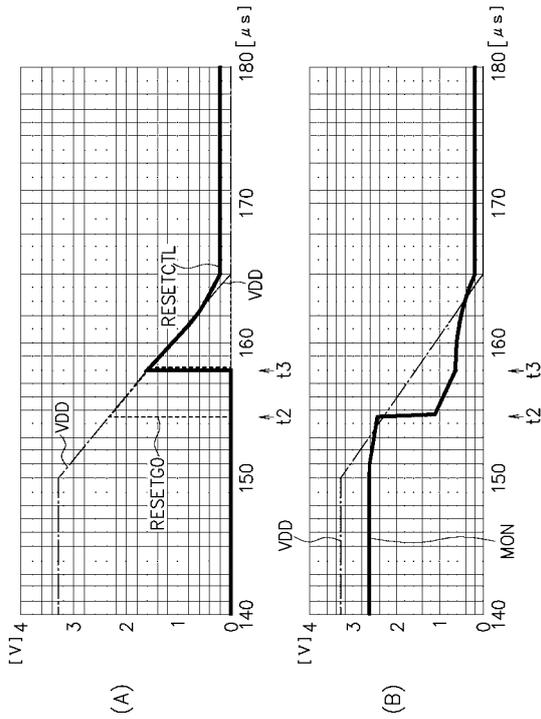
【 図 5 】



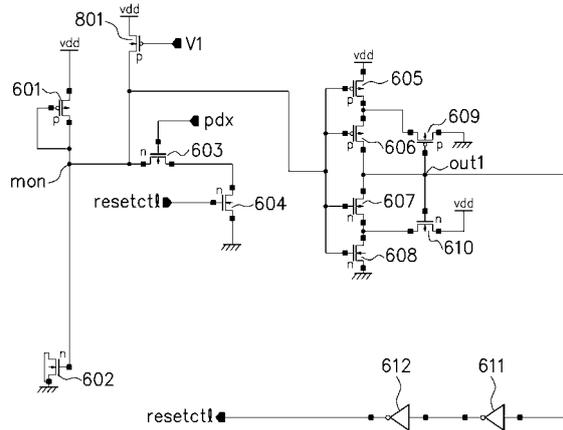
【 図 6 】



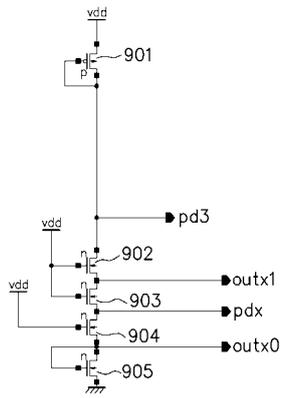
【 図 7 】



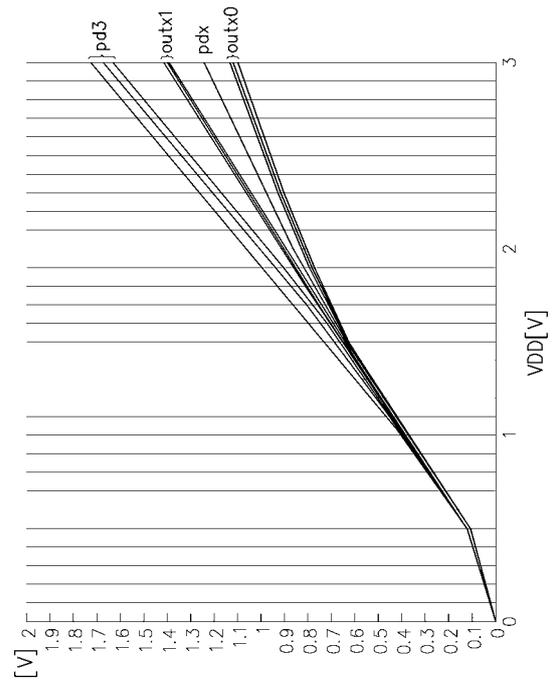
【 図 8 】



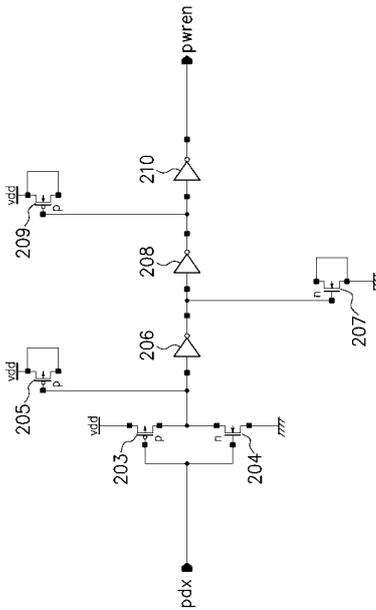
【 図 9 】



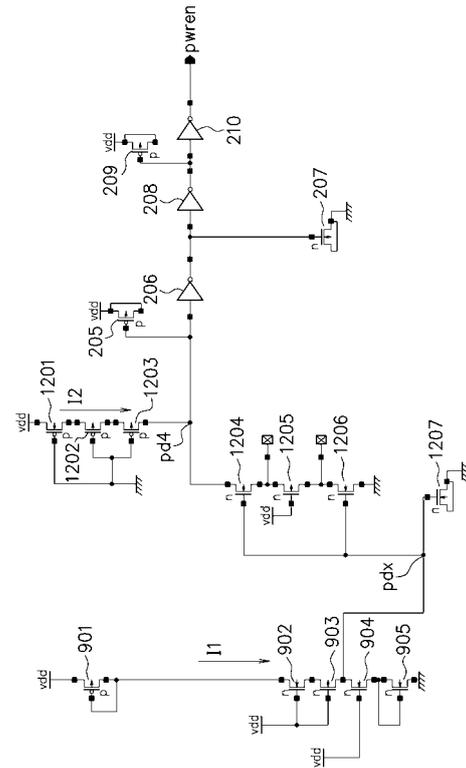
【 図 10 】



【 図 11 】



【 図 12 】



フロントページの続き

- (56)参考文献 特開平08-223017(JP,A)
特開2002-344298(JP,A)
特開昭56-108120(JP,A)
特開平11-031956(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H03K 17/00-17/70