

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7386664号  
(P7386664)

(45)発行日 令和5年11月27日(2023.11.27)

(24)登録日 令和5年11月16日(2023.11.16)

(51)国際特許分類	F I		
G 0 1 R 31/3167(2006.01)	G 0 1 R	31/3167	
G 0 1 R 31/28 (2006.01)	G 0 1 R	31/28	C
H 0 3 M 1/10 (2006.01)	G 0 1 R	31/28	Q
	G 0 1 R	31/28	R
	H 0 3 M	1/10	C
請求項の数 12 外国語出願 (全16頁)			

(21)出願番号	特願2019-187394(P2019-187394)	(73)特許権者	511051753 ヴァーゴ・フェアヴァルトゥングスゲゼルシャフト・エムペーハー ドイツ国 3 2 4 2 3 ミンデン, ハンザ シュトラッセ 2 7
(22)出願日	令和1年10月11日(2019.10.11)	(74)代理人	100118902 弁理士 山本 修
(65)公開番号	特開2020-60569(P2020-60569A)	(74)代理人	100106208 弁理士 宮前 徹
(43)公開日	令和2年4月16日(2020.4.16)	(74)代理人	中西 基晴
審査請求日	令和4年4月22日(2022.4.22)	(74)代理人	100196508 弁理士 松尾 淳一
(31)優先権主張番号	10 2018 008 109.6	(74)代理人	100161908 弁理士 藤木 依子
(32)優先日	平成30年10月12日(2018.10.12)		
(33)優先権主張国・地域又は機関	ドイツ(DE)		

最終頁に続く

(54)【発明の名称】 自動化システムにおける安全回路および安全回路を試験するための方法

(57)【特許請求の範囲】

【請求項1】

入力信号 (S<sub>E</sub>) をマルチチャネル方式で処理するための安全回路 (1) であって：  
入力信号 (S<sub>E</sub>) を入力し、入力信号 (S<sub>E</sub>) を出力部 (501) に供給するように構成された入力回路 (500)、

第1のアナログ入力部 (101) および第2のアナログ入力部 (102)、ならびに少なくとも1つのデジタル出力部 (109, 110) を有するAD変換器 (100)、

アナログ形式の第1の入力信号 (S<sub>E A 1</sub>) を伝送するために、入力回路 (500) の出力部 (501) およびAD変換器 (100) の第1のアナログ入力部 (101) に接続された第1の信号線 (410) であって、AD変換器が、第1のアナログ入力部 (101) のアナログ形式の第1の入力信号 (S<sub>E A 1</sub>) をデジタル形式の第1の入力信号 (S<sub>1 D</sub>) に変換し、デジタル出力部 (109, 110) で出力するように構成された第1の信号線 (410)、

10

アナログ形式の第2の入力信号 (S<sub>E A 2</sub>) を伝送するために、入力回路 (500) の出力部 (501) およびAD変換器 (100) の第2のアナログ入力部 (102) に接続された第2の信号線 (420) であって、AD変換器 (100) が、第2のアナログ入力部 (102) のアナログ形式の第2の入力信号 (S<sub>E A 2</sub>) をデジタル形式の第2の入力信号 (S<sub>2 D</sub>) に変換し、デジタル出力部 (109, 110) で出力するように構成された第2の信号線 (420)、

デジタル形式の第1の入力信号 (S<sub>1 D</sub>) およびデジタル形式の第2の入力信号 (S<sub>2 D</sub>)

20

)を評価するための制御および評価装置(600)であって、AD変換器(100)の少なくとも1つのデジタル出力部(109, 110)が、制御および評価装置(600)の少なくとも1つの入力部(601, 602)に接続されている制御および評価装置(600)、

アナログ試験信号( $S_{TA}$ )を出力するための試験装置(300)であって、試験装置(300)が、制御および評価装置(600)の制御出力部(609)に接続された制御入力部(301)を有し、さらに制御および評価装置(600)が試験装置(300)を制御するように構成されている試験装置(300)を有する安全回路(1)において、

試験装置(300)が、第1の信号線(410)に接続されたアナログ試験信号( $S_{TA}$ )を出力するための第1のアナログ試験出力部(310)を有し、

10

試験装置(300)が、第2の信号線(420)に接続されたアナログ試験信号( $S_{TA}$ )を出力するための第2のアナログ試験出力部(320)を有しており、さらに、

前記第1の信号線(410)が第1の減衰素子( $Z_1$ )を有し、前記入力回路(500)が前記第1の減衰素子( $Z_1$ )を介して前記AD変換器(100)の前記第1のアナログ入力部(101)に接続されており、

前記第2の信号線(420)が第2の減衰素子( $Z_2$ )を有し、前記入力回路(500)が前記第2の減衰素子( $Z_2$ )を介して前記AD変換器(100)の前記第2のアナログ入力部(102)に接続されており、

アナログ形式の第1の入力信号( $S_{EA1}$ )およびアナログ試験信号( $S_{TA}$ )が試験期間にAD変換器(100)の第1のアナログ入力部(101)で重畳され、および/またはアナログ形式の第2の入力信号( $S_{EA2}$ )およびアナログ試験信号( $S_{TA}$ )が、試験期間にAD変換器(100)の第2のアナログ入力部(102)で重畳されるように構成されており、

20

前記第1の減衰素子( $Z_1$ )、前記第2の減衰素子( $Z_2$ )、並びに前記試験装置(300)および/または信号源(700)の出力インピーダンスは、前記アナログ試験信号( $S_{TA}$ )が前記アナログ形式の第1の入力信号( $S_{EA1}$ )もしくは前記アナログ形式の第2の入力信号( $S_{EA2}$ )に対して支配的になるように設定され、

前記試験装置(300)がアナログ試験信号( $S_{TA}$ )を入力するための試験入力部(302)を有し、少なくとも試験期間( $T_{test}$ )にアナログ試験信号( $S_{TA}$ )が印加されており、

30

前記信号源(700)が前記試験入力部(302)に接続されており、信号源(700)が、電圧源または電流源によってアナログ試験信号( $S_{TA}$ )を生成するように構成されていることを特徴とする安全回路(1)。

#### 【請求項2】

請求項1に記載の安全回路において、

アナログ試験信号( $S_{TA}$ )が、接地電位、一定の電位、または可変の電位である安全回路。

#### 【請求項3】

請求項1に記載の安全回路において、

アナログ試験信号( $S_{TA}$ )が、一定または可変の電流である安全回路。

40

#### 【請求項4】

請求項1に記載の安全回路において、

アナログ試験信号( $S_{TA}$ )が、試験期間( $T_{test}$ )に、予め決定された、または予め決定可能な信号波形に追従する安全回路。

#### 【請求項5】

請求項1から4までのいずれか1項に記載の安全回路において、

試験装置(300)が切換装置(350)を有し、該切換装置(350)が、アナログ試験信号( $S_{TA}$ )を第1のアナログ試験出力部(310)または第2のアナログ試験出力部(320)に接続するように構成されている安全回路。

#### 【請求項6】

50

請求項 5 に記載の安全回路において、  
 切換装置 ( 3 5 0 ) が少なくとも 2 つのスイッチ ( 3 5 5 ) を有し、スイッチ ( 3 5 5 ) が個別に制御可能である安全回路。

【請求項 7】

請求項 1 から 6 までのいずれか 1 項に記載の安全回路において、  
 制御および評価装置 ( 6 0 0 ) が、デジタル形式の第 1 の入力信号 (  $S_{1D}$  ) および / またはデジタル形式の第 2 の入力信号 (  $S_{2D}$  ) を処理するためのプロセッサを有する安全回路。

【請求項 8】

請求項 1 から 7 までのいずれか 1 項に記載の安全回路において、  
 AD 変換器 ( 1 0 0 ) が、第 1 の AD 変換器 ( 1 5 0 ) および第 2 の AD 変換器 ( 1 6 0 ) を有し、  
 第 1 の AD 変換器 ( 1 5 0 ) が、アナログ形式の第 1 の入力信号 (  $S_{EA1}$  ) をデジタル形式の第 1 の入力信号 (  $S_{1D}$  ) に変換し、デジタル出力部 ( 1 0 9 ) で出力するように構成されており、  
 第 2 の AD 変換器 ( 1 6 0 ) が、アナログ形式の第 2 の入力信号 (  $S_{EA2}$  ) をデジタル形式の第 2 の入力信号 (  $S_{2D}$  ) に変換し、デジタル出力部 ( 1 1 0 ) で出力するように構成されている安全回路。

【請求項 9】

安全回路を試験する方法において、  
 前記安全回路は、アナログ試験信号 (  $S_{TA}$  ) を生成するための信号源 ( 7 0 0 ) と、アナログ試験信号 (  $S_{TA}$  ) を出力するための試験装置 ( 3 0 0 ) とを有し、  
 前記方法は、  
 第 1 および / または第 2 の信号線 ( 4 1 0 , 4 2 0 ) にアナログ試験信号を出力し、  
 試験期間 (  $T_{test}$  ) に試験装置 ( 3 0 0 ) の試験入力部 ( 3 0 2 ) に印加されたアナログ試験信号 (  $S_{TA}$  ) を、切換装置 ( 3 5 0 ) を介して第 1 および / または第 2 の信号線 ( 4 1 0 , 4 2 0 ) に接続し、  
 AD 変換器 ( 1 0 0 ) の第 1 のアナログ入力部 ( 1 0 1 ) および / または AD 変換器 ( 1 0 0 ) の第 2 のアナログ入力部 ( 1 0 2 ) にアナログ試験信号 (  $S_{TA}$  ) を印加し、  
 試験装置 ( 3 0 0 ) による試験期間 (  $T_{test}$  ) に、  
 AD 変換器 ( 1 0 0 ) の第 1 のアナログ入力部 ( 1 0 1 ) でアナログ試験信号 (  $S_{TA}$  ) が支配的になるようにアナログ試験信号 (  $S_{TA}$  ) はアナログ形式の第 1 の入力信号 (  $S_{EA1}$  ) と重畳され、かつ / または  
 AD 変換器 ( 1 0 0 ) の第 2 のアナログ入力部 ( 1 0 2 ) でアナログ試験信号 (  $S_{TA}$  ) が支配的になるようにアナログ試験信号 (  $S_{TA}$  ) はアナログ形式の第 2 の入力信号 (  $S_{EA2}$  ) と重畳される、方法。

【請求項 10】

請求項 9 に記載の方法において、  
 試験期間 (  $T_{test}$  ) に試験装置 ( 3 0 0 ) の試験入力部 ( 3 0 2 ) にアナログ試験信号 (  $S_{TA}$  ) を印加し、制御可能な信号源 ( 7 0 0 ) からアナログ試験信号 (  $S_{TA}$  ) を供給し、制御および評価装置 ( 6 0 0 ) によって信号源 ( 7 0 0 ) を制御する方法。

【請求項 11】

請求項 9 または 10 に記載の方法において、  
 予め決定された、または予め決定可能な信号波形に自動的に追従することによってアナログ試験信号 (  $S_{TA}$  ) が変更される、方法。

【請求項 12】

請求項 9 から 11 までのいずれか 1 項に記載の方法において、  
 制御および評価装置 ( 6 0 0 ) によって、  
 アナログ試験信号 (  $S_{TA}$  ) をデジタル形式の第 1 の入力信号 (  $S_{1D}$  ,  $S_{2D}$  ) に変換するための AD 変換器 ( 1 0 0 ) の第 1 のアナログ入力部 ( 1 0 1 ) および / または AD

10

20

30

40

50

変換器(100)の第2のアナログ入力部(102)で、試験期間(T<sub>test</sub>)に、試験装置(300)によって出力されたアナログ試験信号(S<sub>TA</sub>)を期待値に対してチェックし、不一致である場合にエラー信号をトリガする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、特に自動化システムにおけるアナログ入力信号のための安全回路を試験するための装置および方法に関する。

【背景技術】

【0002】

自動化技術では、センサが、例えば周辺の物理的な変数を検出し、電気信号に変換するシステムが知られている。電気信号は、評価のために制御部(SPS)に伝送することができる。制御部のプロセッサは、制御プログラムを使用して、例えば、プロセスステップを実行するアクチュエータを制御するために信号を処理する。プロセスステップは、プロセス全体の一部としてのサブプロセスであってもよい。この場合、適正な機能を確保するために時々または周期的に電気信号の正しい伝送をチェックする必要がある。有利には、チェックはプロセスを中断することなしに行われる。電気信号は、デジタルまたはアナログ形式で提供することができる。センサからの信号がアナログ形式で提供されている場合には、信号は、いわゆる「アナログ デジタル変換器(AD変換器)」においてさらに処理するために、例えば、制御および評価ユニットによってデジタル化され、デジタル形式で処理され、さらに伝送される。この場合、AD変換器は、1つ以上のAD変換器を有することができる。

【0003】

ドイツ連邦共和国特許出願公開第102013111888号明細書により、アナログ入力信号をマルチチャンネル方式で処理するための安全装置が知られており、この安全装置では、試験装置が、それぞれ第1および第2の切換装置の別の付加的な入力部に接続されている。試験装置は、所定の試験信号を生成するように構成されている。例えば、試験装置は、マイクロコントローラからの制御信号によって試験信号を生成し、切換装置を介してAD変換器に供給することができ、これによりAD変換器の全ての値範囲を試験することができる。このために、試験信号にตอบสนองしてAD変換器によって生成された出力信号は、マイクロコントローラに供給され、正確さがチェックされる。

【0004】

ドイツ連邦共和国特許出願公開第102011050539号明細書は、少なくとも2つの測定チャンネルを有する測定装置を提案しており、それぞれの測定チャンネルは、アナログ電圧をデジタル電圧値に変換するためのAD変換器と、論理ユニットとを有する。測定チャンネルは、安全な測定チャンネルとして構成されており、測定電圧と基準電圧との間でアナログ電圧を切り換えることができるマルチプレクサを含む。少なくとも1つの他の測定チャンネルの論理ユニットは、基準電圧を供給し、測定電圧と基準電圧との間でマルチプレクサを切り換えるための基準発生器として構成されている。

【0005】

さらに、少なくとも1つの出力信号を決定するための2チャンネル式の方法が、ドイツ連邦共和国特許出願公開第102005011406号明細書により知られている。この場合、2つの独立したチャンネルが提供される。入力信号はこれらのチャンネルに交互に供給され、マルチプレクサはチャンネル間を切り換える役割を果たす。いずれか一方のチャンネルのマイクロプロセッサは試験入力信号を生成し、変化する入力信号が現在印加されていないチャンネルに供給される。対応してこのチャンネルは出力信号を出力し、このチャンネルが正しく動作しているかどうかをチェックするための期待値と出力信号とを比較する。同時に、他方のチャンネルは、出力信号を生成するために使用される。続いてマルチプレクサは制御信号に基づいて切り換えられる。この場合、それぞれのチャンネルには、アナログ測定電圧をデジタル電圧値に変換するAD変換器が配置されている。

10

20

30

40

50

## 【先行技術文献】

## 【特許文献】

## 【0006】

【文献】ドイツ連邦共和国特許出願公開第102013111888号明細書

【文献】ドイツ連邦共和国特許出願公開第102011050539号明細書

【文献】ドイツ連邦共和国特許出願公開第102005011406号明細書

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0007】

本発明の基礎をなす課題は、できるだけ改善された安全回路を提供することである。

10

## 【課題を解決するための手段】

## 【0008】

この課題は、請求項1の特徴によって解決される。有利な実施形態および構成は、従属請求項の対象であり、本明細書に含まれる。

## 【0009】

したがって、特に入力回路を有するセンサ信号の入力信号をマルチチャンネル方式で処理するために安全回路が設けられており、この入力回路は、入力信号を入力し、入力信号を出力部に供給するように構成されている。

## 【0010】

安全回路は、第1のアナログ入力部および第2のアナログ入力部、ならびに少なくとも1つのデジタル出力部を有するAD変換器をさらに含む。

20

## 【0011】

さらに、安全回路は、アナログ形式の第1の入力信号をさらに伝送するために、入力回路の出力部およびAD変換器の第1のアナログ入力部に接続された第1の信号線を有し、AD変換器は、第1のアナログ入力部のアナログ形式の第1の入力信号をデジタル形式の第1の入力信号に変換し、少なくとも1つのデジタル出力部で出力するように構成されている。

## 【0012】

さらに安全回路は、アナログ形式の第2の入力信号をさらに伝送するために、入力回路の出力部およびAD変換器の第2のアナログ入力部に接続された第2の信号線を備え、AD変換器は、第2のアナログ入力部のアナログ形式の第2の入力信号をデジタル形式の第2の入力信号に変換し、デジタル出力部で出力する。

30

## 【0013】

さらに安全回路は、デジタル形式の第1の入力信号およびデジタル形式の第2の入力信号を評価するための制御および評価装置を有し、AD変換器の少なくとも1つのデジタル出力部は、制御および評価装置の少なくとも1つの入力部に接続されている。

## 【0014】

さらに安全回路は、アナログ試験信号を出力するための試験装置を有し、試験装置は、制御および評価装置の制御出力部に接続された制御入力部を有する。さらに制御および評価装置は、試験装置を制御するように構成されている。特に有利には、試験装置は、第1の信号線に接続されたアナログ試験信号を出力するための第1のアナログ試験出力部を有し、試験装置は、第2の信号線に接続されたアナログ試験信号を出力するための第2のアナログ試験出力部を有している。

40

## 【0015】

これに関連して、本明細書および特許請求の範囲において使用される安全回路は、特に、制御および評価装置においてさらに処理するためにセンサからの信号を変換する電気装置として理解されるべきである。さらに安全回路は試験装置を有し、本発明の有利な実施形態では、試験期間に、線破断および/または短絡、および/またはAD変換器の正しい動作について信号線をチェックすることができる。

## 【0016】

50

有利な実施形態によれば、安全回路は、試験期間にさらにセンサ信号を受信することができ、これらのセンサ信号に基づいてプロセスを制御し、エラー発生時には必要に応じてこのプロセスを中断し、かつ/またはエラー信号をトリガすることができる。

【0017】

センサから供給される信号は、デジタル入力信号とアナログ入力信号とを区別するために使用することができる。デジタル信号は、例えば制御および評価装置において直接に評価または処理することができるが、アナログ信号を調整または適合することは有利であり得る。アナログ信号を調整または適合するために、安全回路は入力回路を含む。

【0018】

例えば、対応するセンサから出力されるアナログ信号は、例えば、周辺の温度または他の物理量または特性を表す電圧であってもよい。

10

【0019】

この種のセンサの動作原理は、例えば、センサのオーム抵抗が、測定値（温度、長さなど）に応じて変化することに基づいている。この抵抗変化は、センサにおける電圧降下の変化をもたらし、この電圧降下は、単純な分圧器またはブリッジ回路を用いてアナログ信号として検出することができる。

【0020】

アナログ信号をさらに処理するためには、いわゆる「AD変換器」が有利である。AD変換器は、時間的に連続する入力信号を（その動作原理によって、または上流側の、もしくは組み込まれたサンプルアンドホールドステージによって）個々に個別のサンプルに離散化する。次に、これらのサンプルはデジタル値に変換される。可能な出力値の数が有限であることに基づいて、常に量子化が存在する。

20

【0021】

AD変換の結果は、例えば、信号 - 時間線図において、段階的な水平間隔および垂直間隔を有する点シーケンスとして表される。AD変換器の主なパラメータは、ビット深度、最大サンプリングレート、およびオーバーサンプリング能力である。AD変換器のビット深度およびオーバーサンプリングは、入力信号を変換することができる最大限の正確さを制限する。AD変換器は、今日ではマイクロチップに組み込まれており、単一チャンネルまたはマルチチャンネルとして構成することができる。これに関して、マルチチャンネル方式であるとは、例えば、いくつかの信号を、ほぼ同時に、かつ互いに独立して伝送または処理できることを意味する。AD変換器は、組込み式のマルチプレクサを含むことができ、組込み式のマルチプレクサは、複数のチャンネルをAD変換器に接続するように構成されており、例えば、全てのチャンネルをAD変換器に次々に周期的に接続することができる。

30

【0022】

試験装置は、例えば、同様に制御可能な論理および切換装置を有するマルチプレクサを備え、切換装置は複数のスイッチからなり、これらのスイッチは、例えば、互いに独立して切換可能であり、好ましくは外部の信号源に接続することができる。

【0023】

制御および評価装置は、有利には、計算ユニットと、実行可能なプログラムを有するメモリとからなり、計算ユニットは、プロセッサ、1つのマイクロコントローラ、または好ましくは2つのマイクロコントローラからなってもよい。

40

【0024】

プログラムは制御および評価タスクを処理し、プログラムは、制御および/または評価プログラムにしたがって、プロセッサ、1つのマイクロコントローラ、または2つのマイクロコントローラで同時に、または別々に実行することができる。

【0025】

有利な実施形態によれば、安全回路の試験装置は、アナログ試験信号を入力するための試験入力部を有し、少なくとも試験期間にアナログ試験信号が印加される。特に、信号源が信号入力部に接続されている。信号源は、特に電圧源または電流源によって、アナログ試験信号を生成するように構成されている。

50

## 【 0 0 2 6 】

試験入力部は、有利には連続的なアナログ信号をアナログ試験信号として入力し、必要に応じてさらに伝送するために適している。好ましくは、アナログ試験信号を生成する信号源は、アナログ試験信号として制御および評価装置によって設定された電圧値または電流値を出力するように構成された制御可能な電圧源または電流源である。

## 【 0 0 2 7 】

別の有利な実施形態によれば、アナログ試験信号は、接地電位、一定の電位、または可変の電位である。

## 【 0 0 2 8 】

簡単な場合には、例えば、トランジスタを信号源として使用することができ、トランジスタは試験入力部を接地電位に接続する。さらに、一定の電圧源および可変の電圧源の両方を使用してアナログ試験信号を出力することができる。

10

## 【 0 0 2 9 】

有利な実施形態によれば、アナログ試験信号は、一定または可変の電流である。

## 【 0 0 3 0 】

別の有利な実施形態によれば、アナログ試験信号は試験期間に、予め決定された、または予め決定可能な信号波形に追従する。

## 【 0 0 3 1 】

これに関連して、アナログ試験信号  $S_{TA}$  は、試験期間 ( $T_{test}$ ) には一定であり、すなわち、時間的に変化しない ( $S_{TA} = \text{一定}$ ) か、または、時間  $F$  ( $S_{TA} = F(t)$ ) の関数として信号波形に追従する。

20

## 【 0 0 3 2 】

有利な実施形態によれば、試験装置は切換装置を有し、切換装置は、アナログ試験信号を第1のアナログ試験出力部および/または第2のアナログ試験出力部に接続するように構成されている。

## 【 0 0 3 3 】

この場合、切換装置は、機械的および/または電子的スイッチ、特に半導体スイッチを備えることができ、これらのスイッチは、好ましくは、制御論理を介して制御可能であり、閉状態において、試験信号がアナログ試験出力部に印加されるように電氣的接続を生成する。

30

## 【 0 0 3 4 】

有利な実施形態によれば、切換装置は少なくとも2つのスイッチを有し、これらのスイッチは個別に、および/またはグループで制御することができる。

## 【 0 0 3 5 】

スイッチの制御は制御論理によって行われ、制御論理は、好ましくは、制御入力部を介して、例えば、制御および評価装置からデジタル信号を受信し、評価し、それぞれのスイッチを個別に切り換えることができる。

## 【 0 0 3 6 】

別の有利な実施形態によれば、安全回路の第1の信号線は第1の減衰素子を有し、したがって入力回路は第1の減衰素子を介してAD変換器の第1のアナログ入力部に接続されている。さらに第2の信号線は第2の減衰素子を有し、入力回路は第2の減衰素子を介してAD変換器の第2のアナログ入力部に接続されている。

40

## 【 0 0 3 7 】

この場合、減衰素子という用語は、オーム抵抗またはインピーダンスなどの電気要素を意味するものと理解される。減衰素子は、少なくとも試験モードにおいて、減衰素子の後に信号をAD変換器の方向に変更するために、入力回路とAD変換器の第1もしくは第2のアナログ入力部との間の信号経路に挿入される。この場合、信号の振幅および/またはレベルおよび/または周波数を変更することができる。

## 【 0 0 3 8 】

有利な実施形態によれば、第1の減衰素子、第2の減衰素子、および試験装置および/

50

または信号源の出力インピーダンスは、アナログ形式の第1の入力信号およびアナログ試験信号が試験期間にAD変換器の第1のアナログ入力部で重畳され、および/またはアナログ形式の第2の入力信号およびアナログ試験信号が試験期間にAD変換器の第2のアナログ入力部で重畳されるように設定されており、これによりアナログ試験信号がアナログ形式の第1の入力信号もしくはアナログ形式の第2の入力信号に対して支配的(dominant)になる。

【0039】

別の有利な実施形態によれば、制御および評価装置は、デジタル形式の第1の入力信号および/またはデジタル形式の第2の入力信号を処理するためのプロセッサを有する。

【0040】

制御および評価装置内のプロセッサは、「マイクロプロセッサ」とも呼ばれ、組み込まれたチップ内に、例えば、計算機、制御装置、レジスタおよびメモリマネージャなどの全ての構成要素を含む。この場合、プロセッサは、複数のプロセッサコア、特に2つのプロセッサコアからなるマルチコアプロセッサであってもよい。

【0041】

別の有利な実施形態によれば、AD変換器は、第1のAD変換器および第2のAD変換器を有し、第1のAD変換器は、アナログ形式の第1の入力信号をデジタル形式の第1の入力信号に変換し、デジタル出力部で出力するように構成されており、第2のAD変換器は、アナログ形式の第2の入力信号をデジタル形式の第2の入力信号に変換し、デジタル出力部で出力するように構成されている。

【0042】

AD変換器は、好ましくは、マルチチャンネルとして構成されており、アナログ形式の1つまたは複数の第1および/または第2の入力信号をデジタル形式の第1および/または第2の入力信号に同時に変換することができる複数のAD変換器を含むことができる。代替的には、AD変換器は、アナログ形式のマルチチャンネルの第1および/または第2の入力信号を、例えばAD変換器に接続する上流側のマルチプレクサを有する正確に1つのAD変換器を備えてもよい。

【0043】

本発明の別の態様では、安全回路を試験するための方法が得られる。安全回路は、アナログ試験信号を生成するための信号源と、アナログ試験信号を出力するための試験装置とを有する。この方法では、第1および/または第2の信号線でアナログ試験信号が出力され、試験期間に試験装置のアナログ入力部に印加されたアナログ試験信号が切換装置を介して接続(分配)され、AD変換器の第1のアナログ入力部および/またはAD変換器の第2のアナログ入力部にアナログ試験信号が印加され、AD変換器の第1のアナログ入力部でアナログ試験信号にアナログ形式の第1の入力信号が重畳され、および/またはAD変換器の第2のアナログ入力部でアナログ試験信号にアナログ形式の第2の入力信号が重畳される。

【0044】

信号源は、例えば、好ましくはプロセッサを用いて制御可能な信号源であり、所定のアナログ試験信号を出力する。この場合、アナログ試験信号の出力は、信号線に接地電位、一定または可変の電位、または一定または可変の電流を印加することとして理解されるべきである。切換装置は、アナログ試験信号を信号線に分配するように構成されており、切換装置は、好ましくは、制御および評価ユニットのプロセッサによって制御される。

【0045】

方法の有利な実施形態によれば、試験装置による試験期間に、AD変換器の第1のアナログ入力部でアナログ試験信号が支配的になるようにアナログ形式の第1の入力信号にアナログ試験信号が重畳され、かつ/またはAD変換器の第2のアナログ入力部でアナログ試験信号が支配的になるようにアナログ形式の第2の入力信号にアナログ試験信号が重畳される。

【0046】

10

20

30

40

50



好ましくは、アナログ試験信号の支配的は、減衰素子の実数または複素数インピーダンスの選択ならびに試験装置の第1および第2のアナログ出力部のインピーダンスによって整合されているか、または可変のインピーダンスによって整合可能である。

【0047】

方法の別の有利な実施形態によれば、試験期間に試験装置の試験入力部にアナログ試験信号が印加され、アナログ試験信号は、制御可能な信号源、特に電圧源から供給され、信号源は制御および評価装置によって制御される。

【0048】

信号源として使用される電圧源は、一定または可変の電圧値を出力するためのDCまたはAC電圧源とすることができる。特に、制御または調整された電圧源が有利である。

10

【0049】

方法の別の有利な実施形態によれば、予め決定された、または予め決定可能な信号波形に自動的に追従することによってアナログ試験信号が変更される。

【0050】

アナログ試験信号の変化、例えば電圧値の大きさは、好ましくは時間ベースであり、線形であってもよいし、時間との別の関数関係にあってもよい。このことから、AD変換器の時間依存性を求めることもできる。有利には、電圧値の範囲は、少なくともAD変換器の動作範囲をカバーする。

【0051】

別の有利な実施形態によれば、方法は、アナログ試験信号をデジタル形式の第1の入力信号に変換するためのAD変換器の第1のアナログ入力部および/またはAD変換器の第2のアナログ入力部において試験期間に試験装置によって出力されたアナログ試験信号を期待値に対してチェックし、不均等の場合にエラー信号をトリガする制御および評価装置を有する。

20

【0052】

期待値は、例えば数値または数値範囲が対応する値または値の範囲に基づいていてもよい。数値または数値範囲は、比較値として使用することができ、1つのAD変換器または複数のAD変換器に依存する。好ましくは、値範囲および/または数値範囲は、少なくともAD変換器の測定範囲をカバーするか、またはこれに対応する。

【0053】

本発明は、上述の実施形態に限定されず、異なる実施形態の特徴を組み合わせることができる。さらなる特徴および特徴の組み合わせが図面の説明に含まれている。

30

【0054】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

【図面の簡単な説明】

【0055】

【図1】入力回路、試験装置、AD変換器、および制御および評価装置を有する実施形態の安全回路を示すブロック図である。

【図2】例えば、3つのセンサ信号、試験装置、AD変換器、ならびに制御および評価ユニットを有する別の実施形態の安全回路を示すブロック図である。

40

【図3】信号源を有する別の実施形態の試験装置を示すブロック図である。

【図4】アナログ形式の試験信号および入力信号の例示的な波形を示す図である。

【発明を実施するための形態】

【0056】

図1は、一実施形態の安全回路1のブロック図を示す。安全回路1は、アナログセンサ(図示しない)を接続するための入力回路500を有する。入力回路は、出力部501にセンサ信号 $S_E$ を出力するための整合回路を有する。第1の信号線410は、入力回路500の出力部501と、AD変換器100の第1のアナログ入力部101とに接続されている。さらに、第2の信号線420は、入力回路500の出力部501およびAD変換器100の第2のアナログ入力部102に接続されている。

50

## 【 0 0 5 7 】

第 1 の信号線 4 1 0 には減衰素子  $Z_1$  が直列に接続されており、これにより入力回路 5 0 0 から出力部 5 0 1 で出力されるセンサ信号  $S_E$  が減衰される。

## 【 0 0 5 8 】

さらに、第 2 の信号線 4 2 0 には減衰素子  $Z_2$  が直列に接続されており、これにより入力回路 5 0 0 から出力部 5 0 1 で出力されるセンサ信号  $S_E$  も減衰される。

## 【 0 0 5 9 】

減衰素子  $Z_1$ 、 $Z_2$  およびこれらの減衰素子により導かれる減衰係数は、これらの減衰素子のインピーダンスによって決定される。減衰素子  $Z_1$  および  $Z_2$  によって減衰されたアナログ形式の第 1 の入力信号  $S_{EA1}$  および第 2 の入力信号  $S_{EA2}$  は、A/D 変換器 1 0 0 において処理される。

10

## 【 0 0 6 0 】

A/D 変換器 1 0 0 は、図 1 の実施形態に示されているように、従来技術により知られている 2 つの A/D 変換器からなる。A/D 変換器 1 5 0 および 1 6 0 は、第 1 のアナログ入力部 1 0 1 および第 2 のアナログ入力部 1 0 2 にそれぞれ印加されたアナログ形式の第 1 の入力信号  $S_{EA1}$  および第 2 の  $S_{EA2}$  をデジタル形式の第 1 の入力信号  $S_{1D}$  および第 2 の入力信号  $S_{2D}$  に変換し、これらの入力信号を第 1 のデジタル出力部 1 0 9 および第 2 のデジタル出力部 1 1 0 を介して出力する。

## 【 0 0 6 1 】

デジタル形式の第 1 の入力信号  $S_{1D}$  および第 2 の入力信号  $S_{2D}$  をさらに処理するために、これらの信号は、データ線 4 3 0 および 4 4 0 を介して、制御および評価装置 6 0 0 の第 1 の入力部 6 0 1 および第 2 の入力部 6 0 2 に伝送される。

20

## 【 0 0 6 2 】

制御および評価装置 6 0 0 は、2 つのマイクロコントローラ  $\mu C_1$  および  $\mu C_2$  からなり、これらのマイクロコントローラはデータ技術的に互いに接続されており、入力部 6 0 1 および 6 0 2 に接続されている。マイクロコントローラは、デジタル形式の第 1 の入力信号  $S_{1D}$  および第 2 の入力信号  $S_{2D}$  をデータ技術的に処理するように構成されており、処理は、評価および / または、例えば上位の制御部への伝送を含むことができる。

## 【 0 0 6 3 】

図 1 の例示的な実施形態に示すように、安全回路 1 は試験装置 3 0 0 を有し、試験装置 3 0 0 の第 1 のアナログ試験出力部 3 1 0 および A/D 変換器 1 0 0 の第 1 のアナログ入力部 1 0 1 は、ノード 4 1 1 において減衰素子  $Z_1$  に互いに電氣的に接続されている。さらに、A/D 変換器 1 0 0 の第 2 のアナログ試験出力部 3 2 0 および第 2 のアナログ入力部 1 0 2 は、ノード 4 2 1 において減衰素子  $Z_2$  に電氣的に接続されている。

30

## 【 0 0 6 4 】

さらに、試験装置 3 0 0 は、アナログ試験信号  $S_{TA}$  を入力するための試験入力部 3 0 2 を有する。アナログ試験信号を生成するためには、試験入力部 3 0 2 に接続された信号源 7 0 0 が用いられる。この信号源 7 0 0 は、制御線を介して制御および評価装置 6 0 0 の制御出力部 6 1 0 に接続されており、制御および評価装置 6 0 0 による基準にしたがってアナログ試験信号  $S_{TA}$  を設定するように構成されている。

40

## 【 0 0 6 5 】

試験装置 3 0 0 を制御するために、制御入力部 3 0 1 は制御および評価装置 6 0 0 に接続されている。さらに、試験装置は、制御および評価装置 6 0 0 による基準にしたがって、アナログ試験信号  $S_{TA}$  を第 1 のアナログ試験出力部 3 1 0 および / または第 2 のアナログ試験出力部 3 2 0 に接続するように構成されている。

## 【 0 0 6 6 】

試験装置は単純に構成されており (図 3 の実施例を参照されたい)、切換論理 3 6 0 と、切換論理 3 6 0 によって制御される多数のスイッチ 3 5 5 を備える切換装置 3 5 0 とを有し、アナログ試験信号  $S_{TA}$  を、制御および評価論理の基準に対応してアナログ試験出力部に接続する。この場合、第 1 のアナログ試験出力部 3 1 0 および / または第 2 のアナ

50

ログ試験出力部 3 2 0 の低出力インピーダンスは、例示的な実施形態に示すように、入力信号の信号振幅よりも著しく大きい試験信号  $S_{TA}$  の信号振幅を誘起し ( $S_{EA1} / S_{EA2}$ )、アナログ試験信号  $S_{TA}$  は、AD変換器 1 0 0 の第 1 のアナログ入力部 1 0 1 および / または第 2 のアナログ入力部 1 0 2 で支配的になる。

【 0 0 6 7 】

図 1 の実施形態では、アナログ形式の第 1 の入力信号  $S_{EA1}$  およびアナログ試験信号  $S_{TA}$  の両方が共通の信号経路を介して案内され、評価されるので、簡単な方法で信号経路を、例えば、回線破断について試験することができる安全回路が実現される。有利には、同じ物理的特性がアナログ信号の影響を受ける。さらに、AD変換器 1 0 0、特に AD変換器 ( 1 5 0 , 1 6 0 ) を試験することが可能である。

10

【 0 0 6 8 】

図 2 は、明確にするために、例えば 3 つのセンサ信号 ( $S_E, S_{E'}, S_{E''}$ ) を独立して処理するための 3 つの入力回路 ( 5 0 0 , 5 0 0' , 5 0 0'' ) を有する、さらなる例示的な実施形態の安全回路 1 のブロック図を示す。

【 0 0 6 9 】

AD変換器 1 0 0 は、対応する数のアナログ形式の第 1 および第 2 の入力信号 ( $S_{EA1}, S_{EA2}, S_{EA1'}, S_{EA2'}, S_{EA1''}, S_{EA2''}$ ) を処理するように構成されている。

【 0 0 7 0 】

例えばマイクロチップとして構成された AD変換器 1 0 0 は、組込み式のマルチプレクサおよび AD変換器を含むことができる。組込み式のマルチプレクサは、いずれか一方のマイクロコントローラ  $\mu C_1$  または  $\mu C_2$  によって制御することができ、信号線に印加されたアナログ形式の入力信号  $S_{EA1, 2}$  および / またはアナログ試験信号  $S_{TA}$  を AD変換器に伝送し、アナログ信号 ( $S_{EA1, 2} / S_{TA}$ ) をデジタル形式の入力信号に変換する。AD変換器の正しい動作を試験することに加えて、組込み式のマルチプレクサを、例えば、短絡について試験することが可能である。このことが可能なのは、アナログ形式の入力信号とアナログ形式の試験信号の両方が同じ信号経路を介して案内されるからである。

20

【 0 0 7 1 】

処理されるセンサ信号の数は、試験装置 3 0 0 ( 図 3 の実施例を参照 ) の第 1 および第 2 のアナログ試験出力部の数と、AD変換器 1 0 0 の第 1 および第 2 のアナログ入力部の数とに依存する。

30

【 0 0 7 2 】

AD変換器 1 0 0 のデジタル出力部 1 0 9 において、データは、例えば、制御および評価装置の SPI インタフェース ( シリアルペリフェラルインタフェース ) を介して利用可能である。この場合、データ線 ( 4 3 0 ) は、データストリームを制御および評価装置の入力部 ( 6 0 1 ) に伝送するために適している。したがって、図 2 の実施形態で説明したような回路構造を用いて、任意の数のセンサ入力部に容易に適合可能な試験回路を実現することができる。

【 0 0 7 3 】

図 3 は、例えば 6 つのセンサ用に設計された、別の実施形態の試験装置 3 0 0 のブロック図を示す。試験装置 3 0 0 は、1 2 個のスイッチ 3 5 5 を有する切換装置 3 5 0 を含み、これらのスイッチは、切換論理 3 6 0 によって互いに独立して個別に切換可能であり、試験入力部 3 0 2 と、対応する第 1 および / または第 2 のアナログ試験出力部 ( 3 1 0 , 3 2 0 ) との間に導電接続を生成することができる。切換論理 3 6 0 は、制御入力部 3 0 1 を介して制御および評価装置によって制御される。スイッチ 3 5 5 は、好ましくは半導体集積回路として構成されている。図 3 の試験装置は、例えば、6 チャンネル方式の CMOS アナログマルチプレクサによって実現することができる。さらに、試験装置 3 0 0 は、アナログ試験信号  $S_{TA}$  を入力するための試験入力部 3 0 2 を含む。アナログ試験信号  $S_{TA}$  は信号源 7 0 0 によって生成される。

40

【 0 0 7 4 】

50

信号源 700 は、図 3 の実施形態では外部の構成要素として構成されており、同様に制御入力部 701 を有する。代替的には、信号源 700 は試験装置 300 に組み込むこともでき、切換論理 360 を介して制御可能であってもよい。信号源 700 は、一定または可変のアナログ信号を出力する信号発生器または単純な電流 / 電圧源であってもよい。さらに、信号源 700 として、接地電位に接続される単純なトランジスタも可能である。好ましくは、信号源 700 は、例えば、プロセッサ、制御および評価回路 600 によって設定可能な外部の電圧源または電流源を有しているか、または外部の電圧源または電流源として構成されている。例えば、信号源 700 は、試験信号を生成するためのデジタル / アナログ変換器を有する。

#### 【0075】

図 4 a は、例えば、AD変換器 100 の第 1 または第 2 の入力部 101, 102 における電圧波形 ( $U [V]$ ) を時間  $t$  の関数として示し、 $S_{EA}$  はアナログ形式の入力信号に対応し、 $S_{TA}$  はアナログ試験信号に対応する。

#### 【0076】

時点  $t = 0$  において、アナログ形式の第 1 の入力信号  $S_{EA}$  は、例えば AD変換器 100 の第 1 のアナログ入力部 101 において支配的である。時点  $t = t_1$  において、アナログ試験信号  $S_{TA}$  は、スイッチ 355 の対応するスイッチ位置に基づいて試験装置 300 の第 1 のアナログ出力部 310 を介して AD変換器 100 の第 1 のアナログ入力部 101 に印加され、時点  $T = t_2$  までアナログ形式の入力信号  $S_{EA}$  に重畳される。この場合、アナログ試験信号は一定 ( $S_{TA} = \text{定数}$ ) であってもよいし、または可変であってもよい。好ましくは、アナログ試験信号は、AD変換器の全ての測定範囲を通過して、正しい動作を決定する。

#### 【0077】

図 4 b は、AD変換器の入力部における電圧波形の別の例を示し、2 つの試験 ( $T_{test1}$ ,  $T_{test2}$ ) が連続して実行される。例えば、第 1 の試験期間  $T_{test1}$  の第 1 の試験は、試験信号  $S_{TA1}$  を有するアナログ形式の入力信号の電圧よりも低く、第 2 の試験期間  $T_{test2}$  の第 2 の試験は、試験信号  $S_{TA2}$  を有するアナログ形式の入力信号の電圧よりも高い。この場合、全ての測定範囲を通過するのではなく、短い時間間隔において測定範囲の個々の部分のみを通過することによって試験の継続時間を短縮することができる。

#### 【0078】

図 1 の実施形態の安全回路 1 は、好ましくは、少なくとも 2 つの動作状態を有する。第 1 の動作状態は通常モードであり、すなわち、センサによって供給されるアナログ信号は入力回路 500 において調整され、入力回路の出力部 501 に供給され、複数のチャンネル、この場合は 2 チャンネルで 2 つの信号線 410 および 420 を介して AD変換器 100 に伝送される。AD変換器 100 は、調整されたアナログ形式の第 1 または第 2 の入力信号  $S_{EA1}$ ,  $S_{EA2}$  から、デジタル形式の対応する第 1 または第 2 の入力信号  $S_{1D}$ ,  $S_{2D}$  を生成する。

#### 【0079】

デジタル形式の第 1 または第 2 のデータ  $S_{1D}$ ,  $S_{2D}$  は、データ線 430, 440 を介して、例えば、シリアルバスを用いて、制御および評価装置 600 に伝送され、プログラムによって、プロセッサまたは第 1 のマイクロコントローラ  $\mu C_1$  および / または第 2 のマイクロコントローラ  $\mu C_2$  で処理される。この場合、処理は、例えば、データ線 430 および 440 を介して伝送されたデータの比較および / またはこれらのデータの、例えば上位の制御部 ( $SPS$ ) へのさらなる伝送を含む。

#### 【0080】

第 2 の動作状態は試験モードである。この動作状態では、それぞれの信号経路 410, 420 は、試験装置 300 によって線破断についてと同様に伝送特性もしくは AD変換器の機能についても試験することができる。さらに、AD変換器 100 から出力されるデジタル形式の第 1 の入力信号  $S_{1D}$  および / または第 2 の入力信号  $S_{2D}$  を期待値と照合する

10

20

30

40

50

ことも可能である。有利には、期待値は、制御および評価装置 600 によって設定される。

【0081】

試験モードでは、プログラムの形式のテストルーチンが、好ましくは制御および評価装置 600 において実行される。テストルーチンは、制御および評価装置 600 または上位の制御部 (SPS) によってユーザが手動で開始するか、および / または周期的に開始することができ、安全回路の部分、特に試験装置 300 の信号源 700 を制御するための一連のコマンドを含む。

【0082】

信号源 700 は、例えば、所定のアナログ試験信号  $S_{TA}$  を出力するために、プロセスによって、または好ましくはいずれか一方のマイクロコントローラ  $\mu C_1$  または  $\mu C_2$  によって制御される。この試験信号  $S_{TA}$  は、接地電位、電位、(時間的に) 可変の電位、または電流もしくは可変の電流であってもよい (図 4)。

【0083】

図 3 の例示的な実施形態による試験装置 300 は評価および制御装置 600 によって制御可能であり、第 1 の信号線 410 がいずれか 1 つの第 1 のアナログ試験出力部、例えば試験装置 300 の 310a を介して試験装置 300 のアナログ入力部 302 に接続されるように、切換論理 360 によってスイッチ 355 を制御する。アナログ試験信号  $S_{TA}$  は、信号線 410 でアナログ形式  $S_{EA1}$  の第 1 の入力信号に重畳され、AD 変換器 100 のアナログ入力部 101 ではアナログ形式の第 1 の入力信号  $S_{EA1}$  が支配的であり、アナログ形式の第 1 の入力信号  $S_{EA1}$  は減衰素子  $Z_1$  によって減衰される。

【0084】

最も簡単な場合には、減衰時にアナログ形式の第 1 の入力信号の振幅が変更され、特に低減される。

【0085】

図 1 の実施形態における AD 変換器 100 は、アナログ試験信号  $S_{TA}$  を、例えば、デジタル形式の第 1 の入力信号  $S_{1D}$  に変換する。評価および制御ユニット 600 は、デジタル形式の第 1 の入力信号  $S_{1D}$  を、デジタル化されたアナログ試験信号  $S_{TA}$  に対応する期待値と照合する。これらの値が一致する場合には、AD 変換器 100、関連する信号線およびデータ線、ならびにデータインタフェースにおけるアナログ / デジタル変換はエラーがないと仮定することができる。

【0086】

この試験は、第 2 の信号線 420 に対しても行うことができる。有利には、試験は、例えば時間的に連続して順次に行うことができ、したがって、進行中のプロセスを中断することなしに、センサによって出力される信号  $S_E$  を制御および評価ユニット 600 によってさらに処理することができる。

【0087】

図 4 は、例えば AD 変換器 100 の第 1 のアナログ入力部 101 に印加されている信号の波形を時間の関数として示す線図である。

【0088】

アナログ形式の入力信号  $S_{AE}$  には、試験期間  $T_{test}$  の開始の時点  $t_1$  においてアナログ試験信号  $S_{TA}$  が重畳され、アナログ試験信号  $S_{TA}$  は、最も単純な実施形態では次の条件:  $S_{TA} > 0$  および  $S_{TA} > S_{EA}$  を満たす。試験期間は、時間間隔  $T_{test} = t_2 - t_1$  によって定義される。アナログ試験信号  $S_{TA}$  は、時定数信号、例えば、電位、接地電位 ( $S_{TA} = 0$ )、または定電流信号であってもよい。しかしながら、アナログ試験信号  $S_{TA}$  は、可変の電位または可変の電流であることも可能であり、この場合、「可変である」とは、この関連では、例えば、試験期間  $T_{test}$  にわたって時間とともに変化するアナログ試験信号の波形を意味することもある。この試験では AD 変換器の全ての値範囲を通過し、したがって試験できることが特に有利である。

【符号の説明】

【0089】

10

20

30

40

50

1	安全回路	
1 0 0	, 1 0 0 ' , 1 0 0 "	A D 変換器
1 0 1	, 1 0 2	第 1、第 2 のアナログ入力部
1 0 9	, 1 1 0	第 1、第 2 のデジタル出力部
1 5 0	, 1 6 0	A D 変換器
3 0 0		試験装置
3 0 1		制御入力部
3 0 2		試験入力部
3 1 0 a	, . . . , 3 1 0 f	第 1 のアナログ試験出力部
3 2 0 a	, . . . , 3 2 0 f	第 2 のアナログ試験出力部
3 5 0		切換装置
3 5 5		スイッチ
3 6 0		切換論理
4 1 0		第 1 信号線
4 1 1		ノード
4 2 0		第 2 信号線
4 2 1		ノード
4 3 0	, 4 4 0	データ線
5 0 0	, 5 0 0 ' , 5 0 0 "	入力回路
5 0 1		出力
6 0 0		制御および評価装置
6 0 1		第 1 の入力部
6 0 2		第 2 の入力部
6 0 9		制御出力部
6 1 0		信号源の制御出力部
7 0 0		信号源
7 0 1		制御入力部
S E	, S E ' , S E "	センサ信号
S E A 1	, S E A 1 ' , S E A 2 "	アナログ形式の第 1 の入力信号
S E A 2	, S E A 2 ' , S E A 2 "	アナログ形式の第 2 の入力信号
S 1 D	, S 1 D ' , S 1 D "	デジタル形式の第 1 の入力信号
S 2 D	, S 2 D ' , S 2 D "	デジタル形式の第 2 の入力信号
S T A		アナログ試験信号
Z 1	, Z 1 ' , Z 1 "	減衰素子
Z 2	, Z 2 ' , Z 2 "	減衰素子
μ C 1		第 1 のコントローラ
μ C 2		第 2 のコントローラ
T T E S T		試験期間
t 1	, t 2	開始時刻、終了時刻
t 3	, t 4	開始時刻、終了時刻

10

20

30

40

50

【図面】  
【図 1】

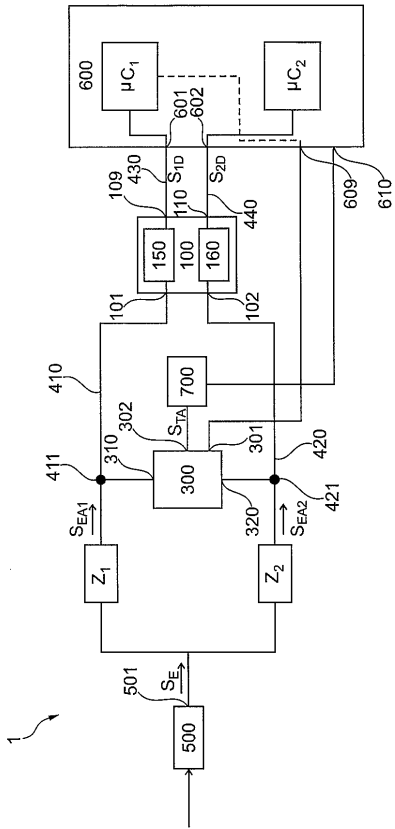


Fig. 1

【図 2】

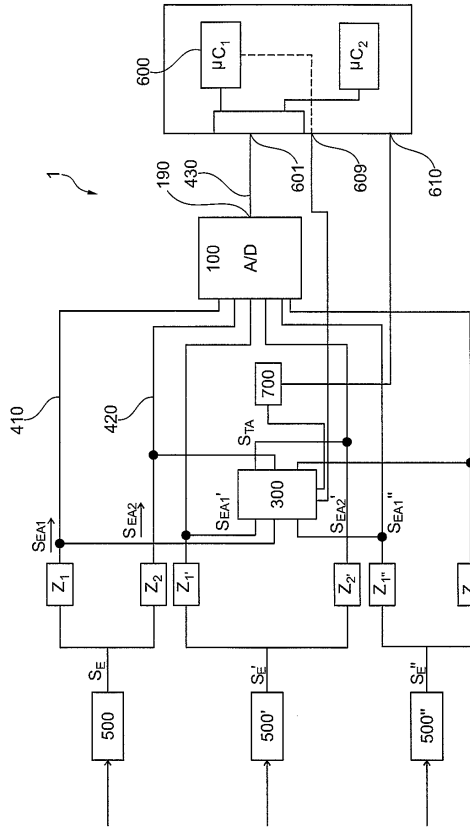


Fig. 2

【図 3】

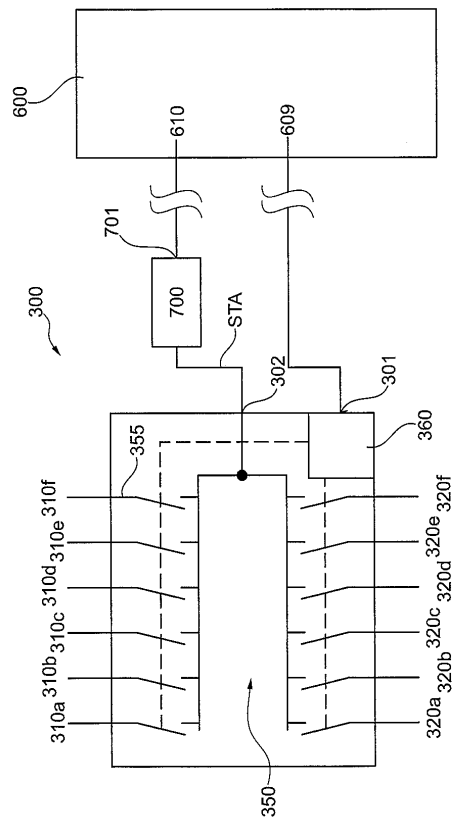


Fig. 3

【図 4】

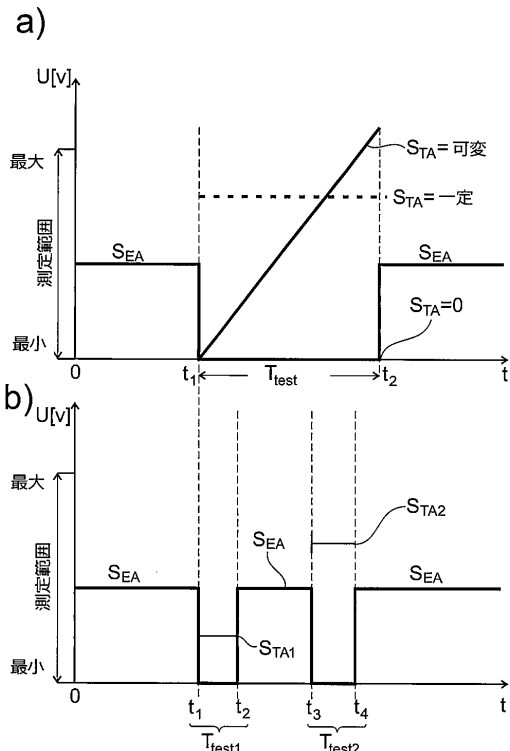


Fig. 4

10

20

30

40

50

## フロントページの続き

- (72)発明者 アレクサンダー・ビューロー  
ドイツ国 3 1 6 5 5 シュタットハーゲン, シャウムブルガー・ベーク 1 7 エー
- (72)発明者 クリスティアン・フォス  
ドイツ国 3 2 4 2 7 ミンデン, ビルクフーンベーク 1 7
- (72)発明者 トルステン・マイヤー  
ドイツ国 3 1 6 2 1 ペンニヒゼール, ヘーゲベーク 2 3
- 審査官 小川 浩史
- (56)参考文献 特表 2 0 0 8 - 5 4 4 6 6 3 ( J P , A )  
米国特許第 4 6 3 9 8 8 2 ( U S , A )  
独国特許出願公開第 1 0 2 0 1 3 1 1 1 8 8 8 ( D E , A 1 )  
独国特許出願公開第 1 0 2 0 1 1 0 5 0 5 3 9 ( D E , A 1 )  
特表 2 0 0 8 - 5 3 3 4 5 7 ( J P , A )  
特開 2 0 1 9 - 9 7 3 0 5 ( J P , A )
- (58)調査した分野 (Int.Cl., D B 名)  
G 0 1 R 3 1 / 2 8 - 3 1 / 3 1 9 3  
H 0 3 M 1 / 1 0