

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4254884号  
(P4254884)

(45) 発行日 平成21年4月15日(2009.4.15)

(24) 登録日 平成21年2月6日(2009.2.6)

(51) Int. Cl. F 1  
**HO2M 7/12 (2006.01)** HO2M 7/12 Q

請求項の数 2 (全 12 頁)

(21) 出願番号	特願2007-121138 (P2007-121138)	(73) 特許権者	000106276
(22) 出願日	平成19年5月1日(2007.5.1)		サンケン電気株式会社
(65) 公開番号	特開2008-278679 (P2008-278679A)		埼玉県新座市北野3丁目6番3号
(43) 公開日	平成20年11月13日(2008.11.13)	(74) 代理人	100083806
審査請求日	平成20年1月18日(2008.1.18)		弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一
		(74) 代理人	100098327
			弁理士 高松 俊雄

最終頁に続く

(54) 【発明の名称】 力率改善回路

(57) 【特許請求の範囲】

【請求項 1】

交流電源の交流電圧を整流する整流器と、

前記整流器の出力に並列に接続され、昇圧リアクトルとスイッチング素子とが直列に接続された第1直列回路と、

前記スイッチング素子に並列に接続され、整流ダイオードと平滑コンデンサとが直列に接続された第2直列回路と、

所定の発振周波数を有するクロック信号を生成する発振回路と、

前記発振回路で生成されたクロック信号の周期で且つ前記平滑コンデンサの電圧値に応じて、前記スイッチング素子を駆動するための駆動信号を生成する制御回路とを有し、

前記発振回路は、前記スイッチング素子の前記駆動信号で入力の変化する交流電圧の変化を検出し、該検出信号に応じて、前記所定の周波数を変化させることを特徴とする力率改善回路

。

【請求項 2】

前記発振回路は、

発振用コンデンサと、

前記発振用コンデンサの充電及び放電を繰り返し行うことにより前記所定の発振周波数を有するクロック信号を生成する信号生成部と、

前記スイッチング素子の前記駆動信号で入力の変化する交流電圧の変化を検出し、該検出信号に応じて、前記発振用コンデンサの充電電流と放電電流との少なくとも一方の電流を所定値

10

20

だけ増加又は減少させることにより前記信号生成部のクロック信号の前記所定の発振周波数を変化させる周波数制御部と、

を有することを特徴とする請求項1記載の力率改善回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、力率改善機能を有する昇圧型の力率改善回路に関する。

【背景技術】

【0002】

交流電源の交流電圧を整流器と平滑コンデンサとにより直流電圧に変換する場合、入力電流が歪み、力率が低下する。このため、昇圧リアクトル、スイッチング素子、整流ダイオード及び平滑コンデンサからなる昇圧チョッパ回路を、整流器の出力に接続して、入力電流の歪みを小さくする力率改善回路が用いられている。

10

【0003】

力率改善回路の制御方式は、所定の期間、スイッチング素子をオンさせて昇圧リアクトルに電流を流し、スイッチング素子がオフすると昇圧リアクトルに流れる電流がゼロになったことを検出し、スイッチング素子を再びオンさせるDCM(Discontinuous Conduction Mode)方式と、昇圧リアクトルに流れる電流には関係なく所定の周期でPWM制御を行うCCM(Continuous Conduction Mode)方式がある。

【0004】

20

図7は従来 of 力率改善回路を示す図である。図7に示す力率改善回路は、CCM方式であり、交流電源1、交流電源1に含まれる電磁波ノイズを除去するフィルタ2、フィルタ2を介する交流電源1の交流電圧を整流する全波整流器3、全波整流器3からの整流電圧を平滑する平滑コンデンサC1を有する。

【0005】

また、平滑コンデンサC1の両端には、昇圧リアクトルL1とMOSFET等からなるスイッチング素子Q0と抵抗R3とからなる第1直列回路が接続されている。スイッチング素子Q0のドレイン-ソース間には、ダイオードD1と平滑コンデンサC2とからなる第2直列回路が接続されている。昇圧リアクトルL1とダイオードD1との直列回路の両端にはダイオードD2が接続され、平滑コンデンサC2の両端には抵抗R1と抵抗R2との直列回路が接続されている。

30

【0006】

制御回路10aは、所定の発振周波数のクロック信号を生成する発振回路11と、PWM制御部14とを有する。PWM制御部14は、抵抗R1と抵抗R2との分圧電圧により平滑コンデンサC2の電圧を検出して端子V<sub>SE</sub>に入力し、端子V<sub>SE</sub>の電圧と基準電圧との誤差である誤差信号を生成し、発振回路11から出力されるクロック信号CLKの周期で三角波信号を生成し、生成された三角波信号と誤差信号とを比較することによりPWM信号を生成し、PWM信号によりスイッチング素子Q0をオン/オフさせる。

【0007】

また、平滑コンデンサC1の両端には、抵抗R6と抵抗R7との直列回路が接続され、抵抗R6と抵抗R7との接続点は、制御回路10aの端子A<sub>DJ</sub>を介して発振回路11に接続されている。

40

【0008】

抵抗R3は、昇圧リアクトルL1に流れる電流を検出し、過電流を保護するための検出抵抗である。即ち、抵抗R3に流れる電流に対応する電圧を抵抗R4を介してPWM制御部14に入力し、PWM制御部14が抵抗R4に発生する電圧により過電流を保護するようになっている。

【0009】

次に、このように構成された従来 of 力率改善回路の動作を説明する。まず、スイッチング素子Q0がオンすると、交流電源1 フィルタ2 全波整流器3 昇圧リアクトルL1

50

スイッチング素子Q0 抵抗R3 全波整流器 フィルタ2 交流電源1の経路で電流が流れて、昇圧リアクトルL1にエネルギーが蓄積される。

【0010】

次に、スイッチング素子Q0がオフすると、交流電源1 フィルタ2 全波整流器3 昇圧リアクトルL1 整流ダイオードD1 平滑コンデンサC2(及び負荷(図示なし)) 抵抗R3 全波整流器3 フィルタ2 交流電源1の経路で電流が流れる。昇圧リアクトルL1に蓄積されたエネルギーの放出と交流電源1により平滑コンデンサC2が充電され、負荷にエネルギーが供給される。

【0011】

次に、PWM制御部14からのPWM信号により、再びスイッチング素子Q0がオンすると、交流電源1 フィルタ2 全波整流器3 昇圧リアクトルL1 スwitching素子Q0 抵抗R3 全波整流器 フィルタ2 交流電源1の経路で電流が流れる。このとき、整流ダイオードD1のアノードは、平滑コンデンサC2のマイナス側の電位になるので、平滑コンデンサC2の電圧が整流ダイオードD1に逆方向に印加される。

10

【0012】

CCM方式の力率改善回路は、昇圧リアクトルL1のインダクタンス、スイッチング素子Q0のオン期間、昇圧リアクトルL1に印加される電圧等で決定される一定以上の電力を出力すると、昇圧リアクトルL1に流れる電流が直流重畳し、昇圧リアクトルL1は、常に電流が流れる。昇圧リアクトルL1が直流重畳すると、昇圧リアクトルL1から整流ダイオードD1に電流が流れているときにスイッチング素子Q0がオンし、整流ダイオードD1は、オン状態から急激に逆方向の電圧が印加され、リカバリ電流が流れる。リカバリ電流は、短いパルス状の電流であるが、大きな電流が流れるので、ノイズが発生する。このノイズを抑制するため、一般的には整流ダイオードD1に並列にスナバ回路を設けている。

20

【0013】

図7に示す従来の力率改善回路では、平滑コンデンサC1の両端電圧を抵抗R6と抵抗R7とで分圧した電圧を制御回路10aの端子A<sub>D</sub>Jから発振回路11に入力し、発振回路11が端子A<sub>D</sub>Jからの電圧により発振周波数を変化させている。このため、スイッチング素子Q0のPWM信号の周波数が端子A<sub>D</sub>Jの電圧、即ち、交流電源1の電圧に比例して変化することで、発生するノイズの周波数を拡散させてノイズを抑制している。

30

【0014】

なお、図7に示す力率改善回路と同様な従来の力率改善回路として、例えば、特許文献1や特許文献2が知られている。

【特許文献1】米国特許5459392号

【特許文献2】米国特許7123494号

【発明の開示】

【発明が解決しようとする課題】

【0015】

CCM方式の力率改善回路で発生するノイズを抑制する場合、整流ダイオードD1に並列にスナバ回路を設ける方法は、簡単で有効である。しかし、ノイズを発生させるエネルギーをスナバ回路で熱に変換させるため、発熱が大きくなり、効率が低下する。

40

【0016】

また、特許文献1、特許文献2又は図7に示す力率改善回路では、交流電源1の電圧により制御回路10aの発振周波数を変化させる方法は、効率を低下させることなくノイズを抑制できる。しかし、高圧の交流電源1の交流電圧を直接検出するので、検出による損失が比較的大きくなる。また、制御回路10aに新たなA<sub>D</sub>J端子を設けることになるので、力率改善回路をIC(集積回路)化するのが困難になる。

【0017】

本発明は、発生するノイズを拡散でき、効率が良くしかも簡単な構成からなる力率改善回路を提供することにある。

50

## 【課題を解決するための手段】

## 【0018】

前記課題を解決するために、請求項1の発明は、交流電源の交流電圧を整流する整流器と、前記整流器の出力に並列に接続され、昇圧リアクトルとスイッチング素子とが直列に接続された第1直列回路と、前記スイッチング素子に並列に接続され、整流ダイオードと平滑コンデンサとが直列に接続された第2直列回路と、所定の発振周波数を有するクロック信号を生成する発振回路と、前記発振回路で生成されたクロック信号の周期で且つ前記平滑コンデンサの電圧値に応じて、前記スイッチング素子を駆動するための駆動信号を生成する制御回路とを有し、前記発振回路は、前記スイッチング素子の前記駆動信号で入力の交流電圧の変化を検出し、該検出信号に応じて、前記所定の周波数を変化させることを特徴とする。

10

## 【0019】

請求項2の発明は、請求項1記載の力率改善回路において、前記発振回路は、発振用コンデンサと、前記発振用コンデンサの充電及び放電を繰り返し行うことにより前記所定の発振周波数を有するクロック信号を生成する信号生成部と、前記スイッチング素子の前記駆動信号で入力の交流電圧の変化を検出し、該検出信号に応じて、前記発振用コンデンサの充電電流と放電電流との少なくとも一方の電流を所定値だけ増加又は減少させることにより前記信号生成部のクロック信号の前記所定の発振周波数を変化させる周波数制御部とを有することを特徴とする。

## 【発明の効果】

20

## 【0020】

請求項1の発明によれば、発振回路は、スイッチング素子の駆動信号で入力の交流電圧の変化を検出し、該検出信号に応じて、クロック信号の所定の発振周波数を変化させる。CCM方式の力率改善回路は、スイッチング素子の駆動信号のデューティ比が交流電源の電圧に応じて変化するので、発振回路の発振周波数、即ちスイッチング素子の駆動信号のオン/オフ周波数が交流電源の電圧に応じて変化し、発生するノイズを拡散でき、効率が良くしかも簡単な構成からなる力率改善回路を提供できる。

## 【0021】

請求項2の発明によれば、発振回路は、発振用コンデンサの充放電電流を、スイッチング素子の駆動信号で入力の交流電圧の変化を検出し、該検出信号に応じて所定値だけ増加又は減少させることにより、発振周波数を変化させるので、構成を簡単化でき、力率改善回路を容易にIC化できる。

30

## 【発明を実施するための最良の形態】

## 【0022】

以下、本発明の力率改善回路の実施の形態を図面を参照しながら詳細に説明する。

## 【実施例1】

## 【0023】

図1は本発明の実施例1の力率改善回路を示す図である。図1に示す実施例1の力率改善回路は、図7に示した従来の力率改善回路に対して、全波整流器3の出力に接続された抵抗R6、抵抗R7を削除し、PWM制御部14の出力端子VGと発振回路12とを接続したことを特徴とする。

40

## 【0024】

発振回路12は、所定の発振周波数を有するクロック信号を生成し、PWM制御部14の出力端子VGからのスイッチング素子Q0のPWM信号を入力し、このPWM信号に応じて、クロック信号の所定の発振周波数を変化させる。

## 【0025】

PWM制御部14は、発振回路12で生成されたクロック信号の周期で且つ平滑コンデンサC2の電圧値に応じて、スイッチング素子Q0をオン/オフさせるためのPWM信号を生成する。

## 【0026】

50

図2は本発明の実施例1の力率改善回路に設けられた発振回路を示す図である。図2において、電源Regとグランド間にはFETQ1と定電流源Ioscとの直列回路が接続され、定電流源Ioscの両端にはFETQ8と定電流源IADJとの直列回路が接続されている。電源Regとグランド間には、FETQ2とFETQ5との直列回路が接続されるとともに、FETQ3とFETQ6との直列回路が接続されている。FETQ5の両端にはFETQ4が接続されている。

【0027】

FETQ3とFETQ6との接続点には、発振用コンデンサCosc及びコンパレータCOMP1の-端子が接続されている。電源Regとグランド間には抵抗R8と抵抗R9との直列回路が接続され、抵抗R8と抵抗R9との接続点はコンパレータCOMP1の+端子に接続されている。

10

【0028】

コンパレータCOMP1の出力端子はインバータINV1の入力端子に接続され、インバータINV1の出力端子はインバータINV2の入力端子及びFETQ7のゲートに接続されている。FETQ7のドレイン-ソース間は抵抗R8の両端に接続されている。インバータINV2の出力端子は、クロック信号を出力するとともに、FETQ4のゲートに接続されている。FETQ8のゲートにはPWM制御部14からPWM信号が入力されるようになっている。

【0029】

コンパレータCOMP1、抵抗R8、R9及びFETQ7は、発振用コンデンサCoscの充放電を決定する。インバータINV1、INV2、FETQ4及びFETQ7は、発振用コンデンサCoscの充放電動作を切替える。FETQ1、Q3は、第1カレントミラー回路を構成し、定電流源Ioscの電流をFETQ3に流すことにより発振用コンデンサCoscを充電する。FETQ5、Q6は、第2カレントミラー回路を構成し、定電流源Ioscのn倍(nは1以上の任意の数値)の電流をFETQ6に流すことにより、発振用コンデンサCoscを放電する。なお、FETQ8と定電流源IADJとは、本発明の周波数制御部を構成する。

20

【0030】

図2に示す構成において、FETQ8と定電流源IADJとを除く全ての構成は、本発明の信号生成部を構成している。

30

【0031】

次にこのように構成された実施例1の力率改善回路の動作、ここでは発振回路12の動作を詳細に説明する。

【0032】

まず、FETQ8がオフしている状態について説明する。発振用コンデンサCoscが充電されていない状態では、コンパレータCOMP1はHレベルを出力する。インバータINV1はLレベルを出力するので、FETQ7はオフし、抵抗R8の両端には電圧Regを抵抗R8と抵抗R9とで分圧した電圧が発生し、この電圧がコンパレータCOMP1の+端子に入力され第1閾値となる。インバータINV2はHレベルを出力するので、FETQ4はオンし、第2カレントミラー回路はFETQ6に電流を流さない。

40

【0033】

まず、FETQ1に定電流源Ioscの電流が流れると、第1カレントミラー回路のFETQ3にも定電流源Ioscの電流が流れるため、発振用コンデンサCoscは定電流源Ioscの電流で充電される。そして、発振用コンデンサCoscの電圧が第1閾値になると、コンパレータCOMP1の出力は反転してLレベルになる。同時に、インバータINV1はHレベルになり、FETQ7がオンする。このため、コンパレータCOMP1の+端子は第1閾値より低い第2閾値になり、コンパレータCOMP1の出力はLレベルを維持する。

【0034】

また、インバータINV2はLレベルになり、FETQ4がオフするので、第2カレントミラー回路が有効になり、FETQ6に電流が流れる。すると、FETQ3の電流IQ

50

3とFETQ6の電流 $I_{Q6}$ の差の電流( $I_{Q3} - I_{Q6}$ )によって発振用コンデンサ $C_{osc}$ は放電する。このため、FETQ6にはFETQ3の電流と発振用コンデンサ $C_{osc}$ の放電電流が流れる。

【0035】

発振用コンデンサ $C_{osc}$ の電圧が低下して第2閾値になると、コンパレータCOMP1の出力は反転してHレベルになる。同時に、インバータINV1はLになるので、FETQ7はオフし、コンパレータCOMP1の+端子は第1閾値電圧に上昇するので、コンパレータCOMP1の出力はHレベルを維持する。また、インバータINV2はHレベルになるので、FETQ4はオンし、第2カレントミラー回路はFETQ6に電流を流さない。このため、再び発振用コンデンサ $C_{osc}$ はFETQ3の定電流源 $I_{osc}$ の電流で充電される。以上の動作を繰り返すことにより、クロック信号CLKが出力される。

10

【0036】

また、実施例1では、FETQ8のゲートにPWM制御部14からPWM信号(スイッチング素子Q0を駆動する信号)が入力される。このため、PWM信号がHレベルのとき(スイッチング素子Q0を駆動しているとき)、第1カレントミラー回路のFETQ1に流れる電流は、定電流源 $I_{osc}$ の電流と定電流源 $I_{ADJ}$ との合計電流となる。

【0037】

発振用コンデンサ $C_{osc}$ は、第1カレントミラー回路のFETQ3を流れる電流(FETQ1の電流と同じ)で充電されるので、発振用コンデンサ $C_{osc}$ の電圧は、充電電流が増加した分だけ早く第1閾値に達する。このため、発振回路12から出力されるクロック信号CLKの発振周波数が上昇する。PWM信号がHレベルの期間が長くなれば、その分コンデンサ $C_{osc}$ を充電する電流が増えることになるので、さらに発振周波数が上昇する。

20

【0038】

PWM信号のHレベルの期間が発振用コンデンサ $C_{osc}$ の放電期間になると、発振用コンデンサ $C_{osc}$ は、放電電流( $I_{Q3} - I_{Q6}$ )で放電される。FETQ6を流れる電流は、FETQ3を流れる電流より所定の倍率で多く流れるように設定されているので、放電時間も短くなり、周波数はさらに上昇する。

【0039】

このように実施例1では、PWM信号がHレベルの期間に発振用コンデンサ $C_{osc}$ の充電電流及び放電電流を大きくすることにより、発振回路12の出力のクロック信号CLKの周波数を変えることができる。

30

【0040】

一般にCCM方式の力率改善回路は、平滑コンデンサC2の電圧と交流電源1の電圧(全波整流器3の出力)を検出し、平滑コンデンサC2の電圧を一定に制御し、且つ入力電流波形を交流電源1の入力電圧波形と同じになるように、スイッチング素子Q0を周波数固定でPWM制御する。このため、PWM信号は入力電圧に応じてデューティ比が変わる。

【0041】

即ち、交流電源1の入力電圧 $V_{in}$ がゼロ付近ではスイッチング素子Q0のオン時間(PWM信号のHレベルの期間)が長くなり、交流電源1の入力電圧 $V_{in}$ がピーク付近ではスイッチング素子Q0のオン時間(PWM信号のHレベルの期間)が短くなる。このため、実施例1の発振回路12は、交流電源1の交流電圧によって出力の信号CLKの周波数を変えることができる。

40

【0042】

このように、制御回路10は、発振回路12の出力信号CLKの周期で、PWM信号を生成するので、PWM信号で駆動されるスイッチング素子Q0は、交流電源1の電圧に応じて変化する周波数でオン/オフ動作する。この結果、ノイズの周波数成分は拡散され、ノイズが低減し、効率が良くなる。また、抵抗R6、抵抗R7及び端子 $A_D$ を削除できるので、簡単な構成からなる力率改善回路を提供できる。

50

## 【 0 0 4 3 】

図 3 は本発明の実施例 1 の力率改善回路の動作を示す波形図である。図 3 において、 $V_{in}$  は全波整流器 3 の出力波形、 $I_D$  はスイッチング素子  $Q_0$  のドレイン電流、 $F_{r1}$  は発振回路 1 2 のクロック信号  $CLK$  の周波数、 $PWM$  信号は制御回路 1 0 から出力される  $PWM$  信号である。

## 【 0 0 4 4 】

図 3 において、交流電源 1 の電圧  $V_{in}$  がゼロボルト付近では、 $PWM$  信号のデューティ比が大きく、クロック信号  $CLK$  の周波数  $F_{r1}$  は大きく、交流電源 1 の電圧  $V_{in}$  がピーク値付近では、 $PWM$  信号のデューティ比が小さく、クロック信号  $CLK$  の周波数  $F_{r1}$  は小さくなる。

10

## 【実施例 2】

## 【 0 0 4 5 】

図 4 は本発明の実施例 2 の力率改善回路に設けられた発振回路を示す図である。実施例 2 の発振回路 1 2 a は、 $FETQ_8$  と定電流源  $I_{ADJ}$  との直列回路を  $FETQ_1$  に並列に接続したことを特徴とする。図 4 に示す発振回路 1 2 a のその他の構成は、図 2 に示す実施例 1 の発振回路の構成と同一であるので、同一部分には同一符号を付し、その説明は省略する。

## 【 0 0 4 6 】

実施例 1 と同様に、 $FETQ_3$  には  $FETQ_1$  に流れる電流に等しい電流が流れ、この電流により発振用コンデンサ  $C_{osc}$  が充電される。 $FETQ_4$  がオフのとき、 $FETQ_6$  には  $FETQ_3$  に流れる電流に対して、所定の倍率の電流により発振用コンデンサ  $C_{osc}$  が放電される。

20

## 【 0 0 4 7 】

次に、 $FETQ_8$  がオフすると、 $FETQ_1$  には定電流源  $I_{osc}$  の電流が流れる。また、 $PWM$  信号により  $FETQ_8$  がオンすると、 $FETQ_1$  には定電流源  $I_{osc}$  の電流と定電流源  $I_{ADJ}$  との差の電流 ( $I_{osc} - I_{ADJ}$ ) が流れる。即ち、実施例 2 では、 $FETQ_8$  がオンすると、発振用コンデンサ  $C_{osc}$  の充放電の電流が減少する。

## 【 0 0 4 8 】

このため、 $PWM$  信号の  $H$  レベルの期間が長いと、発振用コンデンサ  $C_{osc}$  の充放電の期間が長くなり、クロック信号  $CLK$  の周波数が低くなる。制御回路 1 0 は、発振回路 1 2 a のクロック信号  $CLK$  の周期で、 $PWM$  信号を生成するので、 $PWM$  信号で駆動されるスイッチング素子  $Q_0$  は、交流電源 1 の入力電圧  $V_{in}$  に応じて変化する周波数でオン/オフ動作する。この結果、ノイズの周波数成分は拡散され、ノイズが低減し、効率が良くなる。従って、実施例 1 の効果と同様な効果が得られる。

30

## 【 0 0 4 9 】

図 5 は本発明の実施例 2 の力率改善回路の動作を示す波形図である。図 5 において、 $V_{in}$  は全波整流器 3 の出力波形、 $I_D$  はスイッチング素子  $Q_0$  のドレイン電流、 $F_{r2}$  は発振回路 1 2 a のクロック信号  $CLK$  の周波数、 $PWM$  信号は制御回路 1 0 から出力される  $PWM$  信号である。

## 【 0 0 5 0 】

図 5 において、交流電源 1 の電圧  $V_{in}$  がゼロボルト付近では、 $PWM$  信号のデューティ比が大きく、クロック信号  $CLK$  の周波数  $F_{r2}$  は小さくなり、交流電源 1 の電圧  $V_{in}$  がピーク値付近では、 $PWM$  信号のデューティ比が小さく、クロック信号  $CLK$  の周波数  $F_{r1}$  は大きくなる。

40

## 【実施例 3】

## 【 0 0 5 1 】

図 6 は本発明の実施例 3 の力率改善回路に設けられた発振回路を示す図である。図 6 に示す発振回路 1 2 b は、図 2 に示す発振回路 1 2 の定電流源  $I_{osc}$  と定電流源  $I_{ADJ}$  の代わりに、演算増幅器  $AM_1$ 、 $FETQ_{10}$ 、抵抗  $R_{10}$ 、 $R_{11}$  を設けたことを特徴とする。

50

## 【 0 0 5 2 】

F E T Q 1 のドレインには、F E T Q 1 0 のドレインが接続され、F E T Q 1 0 のソースには抵抗 R 1 0 の一端と演算増幅器 A M 1 の - 端子が接続されている。抵抗 R 1 0 の他端は抵抗 R 1 1 の一端と F E T Q 8 のドレインとに接続され、抵抗 R 1 1 の他端と F E T Q 8 の他端は接地されている。演算増幅器 A M 1 の + 端子には基準電源 V r が接続され、演算増幅器 A M 1 の出力端子は F E T Q 1 0 のゲートに接続されている。演算増幅器 A M 1 は、ボルテージフォロワを構成する。演算増幅器 A M 1 の + 端子の電圧と F E T Q 1 0 のソース電圧とが同一電圧となるように、F E T Q 1 0 のゲート電圧が設定される。

## 【 0 0 5 3 】

このような構成によれば、F E T Q 8 がオフすると、F E T Q 1 0 のソース電圧は上昇するため、演算増幅器 A M 1 の - 端子の電圧も上昇し、演算増幅器 A M 1 の出力電圧、即ち、F E T Q 1 0 のゲート電圧は低くなる。このため、F E T Q 1 0 と F E T Q 1 には比較的小さい電流が流れる。

10

## 【 0 0 5 4 】

また、P W M 信号により F E T Q 8 がオンすると、F E T Q 1 0 のソース電圧は低下するため、演算増幅器 A M 1 の - 端子の電圧も低下し、演算増幅器 A M 1 の出力電圧、即ち、F E T Q 1 0 のゲート電圧は高くなる。このため、F E T Q 1 0 と F E T Q 1 には比較的大きな電流が流れる。即ち、実施例 3 では、F E T Q 8 がオンすると、発振用コンデンサ C o s c の充放電の電流が増加する。

## 【 0 0 5 5 】

このように実施例 3 では、P W M 信号が H レベルの期間に発振用コンデンサ C o s c の充電電流及び放電電流を大きくすることにより、発振回路 1 2 b の出力のクロック信号 C L K の周波数を変えることができる。従って、実施例 1 の効果と同様な効果が得られる。

20

## 【 0 0 5 6 】

なお、実施例 1 乃至実施例 3 では、第 1 カレントミラー回路の F E T Q 3 に流れる電流を、F E T Q 1 を流れる電流と同じとしたが、F E T Q 3 に流れる電流を、F E T Q 1 を流れる電流に比例した電流としても同様の効果が得られる。定電流源 I A D J は電流源であれば定電流でなくても良い。

## 【 0 0 5 7 】

また、実施例 1 乃至実施例 3 では、発振用コンデンサ C o s c の充放電電流を P W M 信号に基づいて変化させたが、第 1 カレントミラー回路、第 2 カレントミラー回路を別の定電流源で電流を決定し、第 1 カレントミラー回路の電流又は第 2 カレントミラー回路の電流だけを P W M 信号に基づいて変化させても良い。周波数の変動は小さくなるが、第 1 カレントミラー回路の電流を変化させる場合、発振用コンデンサの放電電流が実施例 1 では減少し、実施例 2 では増加するので、充電期間の動作とは逆の動作をする。発振回路のデューティ比の設定によっては、発振回路の出力の周波数を増減させることができる。

30

## 【 0 0 5 8 】

さらに、実施例 1 乃至実施例 3 では、P W M 信号が H レベルのとき発振用コンデンサ C o s c の充放電電流を変化させたが、P W M 信号が L レベルのときに発振用コンデンサ C o s c の充放電電流を変化させても同様の効果が得られる。

40

## 【 図面の簡単な説明 】

## 【 0 0 5 9 】

【 図 1 】 本発明の実施例 1 の力率改善回路を示す図である。

【 図 2 】 本発明の実施例 1 の力率改善回路に設けられた発振回路を示す図である。

【 図 3 】 本発明の実施例 1 の力率改善回路の動作を示す波形図である。

【 図 4 】 本発明の実施例 2 の力率改善回路に設けられた発振回路を示す図である。

【 図 5 】 本発明の実施例 2 の力率改善回路の動作を示す波形図である。

【 図 6 】 本発明の実施例 3 の力率改善回路に設けられた発振回路を示す図である。

【 図 7 】 従来之力率改善回路を示す図である。

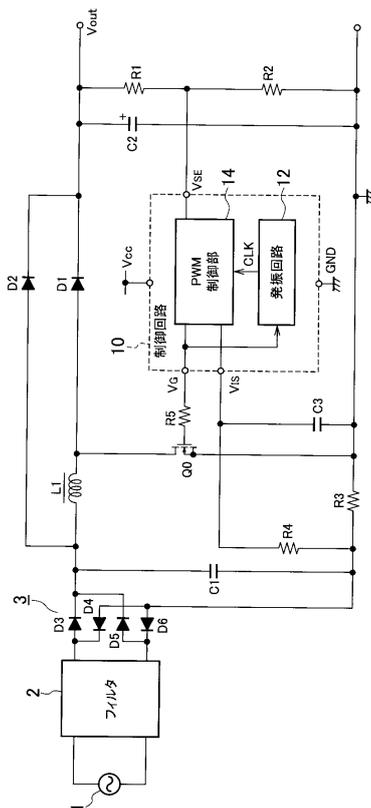
## 【 符号の説明 】

50

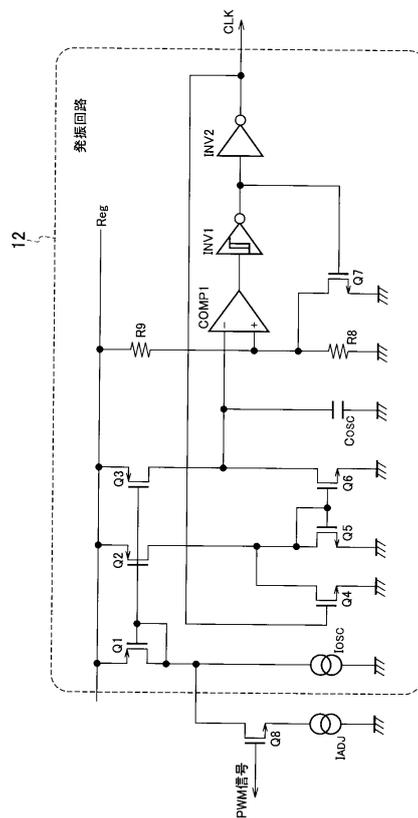
【 0 0 6 0 】

- 1 交流電源
- 2 フィルタ
- 3 全波整流器
- 10, 10 a 制御回路
- 11, 12, 12 a, 12 b 発振回路
- 14 PWM制御部
- L1 昇圧リアクトル
- Q0 スwitching素子
- Q1 ~ Q8, Q10 FET
- D1 ~ D6 ダイオード
- C1, C2 平滑コンデンサ
- C3 コンデンサ
- R1 ~ R11 抵抗
- COMP1 コンパレータ
- INV1, INV2 インバータ
- Iosc, IADJ 定電流源
- AM1 演算増幅器

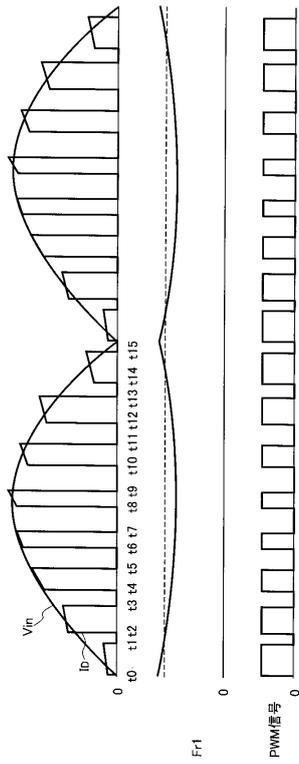
【 図 1 】



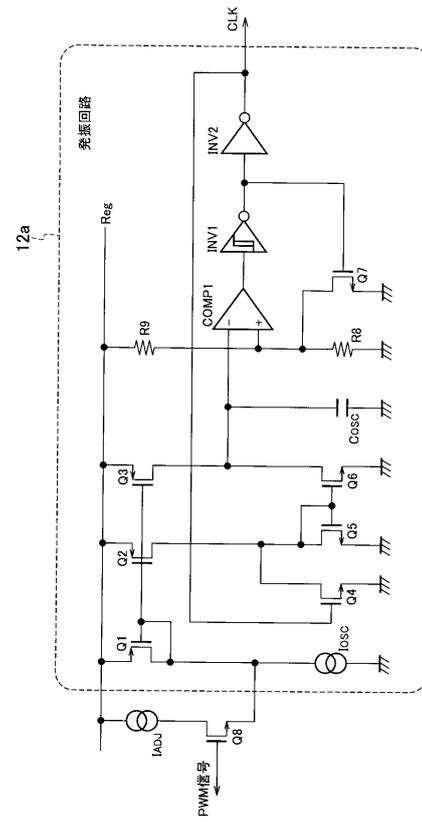
【 図 2 】



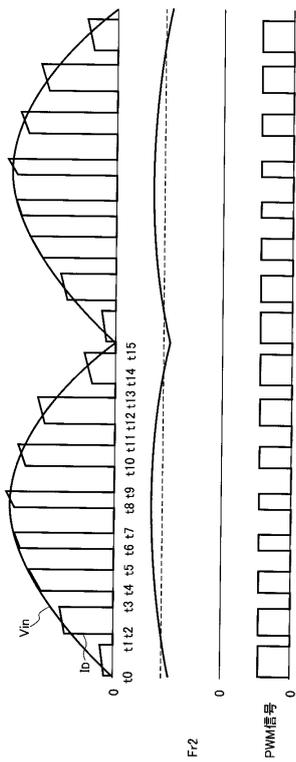
【 図 3 】



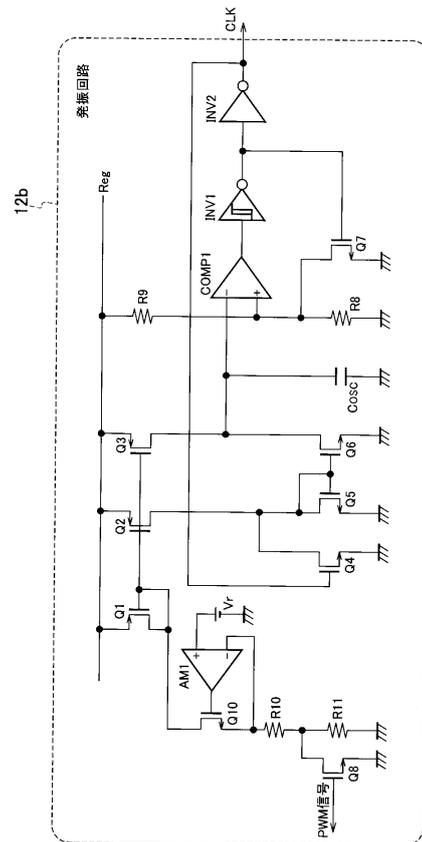
【 図 4 】



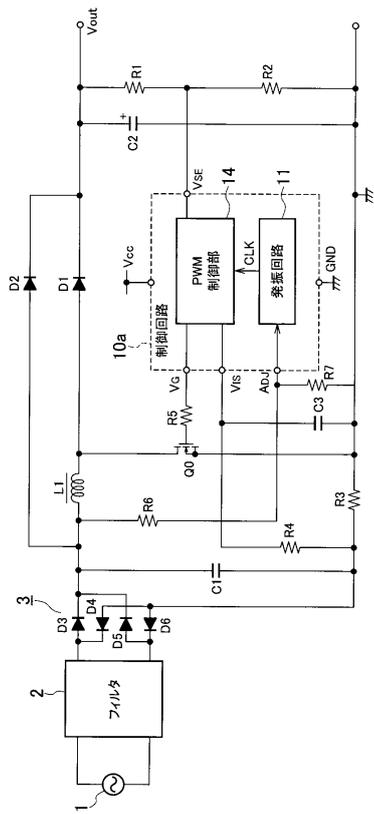
【 図 5 】



【 図 6 】



【 図 7 】



---

フロントページの続き

(72)発明者 大坂 昇平  
埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内

審査官 松本 泰典

(56)参考文献 特開2000-245150(JP,A)  
特開2003-125585(JP,A)  
特開2003-125582(JP,A)  
特開2002-118445(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H02M 7/12