



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

| | | |
|--|-------------------------------------|--|
| (51) Int. Cl. H01L 21/027 (2006.01) | (45) 공고일자 (11) 등록번호 (24) 등록일자 | 2006년12월28일 10-0662945 2006년12월21일 |
|--|-------------------------------------|--|

| | | | |
|----------------------------------|---|------------------------|--------------------------------|
| (21) 출원번호 (22) 출원일자 심사청구일자 | 10-2000-0019209 2000년04월12일 2005년04월12일 | (65) 공개번호 (43) 공개일자 | 10-2000-0071655 2000년11월25일 |
|----------------------------------|---|------------------------|--------------------------------|

(30) 우선권주장 09/290,319 1999년04월12일 미국(US)

(73) 특허권자 인피니언 테크놀로지스 노쓰 아메리카 코포레이션
미국 캘리포니아 95112-4508 산 호세 노쓰 퍼스트 스트리트 1730

(72) 발명자 부트,샤히드
미국12590뉴욕와핑거스폴스햄브로크썬클19에프

쉬뢰더,우베파울
미국12601뉴욕포우킵시에발킬드라이브29

(74) 대리인 남상선

심사관 : 최정식

전체 청구항 수 : 총 20 항

(54) 반도체 처리를 위한 상부층 이미징 리소그래피

(57) 요약

본 발명은 기판을 에칭하는 방법에 관한 것으로, 표면상에 형성된 하부층(14) 및 하부층상에 형성된 상부층(16)을 제공하는 단계, 하부층의 일부를 노출시키도록 상부층을 패터닝하는 단계, 하부층의 노출된 부분상에 실리콘을 함유하는 층(22)을 형성하는 단계, 실리콘층을 가진 하부층의 일부를 제외한 부분내 하부층을 노출시키도록 상부층을 제거하는 단계 및 표면을 노출시키도록 실리콘층을 가진 하부층의 부분을 제외한 부분내 하부층을 에칭하는 단계를 포함한다.

대표도

도 3

특허청구의 범위

청구항 1.

표면을 에칭하는 방법으로서,

상기 표면상에 형성된 하부층 및 상기 하부층상에 형성된 상부층을 제공하는 단계;

상기 하부층의 일부분들이 노출되도록 상기 상부층을 패터닝하는 단계;

상기 하부층의 상기 노출된 부분들상에 실리콘을 함유하는 층을 형성하는 단계;

상부에 상기 실리콘층을 가진 상기 하부층의 일부분들을 제외한 부분들의 하부층이 노출되도록 상기 상부층을 제거하는 단계; 및

상기 표면이 노출되도록 상부에 상기 실리콘층을 가진 상기 하부층의 일부분들을 제외한 부분들내의 하부층을 에칭하는 단계

를 포함하며, 상기 실리콘을 함유하는 층을 형성하는 단계는 상기 하부층의 노출된 부분들상에 실리콘을 함유하는 재료를 이온 주입하는 단계를 포함하는, 표면 에칭 방법.

청구항 2.

제 1 항에 있어서,

상기 상부층은 포토레지스트를 포함하며, 상기 패터닝하는 단계는 상기 포토레지스트를 광에 노출시키는 단계 및 상기 하부층의 일부분들이 노출되도록 상기 포토레지스트의 일부분들을 현상하는 단계를 포함하는 것을 특징으로 하는 표면 에칭 방법.

청구항 3.

제 1 항에 있어서,

상기 패터닝하는 단계는 1000Å 내지 3000Å의 두께를 가진 상부층을 증착하는 단계를 포함하는 것을 특징으로 하는 표면 에칭 방법.

청구항 4.

삭제

청구항 5.

제 1 항에 있어서,

상기 이온 주입 단계는 이온들의 침투 깊이가 상기 상부층의 두께보다 작게 조정하는 단계를 포함하는 것을 특징으로 하는 표면 에칭 방법.

청구항 6.

제 1 항에 있어서,

상기 이온 주입 단계는 상기 하부층의 노출된 부분들이 실리에이티드화(silyate)되도록 상기 이온들의 입사각을 조정하는 단계를 포함하는 것을 특징으로 하는 표면 에칭 방법.

청구항 7.

제 1 항에 있어서,

상기 실리콘을 함유하는 층을 형성하는 단계는 상기 실리콘을 함유하는 층의 시준된 스퍼터링을 위해 실리콘 타겟을 사용하는 단계를 포함하는 것을 특징으로 하는 표면 에칭 방법.

청구항 8.

제 1 항에 있어서,

상기 실리콘을 함유하는 층을 형성하는 단계는 상기 하부층의 노출된 부분들에 실리콘을 함유하는 반응제를 화학적으로 결합시키는 단계를 포함하는 것을 특징으로 하는 표면 에칭 방법.

청구항 9.

반도체 소자용 기판을 에칭하는 방법으로서,

기관상에 형성된 하부층 및 상기 하부층상에 형성된 상부층을 제공하는 단계;

상기 하부층의 일부분들이 노출되도록 상기 상부층을 패터닝하는 단계;

상기 하부층의 노출된 부분들상에 실리콘을 함유하는 층을 형성하는 단계;

상부에 상기 실리콘층을 가진 상기 하부층의 부분들을 제외한 상기 하부층 부분들에서 상기 하부층이 노출되도록 상기 상부층을 제거하는 단계;

상기 실리콘층에 의해 한정된 패턴이 상기 기관에 전사되도록 상기 하부층을 마스크 오픈 에칭하는 단계; 및

상기 하부층의 패턴에 따라 상기 기관을 에칭하는 단계

를 포함하며, 상기 실리콘을 함유하는 층을 형성하는 단계는 상기 하부층의 상기 노출된 부분들상에 실리콘을 함유하는 재료를 이온 주입하는 단계를 포함하는, 기관 에칭 방법.

청구항 10.

제 9 항에 있어서,

상기 상부층은 포토레지스트를 포함하며, 상기 패터닝하는 단계는 상기 포토레지스트를 광에 노출시키는 단계 및 상기 하부층의 일부분들이 노출되도록 상기 포토레지스트의 일부분들을 현상하는 단계를 포함하는 것을 특징으로 하는 기관 에칭 방법.

청구항 11.

제 9 항에 있어서,

상기 패터닝하는 단계는 1000Å 내지 3000Å의 두께를 가진 상부층을 증착하는 단계를 포함하는 것을 특징으로 하는 기관 에칭 방법.

청구항 12.

삭제

청구항 13.

제 9 항에 있어서,

상기 이온 주입 단계는 이온들의 침투 깊이가 상기 상부층의 두께보다 작게 조정하는 단계를 포함하는 것을 특징으로 하는 기관 에칭 방법.

청구항 14.

제 9 항에 있어서,

상기 이온 주입 단계는 상기 하부층의 상기 노출된 부분들이 실리에이트화되도록(silyate) 상기 이온들의 입사각을 조정하는 단계를 포함하는 것을 특징으로 하는 기관 에칭 방법.

청구항 15.

제 9 항에 있어서,

상기 실리콘을 함유하는 층을 형성하는 단계는 상기 실리콘을 함유하는 층의 시준된 스피터링을 위해 실리콘 타겟을 사용하는 단계를 포함하는 것을 특징으로 하는 기관 에칭 방법.

청구항 16.

제 9 항에 있어서,

상기 실리콘을 함유하는 층을 형성하는 단계는 상기 하부층의 상기 노출된 부분들에 상기 실리콘을 함유하는 반응제를 화학적으로 결합시키는 단계를 포함하는 것을 특징으로 하는 기관 에칭 방법.

청구항 17.

반도체 소자용 기관을 에칭하는 방법으로서,

상기 기관상에 형성된 반사방지 레지스트 재료로 구성된 하부층 및 상기 하부층상에 형성되며 레지스트 재료를 함유하는 상부층을 제공하는 단계;

상기 상부층의 상기 레지스트 재료를 노출시키고 현상함으로써 상기 하부층의 일부분들이 노출되도록 상기 상부층을 패터닝하는 단계;

상기 하부층의 상기 노출된 부분들내에 실리콘 이온들을 주입함으로써 실리에이트화된 층이 형성되도록 상기 하부층의 상기 노출된 부분들을 실리에이트화하는(silyating) 단계;

상부에 상기 실리에이트화된 층을 가진 상기 하부층의 일부분들을 제외한 상기 하부층의 부분들에서 상기 하부층이 노출되도록 상기 상부층을 제거하는 단계;

상기 실리에이트화된 층에 의해 한정된 패턴이 상기 기관에 전사되도록 에천트 가스를 제공함으로써 상기 하부층을 마스크 오픈 에칭하는 단계; 및

상기 하부층의 패턴에 따라 상기 기관을 에칭하는 단계

를 포함하는 기관 에칭 방법.

청구항 18.

제 17 항에 있어서,

상기 패턴닝하는 단계는 1000Å 내지 3000Å의 두께를 가진 상부층을 증착하는 단계를 포함하는 것을 특징으로 하는 기관 에칭 방법.

청구항 19.

제 17 항에 있어서,

상기 실리콘 이온들을 주입하는 단계는 상기 이온들의 침투 깊이가 상기 상부층의 두께보다 작게 조정하는 단계를 포함하는 것을 특징으로 하는 기관 에칭 방법.

청구항 20.

제 19 항에 있어서,

상기 방법은 상기 하부층의 노출된 부분들이 실리에이트화되도록 상기 이온들의 입사각을 조정하는 단계를 더 포함하는 것을 특징으로 하는 기관 에칭 방법.

청구항 21.

제 17 항에 있어서,

상기 실리에이트화하는(silyating) 단계는 실리콘을 함유하는 층의 시준된 스퍼터링을 위해 실리콘 타겟을 사용하는 단계를 포함하는 것을 특징으로 하는 기관 에칭 방법.

청구항 22.

제 17 항에 있어서,

상기 실리콘을 함유하는 층을 형성하는 단계는 실리콘을 함유하는 반응제를 상기 하부층의 상기 노출된 부분에 화학적으로 결합시키는 단계를 포함하는 것을 특징으로 하는 기관 에칭 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 특히, 실리콘이 하부층내에 통합되어 상부층 이미징의 리소그래피를 개선시켜 개선된 이미지 품질을 제공하는 것에 관한 것이다.

반도체 제조법은 전형적으로 반도체 소자의 표면 영역을 패터닝하여 바람직하게는 레지스트 재료를 사용하여 영역 상부에 보호층을 형성하는 포토리소그래피 처리공정을 포함한다. 보호된 영역은 다음 에칭 동안 남겨지고 보호되지 않은 층은 필요한 만큼 에칭된다. 상부층 이미징을 위해, 이미지가 반도체 소자의 표면상에 얇은 이미징층을 노출시키고 현상함으로써 형성된다. 얇은 이미징층을 노출시키고 현상시킴으로써 형성된 이미지가 에칭 프로세스에 의해 하부층에 전사되고, 여기서 상부층은 에칭 마스크와 같은 역할을 한다. 표면상에 남아 있는 상부층 및 이미징층은 에칭 프로세스를 견디고 보호층 내에서의 에칭을 방지한다.

제 1 에칭 단계 이후, 레지스트 또는 얇은 이미징층이 제거된다. 하부층의 남겨진 부분은 하부층 아래의 스택 또는 기판을 에칭하는 마스크로서 사용된다. 다음의 에칭 단계는 스택 또는 기판에 하부층의 패턴을 전사한다. 상부층이 하부층 에칭 프로세스 동안 유지되기 때문에, 상부층상에 "그래스(grass) 형성"이 발생된다. 그래스 형성은 하부층 에칭의 결과 상부층상에 실리콘 부산물의 재증착에 의한 것이다. 그래스 형성은 전형적으로 상부층으로부터 하부층에 이미지 전사의 저하를 야기한다.

상부층 이미징 기술은 또한 얇은 이미징층의 낮은 코팅 품질이라는 문제점을 가진다. 통상적인 제조 프로세스에서, 상부층은 두 가지 기능을 한다. 첫째로, 전사될 이미지를 제공하고, 둘째로 하부층의 영역을 보호하는 에칭 저항성을 제공하면서 하부층의 노출된 영역을 에칭한다. 이러한 기능은 상부층의 이미지 품질과 상부층의 에칭 저항 사이에서 균형을 이룬다.

그러므로, 이미지 전사를 위해 하부층을 사용하여 이미지 전사를 제공하는 방법이 필요하다. 추가로, 상부층 대신에 하부층의 실리에이티드된 부분을 에칭 마스크로서 사용함으로써 고성능 포토레지스트를 상부층으로서 사용하여 개선된 코팅 품질을 제공하는 방법이 필요하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 상기한 문제점을 해결하는 방법을 제공하는 것을 목적으로 한다.

발명의 구성

본 발명에 따른 표면 에칭 방법은 표면상에 형성된 하부층 및 하부층상에 형성된 상부층을 제공하는 단계, 하부층 일부분들이 노출되도록 상부층을 패터닝하는 단계, 하부층의 노출된 일부분들 상에 실리콘을 함유하는 층을 형성하는 단계, 상부에 실리콘층을 가진 하부층의 부분들을 제외한 부분들의 하부층이 노출되도록 상부층을 제거하는 단계 및 상부에 실리콘층을 가진 하부층 부분들을 제외한 일부분들을 에칭하여 표면을 노출시키는 단계를 포함한다.

반도체 소자용 기판을 에칭하는 방법은 기판상에 형성된 하부층 및 하부층상에 형성된 상부층을 제공하는 단계, 하부층의 일부분들이 노출되도록 상부층을 패터닝하는 단계, 하부층의 노출된 일부분들상에 실리콘을 함유하는 층을 형성하는 단계, 상부에 실리콘을 가진 하부층 부분들을 제외한 하부층의 일부분들내의 하부층이 노출되도록 상부층을 제거하는 단계, 실리콘층에 의해 한정된 패턴이 기판에 전사되도록 하부층을 마스크 오픈 에칭하는 단계 및 하부층의 패턴에 따라 기판을 에칭하는 단계를 포함한다.

반도체 소자용 기판을 에칭하는 다른 방법은 기판상의 반사방지 레지스트 재료로 구성된 하부층 및 하부층상에 형성되며 레지스트 재료를 함유하는 상부층을 제공하는 단계, 상부층의 레지스트 재료를 노출시키고 현상함으로써 하부층의 일부를 노출시키도록 상부층을 패터닝하는 단계, 하부층의 노출된 부분내에 실리콘 이온을 주입시킴으로써 상부에 실리에이티드화된 층이 형성되도록 하부층의 노출된 부분을 실리에이티드하는 단계, 상부에 실리에이티드화된 층을 가진 하부층 부분들을 제외한 하부층이 노출되도록 상부층을 제거하는 단계, 실리에이티드화된 층에 의해 한정된 패턴이 기판에 전사되도록 에천트 가스를 제공하여 하부층을 마스크 오픈 에칭하는 단계 및 하부층의 패턴에 따라 기판을 에칭하는 단계를 포함한다.

선택적인 방법으로, 상부층은 포토레지스트를 함유하고, 패터닝하는 단계는 광에 포토레지스트를 노출시키는 단계 및 하부층의 일부를 노출시키도록 레지스트의 일부를 현상하는 단계를 포함한다. 패터닝하는 단계는 바람직하게는 대략

1000Å 내지 3000Å 사이의 두께를 가진 상부층을 증착하는 단계를 포함한다. 층을 형성하는 단계는 하부층의 노출된 부분상에 실리콘을 함유하는 재료를 이온 주입시키는 단계를 포함한다. 이온 주입 단계는 이온의 침투 깊이를 상부층의 두께 이하로 조정하는 단계를 포함한다. 이온 주입 단계는 하부층의 노출된 부분을 실리콘화하도록 이온의 입사각을 조정하는 단계를 포함한다. 실리콘을 함유하는 층을 형성하는 단계는 실리콘을 함유하는 층의 시준된 스퍼터링을 위해 실리콘 타겟을 이용하는 단계 또는 하부층의 노출된 부분들에 실리콘을 함유한 반응제를 화학적으로 결합시키는 단계를 포함한다. 실리콘을 이온 주입하는 단계는 이온의 침투 깊이를 상부층의 두께 이하로 조정하는 단계 및/또는 이온의 입사각을 하부층의 노출된 부분이 실리에이티드화되도록 조정하는 단계를 포함한다. 실리에이티드화(silyating) 단계는 실리콘을 함유하는 층의 시준된 스퍼터링을 위해 실리콘 타겟을 이용하는 단계 또는 하부층의 노출된 부분들에 실리콘을 함유하는 반응제를 화학적으로 결합시키는 단계를 포함한다.

본 발명의 이러한 및 다른 목적, 특징 및 장점이 예시적인 실시예의 이하의 상세한 설명을 통해 이해될 수 있고, 첨부된 도면과 관련하여 설명될 것이다.

본 발명은 첨부된 도면을 참조로 한 바람직한 실시예에 대한 이하의 설명을 통해 상세히 설명된다.

본 발명은 반도체 제조 특히, 실리콘이 하부층에 결합되어 개선된 이미지 품질을 제공하는 개선된 최상부 이미징 리소그래피에 관한 것이다. 본 발명은 개선된 반도체 이미징을 제공하는 방법을 포함한다. 상부층 또는 이미징층은 바람직하게는 고성능 포토레지스트를 포함한다. 상부층은 노출되고 현상된다. 상부층의 현상된 포토레지스트의 표면에 실리콘을 부가함으로써, 보호용 에칭 배리어가 상부층 하부에 위치하는 하부층에 직접적으로 전사된다. 실리콘은 이하에서 설명될 다양한 방식으로 하부층에 부가된다. 다음으로, 상부층이 본 발명에 따라 하부층을 통해 그리고 스택 또는 기관층 내부로의 에칭에 대한 마스크로서 사용된 이미지 또는 패턴을 남기도록 스트립핑된다.

여러 도면에 대해 유사 및 동일한 부재에 대해 유사 참조부호가 부여된 도면에 대한 상세한 설명을 참조하면, 도 1은 스택/기관층(12)을 포함하는 반도체 구조물(10)을 도시한다. 스택/기관층(12)은 실리콘 기관, SOI(silicon on insulator) 기관, 갈륨 비소 기관 등일 수 있고, 도핑 또는 에칭 프로세스를 위해 마스크가 필요하다. 이하에서는, 스택/기관층(12)은 간략함을 위해 스택층(12)이라 한다. 스택층(12)은 DRAM 칩 또는 매립형 DRAM 칩과 같은 반도체 메모리 칩을 위한 깊은 트렌치를 형성하기 위한 마스크로서 사용되는 하드마스크층을 포함하는 유전체 스택을 구비한다. 스택층(12)은 또한 다른 프로세스에서 사용될 수 있다. 하부층(14)이 스택층(12)상에 증착된다. 하부층(14)은 바람직하게는 예를 들면, BARL, AR3, DUV30(모두 시플리사로부터 구입할 수 있음) 또는 MUV 레지스트 재료와 같은 반사방지 코팅(ARC) 재료를 포함한다. 다른 재료 또한 하부층(14)을 위해 사용될 수 있다.

얇은 이미징층 또는 상부층(16)이 하부층(14)상에 증착된다. 이미징층(16)의 두께는 대략 1000Å 내지 3000Å이다. 이미징층(16)은 바람직하게는 통상적인 이미징층 이상의 두께로 감소되어 프로세스 윈도우와 관련하여 개선된 이미지 품질을 제공한다. 다시 말해, 이미징층(16)이 얇을수록 더욱 정확한 이미지가 얻어진다. DUV와 같은 통상적인 레지스트 재료가 이미징층(16)을 위해 사용될 수 있지만, 이미징층에 사용되는 재료는 바람직하게는 높은 이미징 및 코팅 품질을 제공하도록 최적화된다. 비록 이미징층(16)에 대해 어떠한 화학적 변화도 필요하지 않지만, 높은 이미징 및 코팅 품질을 최적화시키기 위해 화학적 변형이 수행될 수 있다. 이미징층(16)은 네가티브 톤 또는 포지티브 톤 레지스트를 포함할 수 있다. 바람직하게, 이미징층(16)은 최적의 이미징 성능을 위해 설계된다. 본 발명에 따르면, 이미징층(16)은 이하에서 설명될 바와 같이 에칭 마스크로서 사용되지 않기 때문에 에칭 저항성은 더이상 드라이빙(driving) 요인이 아니다.

도 2를 참조하면, 패턴이 이미징층(16)에 전사된다. 이미징은 이미징층(16)의 표면(18) 영역을 포토리소그래피 마스크(도시 안됨)를 통해 예를 들면, (DUV와 같은) 자외선광과 같은 광에 노출시킴으로써 제공된다. 노출 이후, 이미징층(16)이 수성 알칼리 용액과 같은 현상액을 사용하여 현상된다. 현상액은 하부층(14) 하부쪽으로 이미징층(16)의 일부를 제거하여 이미징층(16)내에 홀(20)을 형성한다. 하부층(14)이 추가의 처리를 위해 홀(20)을 통해 노출된다.

도 3을 참조하면, 하부층(14)이 실리콘에 노출되거나 하부층(14)의 노출된 영역내에서 실리에이티드화되고, 여기서 이미징층(16)은 현상되어 제거된다. 실리콘화는 여러 방법으로 이루어진다. 하부층(14)의 노출된 부분을 실리에이티드화시키기 하나의 방법은 실리콘 재료를 사용하여 이온 주입하는 것이다. 바람직한 실시예에서, 대략 10keV 내지 100keV와 같은 낮은 에너지 및 1×10^{15} 내지 1×10^{17} 실리콘 이온/cm²와 같은 많은 양이 사용된다. 주입은 바람직하게는 실리에이티드화된 층(22)이 이미징층(16)의 두께보다 적은 침투 깊이를 가지면 형성되도록 조정된다. 이러한 방식으로, 하부층(14)이 홀(20)을 통해서만 실리에이티드화된다. 실리에이티드화된 층(22)을 형성하는데 이온 주입에 대해 가파른 입사각 α 가 바람직하

다. a에 대해 대략 0도 내지 30도의 각이 바람직하다. 이온 주입이 사용된다면, 실리코화의 깊은 깊이가 얻어진다. 이는 다음 단계에서 마스크로서 사용되는 하부층(14)이 스택층(12)에 인접하도록 하고, 이에 따라 스택층상에 형성될 구조물의 임계 치수(CD)로부터 측면 손실을 감소시킨다.

다른 실시예에서, 하부층(14)의 노출된 부분을 실리코화하기 위해 실리콘 타겟을 사용하는 시준된 스퍼터링이 사용된다. 또다른 실시예에서, 실리콘을 함유하는 반응제가 하부층(14)에 화학적으로 결합된다. 바람직하게는, 본 발명은 트렌치의 기저부 또는 홀 이미징층(16)에서 실리에이티드화된 영역(22)을 제공한다. 이러한 방식으로, 실리에이티드화된 영역(22)이 트렌치의 기저부에서 영역(22)에 대해 선택적으로 제거된다. 더욱이, 상술된 통상적인 최상부 표면 이미징(TSI)에서, 실리콘은 층 하부로의 에칭의 결과 레지스트의 표면에 형성된다("그래스 형성"으로 알려져 있음). 이미징층상의 이러한 실리콘 형성은 이미징 품질을 저하시킨다. 본 발명은 이미징층(16)이 제거된 이후 하부층(14)에 대한 어떠한 에칭도 수행되지 않기 때문에, 실리콘 "그래스 형성"으로 인한 저하가 방지된다.

도 4를 참조하면, 이미징층(16)이 스트립핑되어 하부층이 하부층(14)의 최상부 표면(24)상에 패터닝되고 실리에이티드화된 층(22)을 가지도록 한다. 이미징층(16)이 자외선 광에 플러드(flood) 노출되어 제거되고 수성 알칼리 용액으로 남겨진 부분을 현상한다. 이미징층(16)을 제거하기 위한 다른 방법은 화학 기계 연마(CMP), 플라즈마 에칭 또는 동일한 에칭 프로세스를 포함한다. 바람직하게는, 포토레지스트 재료를 함유하는 이미징층(16)이 하부층(14) 에칭 이전에 제거된다. 이러한 방식으로, 당업자에게 "그래스 형성"으로 공지된 실리콘 증착이 하부층(14) 에칭 프로세스의 결과 이미징층상에 형성될 기회가 없어진다. 통상적인 최상부 표면 이미징(TSI)상의 "그래스 형성"은 "그래스 형성"이 발생하는 포토레지스트가 포토레지스트 하부쪽으로 하부층을 에칭시 마스크로서 사용될 때 이미징 성능을 저하시킨다. 하지만, 본 발명에 따르면, 바람직하게는 포토레지스트 재료인 이미징층(16)은 하부층을 에칭하기 위한 에칭 마스크로서 사용되지 않고 이미징층은 하부층(14)을 에칭하기 이전에 제거된다. 그러므로, 본 발명에 따르면 "그래스 형성"이 방지된다.

도 5를 참조하면, 마스크 오픈 에칭이 하부층(14)을 통해 실리에이티드화된 층(22)의 패턴을 에칭하도록 수행된다. 마스크 오픈 에칭은 에천트 가스에 표면(24)을 노출시키는 단계를 포함한다. 에천트 가스는 예를 들면, 산소 및/또는 아르곤을 포함한다. 하부층(14)의 표면(24)의 실리에이티드화된 층(22)은 에칭 분위기를 견딘다. 하부층(14)이 실리에이티드화된 층(22)에 의해 보호되지 않은 영역으로부터 제거된다. 이에 따라 실리에이티드화된 층에 의해 한정된 패턴이 하부층(14)을 통해 전사된다. 실리에이티드화된 층(22)은 바람직하게는 대략 4,000Å 내지 10,000Å 두께로 조정된다. 바람직하게는, 실리에이티드화된 층(22)의 두께가 클수록 스택층을 에칭하기 위한 개선된 이미징 제공할 수 있다.

도 6을 참조하면, 마스크 오픈 에칭 이후, 내부에 패턴을 형성하도록 스택층(12)이 에칭된다. 하부층(14)의 나머지 부분(26)은 스택층(12)의 노출된 영역내에서 에칭이 가능하도록 하는 마스크로서의 기능을 한다. 하부층(14)이 바람직하게는 ARC 또는 MUV를 포함하기 때문에, 우수한 에칭 저항이 스택층(12)의 노출되지 않은 영역을 보호하도록 하부층(14)에 의해 제공된다. 선택적인 에칭 프로세스 또는 다른 방법은 하부층(14)의 나머지 부분을 제거하는도록 사용될 수 있다.

반도체 가공을 위한 개선된 상부층 이미징 리소그래피를 위한 실시예(예시를 위한 것이지만 한정을 위한 것은 아님)에 대해 설명되었지만, 당업자라면 상술된 기술에 대한 변경 및 변화가 가능하다는 것을 알 수 있을 것이다. 그러므로, 첨부된 청구항에 의해 개요된 바와 같이 본 발명의 정신 및 범위내에서 설명된 본 발명의 특히 바람직한 실시예에 대한 변경이 가능하다는 것을 알 수 있을 것이다. 따라서, 특허법에 의해 요구되는 보호받고자 하는 권리범위가 첨부된 청구항에 개시되어 있다.

발명의 효과

본 발명에 따르면, 반도체 제조시 실리콘이 하부층내에 결합될 때 상부층 이미징 리소그래피를 개선시켜 개선된 이미지 품질이 제공된다.

도면의 간단한 설명

도 1은 본 발명에 따라 하부층과 이미징 또는 상부층을 가진 기판/스택층을 도시하는 반도체 구조물의 단면도.

도 2는 본 발명에 따라 패터닝된 이미징층을 도시하는 도 1의 반도체 구조물의 단면도.

도 3은 본 발명에 따라 노출된 부분에서 실리에이티드된(silyated) 하부층을 도시하는 도 2의 반도체 구조물의 단면도.

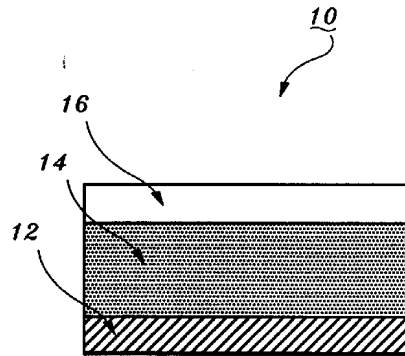
도 4는 본 발명에 따라 이미징층으로부터 스트립핑된 이후 하부층상에 실리에이티드된 부분을 도시하는 도 3의 반도체 구조물의 단면도.

도 5는 본 발명에 따라 오픈 에칭 마스크로서 사용된 하부층의 실리에이티드된 부분을 도시하는 도 4의 반도체 구조물의 단면도.

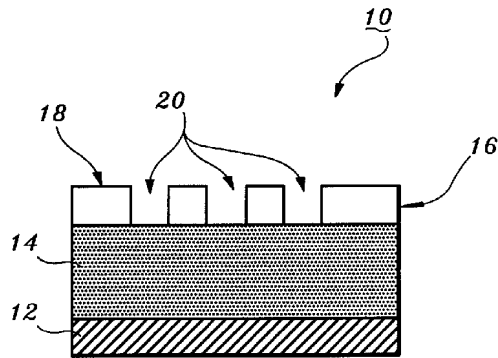
도 6은 본 발명에 따라 에칭된 기판/스택층을 도시하는 도 5의 반도체 구조물의 단면도.

도면

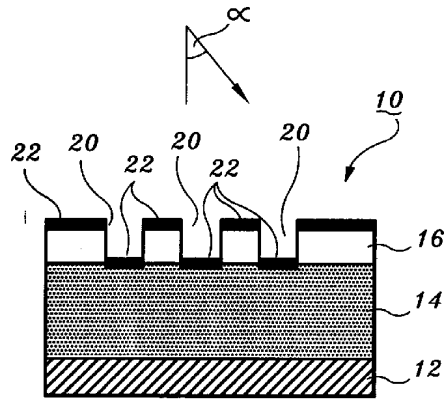
도면1



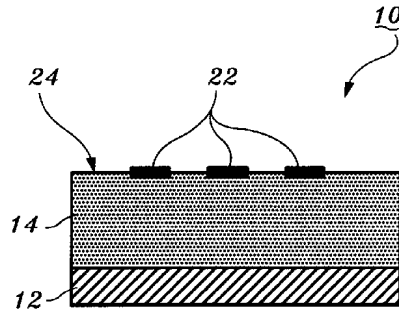
도면2



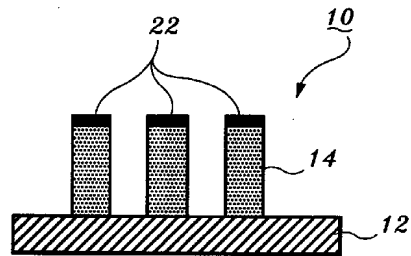
도면3



도면4



도면5



도면6

