



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I827212 B

(45)公告日：中華民國 112 (2023) 年 12 月 21 日

(21)申請案號：111131838 (22)申請日：中華民國 109 (2020) 年 12 月 24 日

(51)Int. Cl. : **H01L27/11502 (2017.01) H01L27/11507 (2017.01)**  
**H01L49/02 (2006.01) G11C11/22 (2006.01)**

(30)優先權：2019/12/27 美國 16/729,267

(71)申請人：美商凱普勒運算公司 (美國) KEPLER COMPUTING INC. (US)  
美國(72)發明人：薩雷傑 高拉夫 THAREJA, GAURAV (IN)；曼尼佩楚尼 沙西坎斯  
MANIPATRUNI, SASIKANTH (US)；杜卡尼亞 拉傑夫 DOKANIA, RAJEEV  
KUMAR (IN)；拉米西 拉瑪摩瑟 RAMESH, RAMAMOORTHY (US)；瑪塞理  
雅理塔 MATHURIYA, AMRITA (US)

(74)代理人：林志剛

(56)參考文獻：

US 6115281A US 6117688A  
US 6194754B1

審查人員：陳恩笙

申請專利範圍項數：28 項 圖式數：6 共 60 頁

(54)名稱

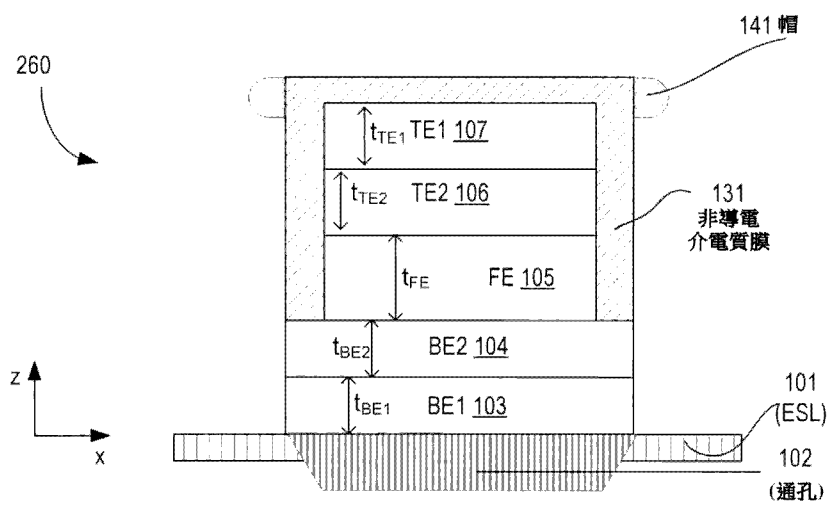
具有鐵電電容器之設備和系統及其圖案化方法

(57)摘要

鐵電電容器藉由在經蝕刻的第一和第二電極上方適形性地沉積非導電介電質、及在非導電介電質之選擇部分上方形成金屬帽或頭盔而形成，其中金屬帽適形於部分的非導電介電質之側壁。金屬帽係藉由以掠射角施加物理氣相沉積，以在非導電介電質之選擇部分上方選擇性地沉積金屬遮罩而形成。所述金屬帽亦可藉由以調整的蝕刻速率施加離子佈植而形成。所述方法更包括同位素地蝕刻該金屬帽和該非導電介電質，使得該非導電介電質保留在該等第一和第二電極之側壁上，而不保留在該等第三和第四電極。

Ferroelectric capacitor is formed by conformably depositing a non-conductive dielectric over the etched first and second electrodes, and forming a metal cap or helmet over a selective part of the non-conductive dielectric, wherein the metal cap conforms to portions of sidewalls of the non-conductive dielectric. The metal cap is formed by applying physical vapor deposition at a grazing angle to selectively deposit a metal mask over the selective part of the non-conductive dielectric. The metal cap can also be formed by applying ion implantation with tuned etch rate. The method further includes isotopically etching the metal cap and the non-conductive dielectric such that non-conductive dielectric remains on sidewalls of the first and second electrodes but not on the third and fourth electrodes.

指定代表圖：



符號簡單說明：  
101:蝕刻停止層(ESL)  
102:通孔  
103,104,105,106,107:  
層  
131:非導電介電質膜  
141:帽或頭盔  
260:橫截面

【圖 2F】



民國 112 年 7 月 24 日修正

I827212

**【發明摘要】****【中文發明名稱】**

具有鐵電電容器之設備和系統及其圖案化方法

**【英文發明名稱】**APPARATUS AND SYSTEM HAVING FERROELECTRIC  
CAPACITOR AND METHOD OF PATTERNING SUCH**【中文】**

鐵電電容器藉由在經蝕刻的第一和第二電極上方適形性地沉積非導電介電質、及在非導電介電質之選擇部分上方形成金屬帽或頭盔而形成，其中金屬帽適形於部分的非導電介電質之側壁。金屬帽係藉由以掠射角施加物理氣相沉積，以在非導電介電質之選擇部分上方選擇性地沉積金屬遮罩而形成。所述金屬帽亦可藉由以調整的蝕刻速率施加離子佈植而形成。所述方法更包括同位素地蝕刻該金屬帽和該非導電介電質，使得該非導電介電質保留在該等第一和第二電極之側壁上，而不保留在該等第三和第四電極。

第 111131838 號

民國 112 年 7 月 24 日修正

## 【 英文 】

Ferroelectric capacitor is formed by conformably depositing a non-conductive dielectric over the etched first and second electrodes, and forming a metal cap or helmet over a selective part of the non-conductive dielectric, wherein the metal cap conforms to portions of sidewalls of the non-conductive dielectric. The metal cap is formed by applying physical vapor deposition at a grazing angle to selectively deposit a metal mask over the selective part of the non-conductive dielectric. The metal cap can also be formed by applying ion implantation with tuned etch rate. The method further includes isotopically etching the metal cap and the non-conductive dielectric such that non-conductive dielectric remains on sidewalls of the first and second electrodes but not on the third and fourth electrodes.

第 111131838 號

民國 112 年 7 月 24 日修正

【指定代表圖】圖 2F  
【代表圖之符號簡單說明】

101:蝕刻停止層(ESL)

102:通孔

103,104,105,106,107:層

131:非導電介電質膜

141:帽或頭盔

260:橫截面

【特徵化學式】無

## 【發明說明書】

### 【中文發明名稱】

具有鐵電電容器之設備和系統及其圖案化方法

### 【英文發明名稱】

APPARATUS AND SYSTEM HAVING FERROELECTRIC  
CAPACITOR AND METHOD OF PATTERNING SUCH

### 【技術領域】

【0001】本發明係有關於鐵電電容器及其圖案化方法。

### 優先權

【0002】本申請案主張2019年12月27日申請之標題為「Ferroelectric Capacitor and Method of Patterning Such」之美國專利申請案編號第16/729,267號的優先權，並且以引用方式併入本文中。

### 【先前技術】

【0003】用在處理器中的標準記憶體係靜態隨機存取記憶體(SRAM)或動態隨機存取記憶體(DRAM)，及它們的衍生物。這些記憶體係揮發性記憶體。例如，當供應至記憶體的電源斷開，記憶體將遺失它們儲存的資料。現在，非揮發性記憶體也普遍用於計算平台中以取替磁硬碟。即

使斷開供應至非揮發性記憶體之電源，但是非揮發性記憶體還是可以長時間(例如，數月、數年或永久)留存它們儲存的資料。非揮發性記憶體的實例係磁性隨機存取記憶體(MRAM)、NAND或NOR快閃記憶體。這些記憶體可能不適用於低功耗及緊湊型計算裝置，因為這些記憶體遭受高寫入能量、低密度、及高電源耗損的困擾。

**【0004】** 本文提供的先前技術的敘述是為了大致地呈現本發明上下文的目的。除非本文另有說明，否則本段落敘述的材料不是本申請的申請專利範圍的先前技術，並且不因包含在本段落中而被承認是先前技術。

#### **【圖式簡單說明】**

**【0005】** 本揭露實施例從下面給定之詳細的敘述以及從本揭露各種實施例伴隨的圖式將更完整地了解，然而，其不應限制本揭露為具體實施例，但其僅用為解釋和了解。

**【0006】** [圖1A-F]繪示根據一些實施例之形成/圖案化鐵電電容器之製程的橫截面。

**【0007】** [圖2A-F]繪示根據一些實施例之形成/圖案化鐵電電容器之製程的橫截面。

**【0008】** [圖3]繪示根據一些實施例之形成鐵電電容器之方法的流程圖。

**【0009】** [圖4]繪示根據一些實施例之包含鐵電電容器的1T-1C記憶體單元。

【0010】[圖5A]繪示根據一些實施例之具有習知邏輯和鐵電電容器之晶片之部分的橫截面。

【0011】[圖5B]繪示根據一些實施例之圖5A的上視圖。

【0012】[圖6]繪示根據一些實施例之包括具有1T-1C位元單元陣列及邏輯之記憶體之系統單晶片。

### 【發明內容】及【實施方式】

【0013】一些實施例敘述鐵電電容器及其製造或圖案化的方法。用於形成鐵電電容器裝置的方法包沉積形成鐵電電容器裝置之基礎的層堆疊。這些層堆疊包括包含第一導電材料的第一電極、包含第二導電材料之第二電極、具有鐵電材料之結構、包含第三導電材料之第三電極、以及包含第四導電材料之第四電極。第一和第二電極係頂部電極(TE)的一部分，而第三和第四電極係底部電極(BE)的一部分。儘管假定兩個電極作為頂部電極，但是可以堆疊任何數量的層以形成多層頂部電極。底部電極也一樣。例如，頂部及/或底部電極可包含單一層或多層。用於頂部和底部電極之層的數量可以相同或不同。第二電極係相鄰於第一電極，鐵電材料係相鄰於第二電極，第三電極係相鄰於鐵電材料，及第四電極係相鄰於第三電極。

【0014】所述方法更包含蝕刻第一和第二電極。蝕刻製程可停止於鐵電材料處、或可停止於其中第三電極即將開始的位置處。在蝕刻第一和第二電極(及/或鐵電材料)之



後，所述方法包含在經蝕刻的第一和第二電極(及/或鐵電材料)上方適形性地沉積非導電介電質。這種非導電介電質的一個目的係防止頂部電極與底部電極短路。製造用於先進製程技術節點(例如，12nm及以下的CMOS製程)之鐵電電容器的傳統方法通常難以在製造期間中防止TE和BE短路。本文的方法解決了這個挑戰，其允許製造用於諸如7nm及以下之先進技術節點的鐵電電容器。

**【0015】** 所述方法更包含在非導電介電質之選擇部分的上方形金屬帽，其中金屬帽適形於部分的非導電介電質之側壁。金屬帽亦稱為頭盔。頭盔的閉鎖部分適形於非導電介電質之側壁的部分，而頭盔的頂部部分覆蓋第一電極。在一些實施例中，頭盔係藉由以掠射角施加物理氣相沉積(PVD)而形成，以在該非導電介電質之該選擇部分上方選擇性地沉積金屬遮罩。在一些實施例中，頭盔係藉由以調整的蝕刻速率施加離子佈植而形成。

**【0016】** 所述方法更包含同位素地蝕刻該金屬帽和該非導電介電質，使得該非導電介電質保留在該等第一和第二電極之側壁上，而不保留在該等第三和第四電極之側壁上。在一些實施例中，金屬帽係藉由蝕刻或研磨該金屬帽以從該非導電介電質的側表面而去除。例如，研磨頭盔的頂部部分並修整至第一電極的表面。可仍保留頭盔閉鎖。在一些實施例中，頭盔閉鎖可被完整地去除。

**【0017】** 各種實施例具有許多技術效果。例如，形成鐵電電容器的製程確保在製造期間頂部和底部電極不短

路，所述短路導致電容器無法工作。隨著FE單元積極地縮放，其面臨著因蝕刻而引起的問題。蝕刻製程可產生非揮發性蝕刻副產品。這些可能來自電極材料的蝕刻副產物可能會在蝕刻製程中重新沉積在FE層上，並可能導致電極之間發生電性短路。非導電材料之間隔物係用於分隔裝置的頂部和底部電極，以防止裝置因電性短路而故障。如此一來，各個實施例的製程在記憶體陣列的進一步製造期間保護鐵電電容器。

**【0018】** 使用鐵電電容器形成的記憶體位元單元允許鐵電電容器中的鐵電(FE)狀態之非常低的電壓切換(例如，100mV)。鐵電電容器可與任一類型的電晶體一起使用。例如，各個實施例的鐵電電容器可與平面或非平面電晶體一起使用。電晶體可經形成在晶粒的前端或後端。與習知DRAM位元單元相比，使用鐵電電容器形成的記憶體位元單元導致更高或更窄的位元單元。如此一來，更多位元單元可經封裝在晶粒中而產生更高密度的記憶體，該記憶體可以在比習知DRAM更低的電壓下操作，而且提供廣受歡迎的非揮發性性能。在一些實施例中，為了進一步增加每一晶粒的記憶體密度，記憶體位元單元係形成在前端與後端。其它技術效應從各種實施例及圖式將顯而易見。

**【0019】** 在下面的說明中，大量的細節被討論以提供對本揭示的實施例之更徹底的解釋。然而，對本發明所屬領域之具有通常知識者，本揭示的實施例可不用這些特定的細節可被實踐是顯而易見的。在其它例子中，為了避免

模糊本揭示的實施例，已知的結構和裝置詳細敘述，而以方塊圖的形式被示出。

**【0020】** 注意，在實施例之對應的圖式中，訊號以線代表。有些線可能比較粗以指示更多成份的訊號路徑，和/或具有箭頭在一或多個端，以指示主要資訊流動方向。如此之指示不意圖為被限制的。而是，線被使用以與一或多個示例性實施例有關以促進對電路或邏輯單元更容易的理解。任何代表的訊號，由設計需求或偏好所指定，可實際上包含一或多個訊號，其可在任一方向上移動且可與任何適當類型的訊號方案被實施。

**【0021】** 用語「裝置」通常可以指根據該用語之使用背景的裝置。例如，裝置可以指的是層或結構的堆疊、單一結構或層、具有主動及/或被動元件之各種結構的連接等等。一般而言，裝置為具有沿著x-y方向之平面及沿著x-y-z笛卡爾座標系統之z方向之高度的三維結構。裝置之平面亦可為包含裝置之設備的平面。

**【0022】** 貫穿說明書及在申請專利範圍中，用語「連接的」意指在連接的東西之間以諸如電性、機械或磁性的直接連接，而沒有任何中間的裝置。

**【0023】** 用語「耦接」的意思是透過一或多個被動或主動中間裝置在連接的或間接連接的物之間的直接或間接連接，諸如直接電性、機械或磁性連接。

**【0024】** 本文中的用語「相鄰」通常指的是事物的位置(例如，緊靠著它們之間的一或多處事物)或鄰接另一事

物(例如，毗連它)。

**【0025】**用語「電路」或「模組」可指的是一或多個被動和/或主動組件，其為佈置以與另一個合作來提供所需的功能。

**【0026】**用語「訊號」可稱為至少一電流訊號、電壓訊號、磁性訊號或資料/時脈訊號。「一(a)」、「一個(an)」以及「該」的意思包括數個參考。「中」的意思包括「中」和「上」。

**【0027】**用語「縮放」通常是指將設計(示意圖和佈局)從一種處理技術轉換為另一種處理技術，並隨後減小其佈局面積。用語「縮放」通常還指縮小相同技術節點內的佈局和裝置。用語「縮放」還可以指相對於另一參數(例如，電源供應位準)調整(例如，減速或加速-即分別縮小或放大)訊號頻率。

**【0028】**用語「實質上」、「接近」、「大約」、「附近」以及「近似」一般指的是目標值在 $\pm 10\%$ 之間。例如，除非在其使用之明確背景中另外指明，否則術語「實質上相等」、「大約相等」和「近似相等」表示在所敘述的事物之間僅存在偶然的變化。在本領域中，這種變化通常不大於預定目標值的 $\pm 10\%$ 。

**【0029】**除非以其它方式指明，使用用以敘述一般物件之一般形容詞「第一」、「第二」以及「第三」等等，僅指示相似物件之不同實例被提及，並且不旨在暗示如此描述的物件必須以給定的順序，無論是時間、空間、排名

或以在任何其他方式。

【0030】對於本揭露之目的，用語「A和/或B」及「A或B」的意思是(A)、(B)或(A和B)。對於本揭露之目的，用語「A、B和/或C」的意思是(A)、(B)、(C)、(A和B)、(A和C)、(B和C)或(A、B和C)。

【0031】在敘述和申請專利範圍中「左」、「右」、「前」、「後」、「頂」、「底」、「之上」、「之下」等的用語為用於敘述性目的，而不一定用於描述永久的相對位置。例如，如本文所使用的用語「上方」、「下方」、「前側」、「背側」、「頂部」、「底部」、「之上」、「之下」和「在上」是指一個組件、結構、或材料相對於其它在裝置內之參考組件、結構、或材料的相對位置，其中這種物理關係是值得注意的。這些用語在本文中僅用於敘述目的，並且主要在裝置z軸的背景內使用，因此可以相對於裝置的取向。因此，如果裝置相對於所提供之圖式的背景顛倒定向，則在本文提供之圖式的背景中的第二材料「之上」的第一材料也可以在第二材料「之下」。在材料的上下文中，設置在另一個之上或之下的一種材料可以直接接觸或可以具有一或多種中間材料。此外，設置在兩種材料之間的一種材料可以直接與兩層接觸，或者可以具有一或多個中間層。相反，第一材料在第二材料「上」為與第二材料直接接觸。在組件集合的上下文中將做出類似的區別。

【0032】用語「之間」可採用在裝置之z軸、x軸、或

y軸的背景中。兩種其它材料之間的材料可為與那些材料中的一種或兩種接觸，或者可以藉由一或多個中間材料將其與其它兩種材料分開。兩種其它材料「之間」的材料可因此與其它兩種材料中的任一種接觸，或者可以透過中間材料耦接至其它兩種材料。兩種其它裝置之間的裝置可直接與那些裝置中的一或兩種連接，或者可以藉由一或多個中間裝置將其與其它兩種裝置分開。

**【0033】** 此處，多個非矽半導體材料層可堆疊在單一鱗片結構內。多個非矽半導體材料層可包括一或多個「P型」層，其適用於P型電晶體(例如，提供比矽更高的電洞移動率)。多個非矽半導體材料層可進一步包括一或多個「N型」層，其適用於N型電晶體(例如，提供比矽更高的電子移動率)。多個非矽半導體材料層可進一步包括將N型與P型層分開的一或多個中介層。中介層可以是至少部分犧牲的，例如允許閘極、源極、或汲極中的一或多個完全圍繞一或多個N型和P型電晶體的通道區域。多個非矽半導體材料層可至少部分利用自對準技術來製造，使得堆疊的CMOS裝置可同時包括具有單一FET(場效電晶體)之足跡的高移動率N型和P型電晶體。

**【0034】** 此處，用語「後端」通常是指晶粒之與「前端」相對的區段，並且其中IC(積體電路)封裝耦接至IC晶粒凸塊。例如，高階金屬層(例如，在十金屬堆疊晶粒中的金屬層6和更高的金屬層)及更靠近晶粒封裝之相應通孔被認為是晶粒之後端的一部分。相反地，用語「前端」通

常是指晶粒的一區段，其包括主動區(例如，其中製造半導體的地方)和低階金屬層及更靠近主動區(例如，在十金屬堆疊晶粒實例中的金屬層5及更低的金屬層)的相應通孔。

【0035】指出那些圖中具有相同的元件編號(或名稱)之元件與任何其它圖式的元件一樣可以以任何類似於所描述之方式操作或運作，但不限制於此。

【0036】圖 1A-F 分別繪示根據一些實施例之形成/圖案化鐵電電容器之製程的橫截面 100、120、130、140、150 和 160。本文敘述的製程假定已經執行某些先前製程。例如，在底部電極(BE1)下方存在蝕刻停止層(ESL)101，製造金屬通孔 102 以將底部電極(BE1)與另一裝置或金屬連接的製程等。所屬技術領域中具有通常知識者將理解到基材(未圖示)係在通孔 102 下方，並且可具有在其中或其上形成主動裝置。ESL 101 可包括具有與要蝕刻的堆疊(例如，層 103、104、105、106、和 107)之材料非常不同的蝕刻特性的任何合適的材料。蝕刻製程停止在 ESL 101。通孔 102 可包括任何合適的材料，諸如 W、Cu、Ta、Ti、Co、Al、Ag、TaN、或它們的組合。

【0037】在橫截面 100 中，在沉積並圖案化 ESL 101 和通孔 102 之後，沉積鐵電(FE)電容層。這些層包括 BE1 103、BE2 104、FE 105、TE2 106、及 TE1 107。在一些實施例中，層堆疊係使用物理氣相沉積(PVD)、化學氣相沉積(CVD)、及/或原子層沉積(ALD)之技術的沉積。這些層

的沉積可被整合或分開。例如，BE1 103、BE2 104、FE 105、TE2 106、及TE1 107按以下序列沉積：沉積BE1 103和BE2 104，接著在空斷(air break)之後在BE2 104上方沉積FE 105。在空斷之後接著在FE 105上方沉積TE 106。在一些實施例中，BE1 103、BE2 104、FE 105、TE2 106、及TE1 107按以下序列沉積：沉積BE1 103和BE2 104，接著在沒有任何空斷的情況下在BE2 104上方沉積FE 105。在沒有空斷之情況下接著在FE 105上方沉積TE 106。在一些實施例中，為了改善各種膜特性，退火製程與BE1 103、BE2 104、FE 105、TE2 106、及TE1 107的沉積整合。例如，BE1 103、BE2 104、FE 105、TE2 106、及TE1 107按以下序列沉積：沉積並退火BE1 103和BE2 104，接著沒有空斷的情況下在BE2 104上方沉積FE 105並進行退火。在沒有空斷之情況下接著在FE 105上方沉積TE 106並進行退火。

【0038】膜特性包括下列中的一或多者：黏著性、封閉性、結構、電阻值、鐵電性、可靠性等。在此製程中，沉積BE1 103和BE2 104，然後進行退火。在某些材料存在的情況下，以特定溫度範圍內的升溫速率控制退火。例如，退火係以 $0.1^{\circ}\text{C}/\text{min}$ (攝氏溫度每分鐘)的受控速率、溫度範圍 $300^{\circ}\text{C}$ 至 $900^{\circ}\text{C}$ 、以及 $\text{N}_2$ 、 $\text{O}_2$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ 、Ar或它們的組合的周圍氣體執行從1ns至30分鐘之範圍的持續期間。任何合適的加熱源可用於退火。例如，可使用雷射、燈管、或熔爐作為加熱源。



【0039】儘管顯示用於底部電極(BE)的兩層(例如，BE1和BE2)，但是可以使用任意數量的N層來形成底部電極(BE)，其中N是1至任何合適的數量。類似地，儘管顯示用於頂部電極(TE)的兩層(例如，TE1和TE2)，但是可以使用任意數量的M層來形成頂部電極(TE)，其中M是1到任何合適的數量。在一些實施例中，N等於M。在一些實施例中，N不同於M。在堆疊中每一層的厚度係在1nm(奈米)至50nm的範圍。例如，沿著z軸的BE1 103之厚度 $t_{BE1}$ 、BE2 104之厚度 $t_{BE2}$ 、FE 105之厚度 $t_{FE}$ 、TE2 106之厚度 $t_{TE2}$ 、及TE1 107之厚度 $t_{TE1}$ 係在1nm至50nm的範圍。

【0040】在一些實施例中，BE1 103、BE2 104、TE2 106、及TE1 107包含導電材料，其包括下列中的一或多者：Ti、TiN、Ru、RuO<sub>2</sub>、IrO<sub>2</sub>、TaN、SrO、Ta、Cu、Co、W、或WN。在一些實施例中，直接相鄰於FE 105之電極包含導電氧化物。在一些實施例中，導電氧化物為AA'BB'O<sub>3</sub>類型。A'是原子位點A的摻雜物，可以是鑷系系列的元素。B'是原子位點B的摻雜物，可以是來自過渡金屬元素的元素，特別是Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zn。A'可能具有與A點相同的原子價，並且鐵電極化率不同。用於電極的材料可以相同或不同。例如，用於TE2 106的材料不同於用於TE1 107的材料，及用於BE1 103的材料不同於用於BE2 104的材料，而材料BE1 103和TE1 107可為相同，並且材料BE2 103和TE2 106可為相同。在各種實施例中，用於TE1、TE2、BE1、和BE2的材

料可以全部彼此不同。

【0041】在各種實施例中，FE材料105可為任何合適的低電壓FE材料，其允許FE材料藉由低電壓(例如，100 mV)切換其狀態。在一些實施例中，FE材料105包含 $ABO_3$ 類型的鈣鈦礦，其中「A」與「B」為兩個不同大小的陽離子，並且「O」是氧，其為與兩個陽離子鍵合的陰離子。一般而言，A原子的大小大於B原子的大小。在一些實施例中，鈣鈦礦可為經摻雜的(例如，由La或釷系)。鈣鈦礦可被合適的摻雜，以實現0.3至2%範圍內的自發畸變。例如，對於化學取代的鈦酸鉛(諸如，在Ti位置的Zr；在Ti位置的La、Nb)，這些取代物的濃度應使其達到0.3至2%範圍內的自發畸變。對於化學取代的 $BiFeO_3$ 、 $BiCrO_3$ 、 $BiCoO_3$ 類的材料，取代Bi位置的La或稀土可調節自發畸變。在一些實施例中，FE材料105係與導電金屬氧化物接觸，導電金屬氧化物包括導電鈣鈦礦金屬氧化物，其實例為： $La-Sr-CoO_3$ 、 $SrRuO_3$ 、 $La-Sr-MnO_3$ 、 $YBa_2Cu_3O_7$ 、 $Bi_2Sr_2CaCu_2O_8$ 、及 $LaNiO_3$ 。

【0042】在一些實施例中，FE材料105包含包括在導電氧化物之間(或夾在它們之間)之低電壓FE材料的層堆疊。於各種實施例中，當FE材料105為鈣鈦礦時，導電氧化物為 $AA'BB'O_3$ 類型。A'是原子位點A的摻雜物，可以是釷系系列的元素。B'是原子位點B的摻雜物，可以是來自過渡金屬元素的元素，特別是Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zn。A'可能具有與A點相同的原子價，並且鐵電極化率不同。在一

些實施例中，鈣鈦礦包括下列中的一者： $\text{BaTiO}_3$ 、 $\text{PbTiO}_3$ 、 $\text{KNbO}_3$ 、 $\text{NaTaO}_3$ 、 $\text{LaCoO}_3$ 、 $\text{SrCoO}_3$ 、 $\text{SrRuO}_3$ 、 $\text{LaMnO}_3$ 、 $\text{SrMnO}_3$ 、 $\text{YBa}_2\text{Cu}_3\text{O}_7$ 、 $\text{Bi}_2\text{Sr}_2\text{CaCu}_2\text{O}_8$ 、或 $\text{LaNiO}_3$ 。

【0043】在一些實施例中，FE材料105包含 $\text{h-RMnO}_3$ 類型的六方晶鐵電，其中R係稀土元素，即，鈰(Ce)、鐳(Dy)、鉕(Er)、鎔(Eu)、釷(Gd)、釹(Ho)、鐳(La)、鐳(Lu)、釹(Nd)、鐳(Pr)、鉕(Pm)、釷(Sm)、釩(Sc)、鉕(Tb)、鎳(Tm)、鐳(Yb)、及釷(Y)。鐵電相位的特徵在於層狀 $\text{MnO}_5$ 多面體的彎曲(buckling)，伴隨著Y離子的置換，這導致了淨電極化。在一些實施例中，六方晶FE包括下列中的一者： $\text{YMnO}_3$ 或 $\text{LuFeO}_3$ 。於各種實施例中，當FE材料105包含六方晶鐵電時，導電氧化物為 $\text{A}_2\text{O}_3$ (例如， $\text{In}_2\text{O}_3$ 、 $\text{Fe}_2\text{O}_3$ )及 $\text{ABO}_3$ 類型，其中「A」為稀土元素而「B」為Mn。

【0044】在一些實施例中，FE材料105包含瑕FE材料。瑕鐵電為其中主階參數係諸如原子序列的應變或彎曲的序列機制的鐵電。瑕FE材料之實例分別是 $\text{LuFeO}_3$ 類材料或鐵電和順電材料 $\text{PbTiO}_3$ (PTO)和 $\text{SnTiO}_3$ (STO)的超晶格，以及分別是 $\text{LaAlO}_3$ (LAO)和STO。例如， $[\text{PTO}/\text{STO}]_n$ 或 $[\text{LAO}/\text{STO}]_n$ 的超晶格，其中「n」係在1至100之間。雖然這裡參考用於儲存電荷狀態的鐵電材料105敘述了各種實施例，但是這些實施例也適用於順電材料。例如，可使用順電材料代替鐵電材料來形成各個實施例的電容器。

【0045】在一些實施例中，鐵電材料係摻雜有s軌道

材料(例如，用於第一週期、第二週期以及離子第三和第四週期的材料)。在一些實施例中，將f軌道材料(例如，鑷系)摻雜至鐵電材料，以製造順電材料。室溫順電材料的實例包括： $\text{SrTiO}_3$ 、 $\text{Ba}(x)\text{Sr}(y)\text{TiO}_3$ (其中x係-0.05，且y係0.95)、 $\text{HfZrO}_2$ 、 $\text{Hf-Si-O}$ 、La取代的 $\text{PbTiO}_3$ 、基於PMN-PT的遲緩性鐵電。

【0046】在一些實施例中，電容器105之非線性極化材料包或下列中的一者：鐵電(FE)材料、順電材料、遲緩性鐵電或非線性介電質。

【0047】在一些實施例中，FE材料105包括下列中的一或多者：鈦(Hf)、鋯(Zr)、鋁(Al)、矽(Si)、它們的氧化物或它們的合金氧化物。在一些實施例中，FE材料105包括下列中的一或多者： $\text{Al}(1-x)\text{Sc}(x)\text{N}$ 、 $\text{Ga}(1-x)\text{Sc}(x)\text{N}$ 、 $\text{Al}(1-x)\text{Y}(x)\text{N}$ 或 $\text{Al}(1-x-y)\text{Mg}(x)\text{Nb}(y)\text{N}$ 、y摻雜的 $\text{HfO}_2$ ，其中x包括下列中的一者：Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn、或Y，其中「x」係分數。

【0048】在一些實施例中，FE材料105包括鐵酸鋇(BFO)，BFO具有摻雜材料，其中該摻雜材料中係鑷、或從週期表之鑷系中的任一元素。在一些實施例中，FE材料105包括鋯鈦酸鉛(PZT)、或具有摻雜材料的PZT，其中該摻雜材料係La、Nb中的一者；及諸如PMN-PT的遲緩性鐵電。在一些實施例中，FE材料105包括遲緩性鐵電(relaxor ferroelectric)，其包括鈮鎂酸鉛(PMN)、鈮鎂酸鉛-鈦酸鉛(PMN-PT)、鋯鈦酸鉛鑷(PLZT)、鈮酸釷鉛(PSN)、鈦酸鋇-

鈹鋅鈮鈿(BT-BZNT)、鈦酸鋇-鈦酸鋇鋇(BT-BST)。

【0049】在一些實施例中，FE材料105包括 $Hf_{1-x}E_xO_y$ 形式的氧化鈦，其中E可為Al、Ca、Ce、Dy、er、Gd、Ge、La、Sc、Si、Sr、Sn、或Y。在一些實施例中，FE材料105包括鈮酸類型的化合物LiNbO<sub>3</sub>、LiTaO<sub>3</sub>、氟化鋰鐵鈿、鈮酸鋇鋇、鈮酸鋇鈉、或鈮酸鋇鉀。

【0050】FE材料105中的臨限在極化對電壓響應中具有高度非線性的轉移函數。臨限係與a)切換轉移函數的非線性、及b)與FE切換的直角度有關。切換轉移函數的非線性係極化對電壓圖之導數的寬度。直角度由剩餘極化(remnant polarization)與飽和極化(saturation polarization)之比來定義；完美的直角度將顯示為1的值。

【0051】FE切換的垂直度可以用化學取代適當地操作。例如，在PbTiO<sub>3</sub>中，可藉由La或Nb取代來修飾P-E(極化電場)方環來建立S型環。形狀可經系統地調變以最終地產生非線性介電質。FE切換的直角度可藉由FE層之粒度進行改變。與多晶FE相比，完美磊晶的單晶FE層將顯示出更高的直角度(例如，比率接近1)。這種完美經可使用晶格匹配的底部和頂部電極來實現。在一個實例中，BiFeO(BFO)可使用晶格匹配的SrRuO<sub>3</sub>底部電極磊晶地合成，產生方形的P-E環。La逐步摻雜會降低直角度。

【0052】在一些實施例中，FE材料105包含多層。例如，可使用[Bi<sub>2</sub>O<sub>2</sub>]<sup>2+</sup>的替代層及偽鈣鈦礦塊(Bi<sub>4</sub>Ti<sub>3</sub>O<sub>12</sub>及相關的奧利維里斯(Aurivillius)相)，其鈣鈦礦層的厚度

為  $n$  個八面體層。

【0053】在一些實施例中，FE材料 105 包含有機材料。例如，聚偏氟乙烯或聚偏二氟乙烯 (PVDF)。

【0054】在一些實施例中，耦接至電晶體之在 TE1 107 上方或 BE1 103 下方的層 (未圖示) 包含阻障材料。阻障材料可由折射互導材料 (例如，Ti-Al、Ti、V、Cr、Mn、Zr、Nb、Mo、Tc、Ru、Rh、Hf、Ta、W、Re、Os、Ir、Al、或 Co) 形成。在一些實施例中，阻障層係第一材料與第二材料的超晶格，其中該第一材料包括 Ti 與 Al (例如，TiAl) 並且該第二材料包括 Ta、W、及 Co (例如，Ta、W、及 Co 一起的層)。於各種實施例中，阻障層的晶格參數與導電氧化物及 / 或 FE 材料 105 的晶格參數匹配。

【0055】在一些實施例中，BE2 104 和 TE2 106 係導電氧化物。在一些實施例中，當導電鈣鈦礦係用於 FE 材料 105 時，導電氧化物可包括下列中的一或多者：IrO<sub>2</sub>、RuO<sub>2</sub>、PdO<sub>2</sub>、OsO<sub>2</sub>、或 ReO<sub>3</sub>。在一些實施例中，鈣鈦礦係摻雜 La 或 釷系。在一些實施例中，具有非鈣鈦礦結構、但導電性更高以為在低溫下純鈣鈦礦鐵電之成長提供晶種或模板的薄層 (例如，大約 10nm) 鈣鈦礦模板導體 (例如塗覆在 IrO<sub>2</sub>、RuO<sub>2</sub>、PdO<sub>2</sub>、PtO<sub>2</sub> 頂部的 SrRuO<sub>3</sub>) 係用做 BE2 103 和 TE2 106 的導電氧化物。

【0056】在一些實施例中，BE2 104 和 TE2 106 包括二元導電氧化物、鈣鈦礦模板的導體、導電鈣鈦礦、六方晶金屬氧化物、尖晶石、或立方氧化物中的一或多者。在一

些實施例中，二元導電氧化物包括下列中的一或多者： $\text{IrO}_2$ 、 $\text{RuO}_2$ 、 $\text{PdO}_2$ 、 $\text{OsO}_2$ 、或 $\text{ReO}_3$ 。在一些實施例中，鈣鈦礦模板的導體包含模板的結構。模板的結構係鈣鈦礦導體（諸如， $\text{SrRuO}_3$ ）的薄層（例如，約 10nm）係塗覆在 $\text{IrO}_2$ 、 $\text{RuO}_2$ 、 $\text{PdO}_2$ 、或 $\text{PtO}_2$ （其具有非鈣鈦礦結構但導電性更高）的頂部，為在低溫下生長鈣鈦礦鐵電提供晶種或模板。在一些實施例中，導電鈣鈦礦包括下列中的一或多者： $\text{LaCoO}_3$ 、 $\text{SrCoO}_3$ 、 $\text{SrRuO}_3$ 、 $\text{LaMnO}_3$ 、 $\text{SrMnO}_3$ 、 $\text{YBa}_2\text{Cu}_3\text{O}_7$ 、 $\text{Bi}_2\text{Sr}_2\text{CaCu}_2\text{O}_8$ 、 $\text{LaNiO}_3$ 、六方晶金屬； $\text{PtCoO}_2$ 、 $\text{PdCoO}_2$ 、或其他黑銅鐵礦結構的六方晶導電氧化物，諸如摻雜 Al 的  $\text{ZnO}$ 。在一些實施例中，尖晶石包括下列中的一或多者： $\text{Fe}_3\text{O}_4$  或  $\text{LiV}_2\text{O}_4$ 。在一些實施例中，立方氧化物包括氧化銻錫或摻雜 Sn 的  $\text{In}_2\text{O}_3$ 。

【0057】橫截面 120 繪示在頂部電極被蝕刻至其中 FE 105 表面開始處之後的堆疊。這裡，TE1 107 和 TE2 106 被蝕刻至 FE 105 的頂面。可以使用任何合適的垂直蝕刻製程。例如，可使用乾式蝕刻、濕式蝕刻、電漿蝕刻、或反應離子蝕刻來蝕刻 TE1 107 及 TE2 106。

【0058】橫截面 130 繪示在非導電介電質膜 131 適形性地沉積在經蝕刻的電極 TE1 107 和 TE2 106 上方之後的堆疊。非導電介電質膜 131 亦沉積在 FE 105 之曝露的頂面上方。寬度  $t_{\text{ncd}}$  係在 1nm 至 20nm 的範圍內。這裡，寬度在正交於厚度之方向的方向上延伸。在一些實施例中，非導電介電質膜 131 包含下列中的一或多者： $\text{Hf}$ 、 $\text{Si}$ 、 $\text{N}$ 、 $\text{Al}$ 、或

C。在一些實施例中，非導電介電質膜 131 包含下列中的一者：HfO、SiN、SiO、AlO、MgO、Mg<sub>2</sub>AlO<sub>3</sub>、或 SiC。非導電介電質膜 131 具有與 FE 105 之 FE 特性最小的無化學或物理交互作用(或擴散交互作用)。在一些實施例中，使用無氫沉積製程來沉積非導電介電質膜 131，使得沉積製程不會影響露出的 FE 105。

**【0059】** 橫截面 140 繪示在金屬帽或頭盔 141 係沉積在堆疊之頂部分上方的堆疊。如圖所示，在一些實施例中，金屬帽 141 係形成在非導電介電質 131 之選擇部分上方，其中金屬帽 141 適形於部分的該非導電介電質 141 之側壁。在一些實施例中，帽或頭盔 141 包含包括下列中的一或多者的材料：Ti、Ta、W、或 N。例如，帽或頭盔 141 包含下列中的一者：Ta<sub>2</sub>N、TiN、W、Ta、Ti、或它們的合金。在一些實施例中，物理氣相沉積(PVD)製程以掠射角施加，以在非導電介電質之選擇部分上方選擇性地沉積金屬遮罩以形成頭盔 141。掠射角係入射光與反射表面之間的角度。掠射角亦稱為傾斜角。

**【0060】** 在一些實施例中，替代掠射製程或除了掠射製程之外，可使用物理氣相沉積(PVD)、原子層沉積(ALD)、化學氣相沉積(CVD)、或電漿增強的 CVD。帽或頭盔層 141 在蝕刻 BE 103、104 期間具有高選擇性。在一些實施例中，對於給定的 BE 蝕刻化學，頭盔層 141 之蝕刻速率可能比 BE 之蝕刻速率小大約 100 或 1000 倍。帽 141 之厚度可為 10Å 至 100Å。在一些實施例中，蝕刻劑係 Ar、甲



烷、氫、 $\text{CH}_4$ 、 $\text{H}_2$ 、或 $\text{CONH}_3$ 的混合物以及許多其他諸如離子束蝕刻。

【0061】金屬帽 141 之閉鎖厚度  $T_{\text{hang}}$  可在 1 nm 至 100 nm 的範圍內。雖然金屬帽 141 係顯示為橢圓形結構，但是其可以具有其他形狀，諸如矩形、圓形等等。從非導電介電質膜 131 之表面至金屬帽之頂部沿 z 方向測量的金屬帽之厚度在 20 埃 (Å) 至 500 Å。在一些實施例中，以旋轉的蝕刻速率施加離子佈植方法以形成金屬帽 141。在一些實施例中，頭盔 141 之閉鎖部分可不沿著 TE1 107 的所有側壁向下延伸。金屬帽 141 的一個目的是保護 TE1 107 和 TE2 106 之側壁上的非導電介電質 131。

【0062】橫截面 150 繪示在同位素蝕刻金屬帽 141 和非導電介電質 131 使得非導電介電質 131 保留在第一和第二電極 (TE1 和 TE2) 之側壁上而不保留在第三和第四電極 BE1 和 BE2 上之後的堆疊。在此實例中，非導電介電質 131 不在 FE 105 的側壁上。同位素蝕刻金屬帽 141 和非導電介電質 131 導致垂直或接近垂直地蝕刻層堆疊。在一些實施例中，BE1 103 的長度 (沿 x 軸) 比 BE2 104 的長度 (沿 x 軸) 長。在一些實施例中，FE 105 之長度 (沿 x 軸) 比 BE2 104 的長度 (沿 x 軸) 短，但比 TE2 和 TE1 層的長度 (沿 x 軸) 長。例如，同位素蝕刻金屬帽 141 和非導電介電質 131 導致 BE2 104 之寬度 (或沿 x 軸的長度) 係實質上為 TE1 107 兩側之適形非導電介電質之寬度 (或沿 x 軸的長度) 與 TE1 107 之寬度之和的寬度 (或沿 x 軸的長度)。

【0063】橫截面160繪示藉由蝕刻或研磨金屬帽141從非導電介電質131之側表面去除金屬帽141之後的堆疊。現在此結構準備好耦接至電晶體或另一裝置。在一些實施例中，金屬帽141之閉鎖部分亦藉由選擇性蝕刻製程去除。在一些實施例中，跳過圖1E之製程，並且在橫截面140之後直接獲得橫截面160。

【0064】圖2A-F分別繪示根據一些實施例之形成/圖案化鐵電電容器之製程的橫截面200、220、230、240、250和260。由各種橫截面所示之製程與圖1A-F的製程相同，不同之處在於，如橫截面220所示，將橫截面200中所示的層堆疊向下蝕刻至BE2 104的頂面。這裡，在橫截面230中，非導電介電質膜131係沿著FE 105、TE2 106和TE1 107的側壁適形性地沉積，如橫截面230所示。如橫截面240所示，金屬帽141係形成在非導電膜131之頂面上方。這類似於參考圖1C所敘述的製程。

【0065】橫截面250繪示在同位素蝕刻金屬帽141和非導電介電質131使得非導電介電質131保留在第一和第二電極(TE1和TE2)和FE 105之側壁上而不保留在第三和第四電極BE1和BE2上之後的堆疊。同位素蝕刻金屬帽141和非導電介電質131導致垂直或接近垂直地蝕刻層堆疊。在一些實施例中，BE1 103的長度(沿x軸)比BE2 104的長度(沿x軸)長。蝕刻FE堆疊的問題不限於沿著TE之部分重新沉積BE。另一個問題涉及蝕刻FE堆疊時，TE或硬遮罩的材料選擇性差，因此在蝕刻底部電極時會被消耗或損壞。本文

敘述的製程解決了這些問題。同位素蝕刻金屬帽 141 和非導電介電質 131 導致 BE2 104 之寬度(或沿 x 軸的長度)係實質上為 TE1 107 兩側之適形非導電介電質之寬度(或沿 x 軸的長度)與 TE1 107 之寬度之和的寬度(或沿 x 軸的長度)。橫截面 260 應用於與參考圖 1F 所討論之相同的製程。在一些實施例中，跳過圖 2E 之製程，並且在橫截面 240 之後直接獲得橫截面 260。

【0066】圖 3 繪示根據一些實施例之形成鐵電電容器之方法的流程圖 300。流程圖 300 繪示參考圖 1A-F 和圖 2A-F 之橫截面敘述的方法。形成鐵電電容器裝置的方法包含：沉積第一電極(例如，TE1 107)；沉積第二電極(例如，TE2 106)，其相鄰於第一電極；沉積鐵電材料(例如，FE 105)，其相鄰於第二電極；沉積第三電極(例如，BE 2 104)，其相鄰於鐵電材料；及沉積第四電極(例如，BE1 103)，其相鄰於第三電極。第一電極包括第一導電材料。第二電極包含第二導電材料。第三電極包含第三導電材料。第四電極包含第四導電材料。藉由操作方塊 301 來表示圖 1A 之堆疊的各種層的沉積。沉積的製程可以以任何合適的順序進行。

【0067】在方塊 302，執行蝕刻方法，其中如參考圖 1B 和圖 2B 所討論，蝕刻第一和第二電極(TE1 和 TE2)及/或 FE 105。

【0068】在方塊 303 中，執行適形性地沉積非導電介電質 131 的方法。在此方法中，在經蝕刻的第一和第二電

極及/或FE 105上方沉積非導電介電質131。

【0069】在方塊304中，執行形成金屬帽141的方法。在此方法中，金屬帽141係形成在非導電介電質131之選擇部分上方，其中金屬帽141適形於部分的非導電介電質之側壁。在一些實施例中，形成金屬帽141的製程包含以掠射角施加物理氣相沉積，以在非導電介電質之選擇部分上方選擇性地沉積金屬遮罩。在另一方法中，形成金屬帽141的製程包含以調整的蝕刻速率施加離子佈植。

【0070】在方塊305中，執行同位素地蝕刻金屬帽141和非導電介電質131的方法。在此方法中，非導電介電質131保留在第一和第二電極TE1和TE2(及/或FE 105)之側壁上，但沒有保留在第三和第四電極BE2和BE1上。

【0071】在一些實施例中，方法更包含藉由蝕刻或研磨金屬帽而從非導電介電質131之側表面去除金屬帽141。

【0072】圖4繪示根據一些實施例之包含鐵電電容器的1T-1C記憶體單元400。記憶體單元400係使用參考圖1A-F、圖2A-F、和圖3敘述之各種製程形成之FE結構401的一個實際使用。這裡，繪示一個電晶體、一個電容器(1T-1C)裝置。在一些實施例中，形成n型電晶體MN1並且耦接至FE電容器401。

【0073】在一些實施例中，電晶體MN1之閘極細耦接至字元線(WL)。電晶體MN1之源極或汲極區域或端子之一者係耦接至位元線(BL)，並且電晶體MN之源極或汲極區域或端子之一者係耦接至金屬區域或通孔102。這裡，板

線(PL)或接地係耦接至金屬區域402。金屬區域402可為藉由選擇性蝕刻非導電介電質膜131以形成與TE 1 107的連接而形成的通孔。根據一些實施例，用於金屬區域402的材料可相同於用於通孔102的材料。

【0074】在一些實施例中，諸如金屬間折射層(未圖示)的第一阻障層係介於TE1與金屬區域402之間。在一些實施例中，諸如金屬間折射層(未圖示)的第二阻障層係介於BE1 103與接觸或通孔102之間。(多個)阻障層可由受控結晶性之折射金屬介金屬形成。用於阻障層的材料包括下列中的一或多者：Ti-Al：Ti<sub>3</sub>Al、TiAl、TiAl<sub>3</sub>、Ni-Al：Ni<sub>3</sub>Al、NiAl<sub>3</sub>、NiAl、Ni-Ti、Ni-Ga、Ni<sub>2</sub>MnGa、FeGa、Fe<sub>3</sub>Ga、硼化物、碳化物、或氮化物。

【0075】電晶體MN1可以是平面的或非平面電晶體。在一些實施例中，電晶體MN1可經形成在前端或後端。在一些實施例中，FE結構401係形成在前端或後端。儘管電晶體MN1係繪示為n型電晶體，但其可被p型電晶體取代。此處電晶體可為方形線、矩形帶狀電晶體、環繞式閘極圓柱形電晶體、穿隧FET(TFET)、鐵電FET(FeFET)、雙極性(BJT)、BiCMOS、或其他實施電晶體功能的裝置，例如碳奈米管或自旋電子裝置。在一些實施例中，電晶體係典型的金屬氧化物半導體(MOS)電晶體或其衍生物，包括三閘極和鱗片式FET電晶體。儘管MOSFET具有對稱的源極和汲極端子，TFET裝置具有不對稱的源極和汲極端子。

【0076】圖5A繪示根據一些實施例之具有習知邏輯和

鐵電電容器之晶片之部分的橫截面 500。在此多層橫截面中，繪示了兩個區域-常規邏輯區域 501和鐵電單元區域 502。設置通孔 102以接觸TE 107和BE 103。如此一來，可實現 1T-1C單元(如圖 4所示)。製程流程亦允許常規邏輯互連耦接至在前端中的電晶體。ESL 503和504係用於在形成通孔並將其連接至互連及/或FE電容器時提供蝕刻停止層。ESL 503和504可具有與ESL 101相同的材料。儘管顯示出頭盔和帽 141的殘留物，但是根據一些實施例，它們可以被去除。這裡，一些通孔可為虛設(冗餘)通孔，或可以是耦接至實際訊號承載互連的通孔。

【 0077 】 圖 5B繪示根據一些實施例之圖 5A的上視圖 520。

【 0078 】 圖 6繪示根據一些實施例之包括具有 1T-1C(一個電晶體、一個電容器)位元單元陣列及邏輯之記憶體的系統單晶片(SOC)600。SOC 600包含具有非揮發性(NV)鐵電隨機存取記憶體(FE-RAM)陣列 602的記憶體 601。記憶體模組 601更包含CMOS邏輯 603，諸如解碼器、多工器、及用以驅動BL(位元線)、WL(字元線)、PL(板線)的驅動器。記憶體模組 601更包括輸入-輸出(IO)介面 604，其用來經由互連 606與另一裝置(諸如處理器 605)通訊。

【 0079 】 SOC更包含記憶體 I/O(輸入-輸出)介面 604。介面可為符合雙倍資料速率(DDR)介面或用以與處理器通訊的任何其他合適的介面。SOC 600之處理器 605可為單一核心或多核心處理器。處理器 605可為通用處理器、數位

訊號處理器(DSP)、或特定應用積體電路(ASIC)處理器。在一些實施例中，處理器605係人工智慧(AI)處理器(例如，專用的AI處理器、組態成AI處理器的圖形處理器)。

【0080】AI係硬體和軟體計算的廣泛領域，其中對資料進行分析，然後對資料進行決策。例如，隨著時間的流逝，使用大量資料來訓練描述用於一或多個特定性質的資料分類的模型。訓練模型的過程需要大量的資料及分析資料的處理能力。當模型經訓練時，基於模型的輸出修改權重或權重因子。一旦藉由重複分析資料及修改權重以獲得預期結果將用於模型的權重計算至高信賴水準(例如95%或更高)，就將模型視為「經訓練的」。具有固定權重之此經訓練模型接著用來做出有關新資料的決策。訓練模型、然後將經訓練的模型應用於新的資料係硬體密集活動。在一些實施例中，AI處理器605減少了計算訓練模型和使用訓練模型的延遲，其減少這種AI處理器系統的功耗。

【0081】處理器605可經耦接至與SOC 600在相同晶粒上的數個其他小晶片。這些小晶片包括連接電路606、I/O控制器607、電源管理組件608、及顯示系統609、及週邊連接610。

【0082】連接606表示用於與其他裝置通訊之硬體裝置和軟體組件。連接606可支持各種連接電路和標準。例如，連接606可支持GSM(全球行動通訊系統)或變形或衍生物、CDMA(分碼多重存取)或變形或衍生物、TDM(分時多工)或變形或衍生物、第三代合夥專案(3GPP)環球行動

電訊系統(UMTS)或變形或衍生物、3GPP長期演進(LTE)系統或變形或衍生物、3GPP進階LTE(LTE-A)系統或變形或衍生物、第五代(5G)無線系統或變形或衍生物、5G行動網路系統或變形或衍生物、5G新射頻(NR)系統或變形或衍生物、或其他蜂巢式服務標準。在一些實施例中，連接606可支持非蜂巢式標準，諸如WiFi。

**【0083】** I/O控制器607代表與使用者互動有關的硬體裝置和軟體組件。I/O控制器607係操作以管理聲頻子系統及/或顯示子系統之部分的硬體。例如，透過麥克風或其它聲頻裝置的輸入可對SOC 600的一或多個應用程式或功能提供輸入或命令。在一些實施例中，I/O控制器607闡明用於連接至SOC 600的額外的裝置的連接點，其中使用者可能透過其與系統互動。例如，可被附加至SOC 600的裝置可包括麥克風裝置、揚聲器或立體聲系統、視頻系統或其它顯示裝置、鍵盤或小鍵盤裝置、或用於以特定應用像是讀卡機或其它裝置使用之其它I/O裝置。

**【0084】** 電源管理608表示例如至少部分地基於從電源測量電路、溫度測量電路、電池充電位準、及/或任何其他可用於電源管理之合適的資訊接收測量而執行電源管理操作的硬體或轉體。藉由使用各種實施例的多數和臨限閾極，在這些邏輯的輸出處實現了非揮發性。電源管理608可因此使此種邏輯處於低電源狀態，而不必擔心丟失資料。電源管理可根據針對SOC 600之一或所有組件的先進組態及電源介面(ACPI)規範選擇電源狀態。



【0085】顯示系統609代表硬體(例如,顯示裝置)和軟體(例如,驅動器)組件,其對使用者提供視覺的和/或觸覺的顯示以與處理器605互動。在一些實施例中,顯示系統609包括觸控螢幕(或觸控板)裝置,其向使用者提供輸出和輸入兩者。顯示系統609可包括顯示介面,其包括用來向使用者提供顯示的特定螢幕或硬體裝置。在一些實施例中,顯示介面包括從處理器605分離的邏輯,其用以執行與顯示有關的至少一些處理。

【0086】週邊連接610可表示用於連接至週邊裝置(諸如,印表機、充電器、相機等等)的硬體裝置及/或軟體裝置。週邊連接610可支持通訊協定,例如PCIe(快捷週邊組件互連)、USB(通用串列匯流排)、雷霹(Thunderbolt)、高解析度多媒體介面(High Definition Multimedia Interface, HDMI)、火線等等。

【0087】參照說明書中的「實施例」、「一實施例」、「一些實施例」、或「其它實施例」指的是與實施例有關所描述之特別特徵、結構、或特性可被包括在至少一些實施例中,但不一定為所有實施例。不同表現形式之「實施例」、「一實施例」、或「一些實施例」不一定全指相同的實施例。如果說明書說明組件、特徵、結構、或特性包括「可(may)」、「可能(might)」,或「可以(could)」,那特別的組件、特徵、結構、或特性不要求被包括。如果說明書或申請專利範圍中指出「一」或「一個」元件,其不代表僅有一個元件。如果說明書或申請專

利範圍中指出「額外的」元件，其並不排除存在一個以上額外的元件。

**【0088】**再者，特定特徵、結構、功能或特性可以合適的方式結合在一或多個實施例中。例如，第一實施例可與第二實施例可在任何地方被結合，與兩個實施例關聯的獨特的特徵、結構、功能或特性為不相互互斥的。

**【0089】**雖然本揭示已經與其特定實施例一同描述，鑑於前面的描述，此種實施例的許多替代、修改及變化對本發明領域技術之熟悉者而言將會是顯而易見的。本揭示的實施例意圖包含關於所附的申請專利範圍的最廣範疇之所有如此之替代、修改及變化。

**【0090】**此外，為了說明和討論的簡潔及不模糊本揭示，連接至積體電路(IC)晶片及其它組件的已知電源/接地可或可能不顯示在所呈現的圖式內。再者，為了避免模糊本揭示，配置可以方塊圖的形式被顯示，以及鑑於關於如此之方塊圖配置的實施詳情係高度取決於本揭示將被實施(即，如此之詳情應在本發明所屬領域具通常知識者的視界內)之平台內的事實。其中為了描述本揭示的實例實施例而被提出之特定細節(例如，電路)，對本發明所屬領域具通常知識者而言，本揭示可不以這些特定細節或這些特定細節的變化來被實踐將會是顯而易見的。敘述因此被視為說明性而非限制性。

**【0091】**提供下列實例來說明各種實施例。該等實例可與其它實例組合。如此一來，各種實施例可與其它實施

例組合，而不需改變本發明的範圍。

**【0092】** 實例 1：一種設備，包含：第一電極，其包含第一導電材料；第二電極，其包含第二導電材料，該第二電極相鄰於該第一電極；包含鐵電材料的結構，該結構相鄰於該第二電極；第三電極，其包含第三導電材料，該第三電極相鄰於該結構；第四電極，其包含第四導電材料，該第四電極相鄰於該第三電極；以及介電質，其與至少該第一和第二電極之側壁相鄰，但不與該第三和第四電極相鄰。

**【0093】** 實例 2：如實例 1 之設備，其中該介電質係相鄰於包含該鐵電材料之該結構的側壁。

**【0094】** 實例 3：如實例 1 之設備，其包含相鄰於該介電質之一部分的帽或頭盔的部分，其相鄰於該第一電極之該等側壁的至少一部分。

**【0095】** 實例 4：如實例 3 之設備，其中該帽或頭盔包含材料，其包括下列中的一或多者：Ti、Ta、W、或 N。

**【0096】** 實例 5：如實例 1 之設備，其中該結構比該第二電極更寬，其中該第三電極比該結構更寬，以及其中該第四電極比該第四電極更寬。

**【0097】** 實例 6：如實例 1 之設備，其中該第一導電材料及該第四導電材料包括下列中的一或多者：Ti、TiN、Ru、RuO<sub>2</sub>、IrO<sub>2</sub>、TaN、SrO、Ta、Cu、Co、W、或 WN。

**【0098】** 實例 7：如實例 1 之設備，其中該第一導電材

料不同於該第二導電材料。

【0099】實例 8：如實例 1 之設備，其中該第三導電材料不同於該第四導電材料。

【0100】實例 9：如實例 1 之設備，其中該第一、第二、第三、第四導電材料的至少兩者包括導電氧化物。

【0101】實例 10：如實例 1 之設備，其中該鐵電材料包括下列中的一者：鐵酸鈹(BFO)，BFO具有摻雜材料，其中該摻雜材料中係鏷、或從週期表之鏷系中的元素中的一者；銦鈦酸鉛(PZT)、或具有摻雜材料的PZT，其中該摻雜材料係La或Nb中的一者；遲緩性鐵電(relaxor ferroelectric)，其包括鈮鎂酸鉛(PMN)、鈮鎂酸鉛-鈦酸鉛(PMN-PT)、銦鈦酸鉛鏷(PLZT)、鈮酸釷鉛(PSN)、鈦酸鋇-鈹鋅鈮鈿(BT-BZNT)或鈦酸鋇-鈦酸鋇鋇(BT-BST)；鈣鈦礦包括下列中的一者：BaTiO<sub>3</sub>、PbTiO<sub>3</sub>、KNbO<sub>3</sub>、NaTaO<sub>3</sub>、LaCoO<sub>3</sub>、SrCoO<sub>3</sub>、SrRuO<sub>3</sub>、LaMnO<sub>3</sub>、SrMnO<sub>3</sub>、YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7</sub>、Bi<sub>2</sub>Sr<sub>2</sub>CaCu<sub>2</sub>O<sub>8</sub>、或LaNiO<sub>3</sub>；該六方晶鐵電包括下列中的一者：YMnO<sub>3</sub>或LuFeO<sub>3</sub>；h-RMnO<sub>3</sub>類型的六方晶鐵電，其中R係稀土元素，即，鈰(Ce)、鐿(Dy)、鉺(Er)、鎔(Eu)、釷(Gd)、釹(Ho)、鏷(La)、鐳(Lu)、釹(Nd)、鐮(Pr)、鉅(Pm)、釷(Sm)、釷(Sc)、鉕(Tb)、鎳(Tm)、鐳(Yb)、或釹(Y)；鈹(Hf)、銦(Zr)、鋁(Al)、矽(Si)、它們的氧化物或它們的合金氧化物；Hf<sub>1-x</sub> E<sub>x</sub> O<sub>y</sub>形式的氧化鈹，其中E可為Al、Ca、Ce、Dy、er、Gd、Ge、La、Sc、Si、Sr、Sn、Y；Al<sub>(1-x)</sub>Sc<sub>(x)</sub>N、Ga<sub>(1-x)</sub>Sc<sub>(x)</sub>N、Al<sub>(1-x)</sub>Y<sub>(x)</sub>N或Al<sub>(1-x-y)</sub>Mg<sub>(x)</sub>Nb<sub>(y)</sub>N、y摻雜的HfO<sub>2</sub>，其中x包括下列中的一者：Al、Ca、Ce、Dy、

Er、Gd、Ge、La、Sc、Si、Sr、Sn、或Y，其中「x」係分數；鈮酸類型的化合物LiNbO<sub>3</sub>、LiTaO<sub>3</sub>、氧氟化鋰鐵鈮、鈮酸鋇鋇、鈮酸鋇鈉或鈮酸鋇鉀；或瑕鐵電包括下列中的一者：[PTO/STO]<sub>n</sub>或[LAO/STO]<sub>n</sub>，其中「n」係在1至100之間。

【0102】實例11：如實例1之設備，其中該介電質包括下列中的一或多者：HfO、SiN、SiO、AlO、MgO、Mg<sub>2</sub>AlO<sub>3</sub>、或SiC。

【0103】實例12：如實例1之設備，其中該介電質係非導電性並且不含氫。

【0104】實例13：如實例1之設備，其中該等第一、第二、第三、及第四電極以及該結構的厚度係在1nm至50nm的範圍，且其中非導電介電質的寬度係在1nm至20nm的範圍，其中該寬度在正交於該厚度之方向的方向上延伸。

【0105】實例14：一種形成鐵電電容器裝置的方法，該方法包含：沉積第一電極，其包含第一導電材料；沉積相鄰於該第一電極的第二電極，其中該第二電極包含第二導電材料；沉積鐵電材料，其相鄰於該第二電極；沉積第三電極，其相鄰於該鐵電材料，其中該第三電極包含第三導電材料；沉積第四電極，其相鄰於該第三電極，其中該第四電極包含第四導電材料；蝕刻該等第一和第二電極；在該經蝕刻的第一和第二電極上方適形性地沉積非導電介電質；在該非導電介電質之選擇部分的上方形成金屬帽，其中該金屬帽適形於該非導電介電質之側壁的部分；以及

同位素地蝕刻該金屬帽和該非導電介電質，使得該非導電介電質保留在該等第一和第二電極之側壁上，而不保留在該等第三和第四電極。

【0106】實例 14：如實例 14 之方法，其中在該非導電介電質之該選擇部分的上方形成該金屬帽包含：以掠射角施加物理氣相沉積，以在該非導電介電質之該選擇部分上方選擇性地沉積金屬遮罩。

【0107】實例 15：如實例 14 之方法，其中在該非導電介電質之選擇部分的上方形成該金屬帽包含：以調整的蝕刻速率施加離子佈植。

【0108】實例 16：如實例 14 之方法，包含藉由蝕刻或研磨該金屬帽以從該非導電介電質的側表面去除該金屬帽。

【0109】實例 17：如實例 14 之方法，其中該鐵電材料包括下列中的一者：鐵酸鈹(BFO)，BFO具有摻雜材料，其中該摻雜材料中係釧、或從週期表之釧系中的元素中的一者；銦鈦酸鉛(PZT)、或具有摻雜材料的PZT，其中該摻雜材料係La或Nb中的一者；遲緩性鐵電(relaxor ferroelectric)，其包括鈮鎂酸鉛(PMN)、鈮鎂酸鉛-鈦酸鉛(PMN-PT)、銦鈦酸鉛釧(PLZT)、鈮酸釧鉛(PSN)、鈦酸鋇-鈹鋅鈮鈿(BT-BZNT)或鈦酸鋇-鈦酸鋇鋇(BT-BST)；鈣鈦礦包括下列中的一者：BaTiO<sub>3</sub>、PbTiO<sub>3</sub>、KNbO<sub>3</sub>、NaTaO<sub>3</sub>、LaCoO<sub>3</sub>、SrCoO<sub>3</sub>、SrRuO<sub>3</sub>、LaMnO<sub>3</sub>、SrMnO<sub>3</sub>、YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7</sub>、Bi<sub>2</sub>Sr<sub>2</sub>CaCu<sub>2</sub>O<sub>8</sub>、或LaNiO<sub>3</sub>；該六方晶鐵電包括下列中的一者：YMnO<sub>3</sub>或

LuFeO<sub>3</sub>；h-RMnO<sub>3</sub>類型的六方晶鐵電，其中R係稀土元素，即，鈰(Ce)、鐿(Dy)、鉺(Er)、鎔(Eu)、釷(Gd)、欽(Ho)、鐳(La)、鑠(Lu)、釹(Nd)、鐮(Pr)、鉕(Pm)、釷(Sm)、釷(Sc)、錳(Tb)、錳(Tm)、鐳(Yb)、或釷(Y)；鈦(Hf)、鋯(Zr)、鋁(Al)、矽(Si)、它們的氧化物或它們的合金氧化物；Hf<sub>1-x</sub>E<sub>x</sub>O<sub>y</sub>形式的氧化鈦，其中E可為Al、Ca、Ce、Dy、er、Gd、Ge、La、Sc、Si、Sr、Sn、Y；Al(1-x)Sc(x)N、Ga(1-x)Sc(x)N、Al(1-x)Y(x)N或Al(1-x-y)Mg(x)Nb(y)N、y摻雜的HfO<sub>2</sub>，其中x包括下列中的一者：Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn、或Y，其中「x」係分數；鈮酸類型的化合物LiNbO<sub>3</sub>、LiTaO<sub>3</sub>、氧氟化鋰鐵鈮、鈮酸鋳鈹、鈮酸鈹鈉或鈮酸鋳鉀；或瑕鐵電包括下列中的一者：[PTO/STO]<sub>n</sub>或[LAO/STO]<sub>n</sub>，其中「n」係在1至100之間。

【0110】實例18：如實例14之方法，其中該介電質係非導電性並且不含氫。

【0111】實例19：如實例14之方法，其中該等第一、第二、第三、及第四電極以及該結構的厚度係在1nm至50nm的範圍，且其中非導電介電質的寬度係在1nm至20nm的範圍，其中該寬度在正交於該厚度之方向的方向上延伸。

【0112】實例20：如實例14之方法，其中同位素地蝕刻該金屬帽和該非導電介電質使得該第三電極之寬度係實質上係該第一電極之兩側上的該適形非導電介電質之寬度與該第一電極之寬度之和的寬度。

【0113】實例21：如實例14之方法，其中該帽或頭盔

包含材料，其包括下列中的一或多者：Ti、Ta、W、或N；該第一導電材料和該第一材料包括下列中的一或多者：Ti、TiN、Ru、RuO<sub>2</sub>、IrO<sub>2</sub>、TaN、SrO、Ta、Cu、Co、W、或WN；以及該介電質包括下列中的一或多種：HfO、SiN、SiO、AlO、SiC。

【0114】實例22：一種系統，包含：處理器；通訊介面，其通訊地耦接至該處理器；以及記憶體，其耦接至該處理器，其中該記憶體包括位元單元，其中該位元單元中的一者包括：具有源極、汲極、和閘極的電晶體；耦接至該閘極的字元線；耦接至該電晶體之該源極或該汲極中一者的位元線；耦接至該電晶體之該汲極或該源極中一者的電容性結構，其中該電容性結構包含第一電極，其包含第一導電材料；第二電極，其包含第二導電材料，該第二電極相鄰於該第一電極；包含鐵電材料的結構，該結構相鄰於該第二電極；第三電極，其包含第三導電材料，該第三電極相鄰於該結構；第四電極，其包含第四導電材料，該第四電極相鄰於該第三電極；以及介電質，其與至少該第一和第二電極之側壁相鄰，但不與該第三和第四電極相鄰。

【0115】實例23：如實例23之系統，其中該介電質係相鄰於包含該鐵電材料之該結構的側壁，以及其中該記憶體係非揮發性記憶體。

【0116】實例24：如實例23之系統，其中該電容性結構包含相鄰於該介電質之一部分的帽或頭盔的部分，其相



鄰於該第一電極之該等側壁的至少一部分。

【0117】摘要被提供為將允許讀者確定本技術公開的性質和要點。摘要是在能被了解其將不被用來限制申請專利範圍的範圍和意義被提交。下面的申請專利範圍由此被結合到詳細描述中，每個申請專利範圍本身作為單獨的實施例。

### 【符號說明】

#### 【0118】

100,120,130,140,150,160,200,220,230,240,250,260,500: 橫  
截面

101:蝕刻停止層(ESL)

102:通孔

103,104,105,106,107:層

131:非導電介電質膜

141:帽或頭盔

300:流程圖

301,302,303,304,305:方塊

400:記憶體單元

401:FE結構

402:金屬區域

501:常規邏輯區域

502:鐵電單元區域

503,504:ESL

520:上視圖

600:系統單晶片(SOC)

601:記憶體

602:非揮發性(NV)鐵電隨機存取記憶體(FE-RAM)陣列

603:CMOS邏輯

604:I/O(輸入-輸出)介面

605:處理器

606:連接

607:I/O控制器

608:電源管理組件

609:顯示系統

610:週邊連接

## 【發明申請專利範圍】

【請求項1】一種具有非線性極化特性之電容器的設備，該設備包含：

第一電極，其包含第一導電材料；

第一結構，其包含非線性極化材料，該第一結構相鄰於該第一電極，其中該第一電極橫向於該第一結構上；

第二電極，其包含第二導電材料，該第二電極相鄰於該第一結構，其中該第一結構橫向於該第二電極；

介電質，其毗連該第一電極之側壁，其中該介電質係直接地相鄰於該第一結構之側壁，且其中該介電質不毗連該第二電極之側壁；以及

帽或頭盔，其中該帽或該頭盔包圍該介電質，且其中該帽或該頭盔不延伸到該第一結構之下。

【請求項2】如請求項1之設備，其中該非線性極化材料包括Mn或Sc摻雜劑。

【請求項3】如請求項1之設備，其中該介電質包含在該第一電極之垂直側壁上、及在該第一結構之側壁上的實質上均勻的厚度。

【請求項4】如請求項1之設備，其中該介電質係在該第二電極之最上表面的至少一部分上，且其中該介電質包含與該第二電極之垂直側壁實質上對齊的側壁。

【請求項5】如請求項1之設備，其中該第一電極包含相對於該第一電極之側壁正交測量的第一長度，其中該介電質包含遠離該第一結構之側壁正交測量的第二長度，其

中該第二電極包含相對於該第一電極之側壁正交測量的第三長度，且其中該第三長度實質上等於該第一長度與兩倍該第二長度的和。

【請求項6】如請求項1之設備，其中該介電質包括下列中的一或多者： $\text{HfO}$ 、 $\text{SiN}$ 、 $\text{SiO}$ 、 $\text{AlO}$ 、 $\text{MgO}$ 、 $\text{Mg}_2\text{AlO}_3$ 、或 $\text{SiC}$ 。

【請求項7】如請求項1之設備，其中該帽橫向地延伸超過該第二電極之垂直側壁。

【請求項8】如請求項1之設備，其中該帽不延伸至該第一結構。

【請求項9】如請求項1之設備，其中該帽包含橢圓形、矩形或圓形結構。

【請求項10】如請求項1之設備，其中該帽包含從該介電質之上表面垂直向上測量的厚度，其中該厚度在20埃至500埃的範圍內。

【請求項11】如請求項1之設備，其中該第一電極包含下列中的一者：

$\text{Ti}$ 、 $\text{TiN}$ 、 $\text{Ru}$ 、 $\text{RuO}_2$ 、 $\text{IrO}_2$ 、 $\text{PdO}_2$ 、 $\text{OsO}_2$ 或 $\text{ReO}_3$ 、 $\text{TaN}$ 、 $\text{SrO}$ 、 $\text{Ta}$ 、 $\text{Cu}$ 、 $\text{Co}$ 、 $\text{W}$ 或 $\text{WN}$ ；

導電鈣鈦礦包括 $\text{LaCoO}_3$ 、 $\text{SrCoO}_3$ 、 $\text{SrRuO}_3$ 、 $\text{LaMnO}_3$ 、 $\text{SrMnO}_3$ 、 $\text{YBa}_2\text{Cu}_3\text{O}_7$ 、 $\text{Bi}_2\text{Sr}_2\text{CaCu}_2\text{O}_8$ 、或 $\text{LaNiO}_3$ 中的一或多者；

六方晶金屬包括 $\text{PtCoO}_2$ 或 $\text{PdCoO}_2$ 中的一或多者；

銅鐵礦結構的六方晶導電氧化物包括摻雜鋁的 $\text{ZnO}$ ；

尖晶石包括 $\text{Fe}_3\text{O}_4$ 或 $\text{LiV}_2\text{O}_4$ 中的一或多者；或

立方氧化物包括氧化銻錫或摻雜 Sn 的 $\text{In}_2\text{O}_3$ ，

且其中該第二電極包含下列中的一者：

Ti、TiN、Ru、 $\text{RuO}_2$ 、 $\text{IrO}_2$ 、 $\text{PdO}_2$ 、 $\text{OsO}_2$ 、 $\text{ReO}_3$ 、

TaN、SrO、Ta、Cu、Co、W或WN；

導電鈣鈦礦包括下列中的一或多者： $\text{LaCoO}_3$ 、 $\text{SrCoO}_3$ 、 $\text{SrRuO}_3$ 、 $\text{LaMnO}_3$ 、 $\text{SrMnO}_3$ 、 $\text{Yba}_2\text{Cu}_3\text{O}_7$ 、 $\text{Bi}_2\text{Sr}_2\text{CaCu}_2\text{O}_8$ 、或 $\text{LaNiO}_3$ ；

六方晶金屬包括 $\text{PtCoO}_2$ 或 $\text{PdCoO}_2$ 中的一或多者；

銅鐵礦結構的六方晶導電氧化物包括摻雜鋁的 $\text{ZnO}$ ；

尖晶石包括 $\text{Fe}_3\text{O}_4$ 或 $\text{LiV}_2\text{O}_4$ 中的一或多者；或

立方氧化物包括氧化銻錫或摻雜 Sn 的 $\text{In}_2\text{O}_3$ 。

**【請求項 12】**一種具有非線性極化特性之電容器的設備，該設備包含：

邏輯，其在基材上方，其中該邏輯透過一或多個層間介電質(ILD)耦接至一或多個通孔；以及

電容器，其包含非線性極化材料，其中該電容器在該一或多個通孔之上並與其接觸，其中該非線性極化材料包括 Mn 或 Sc 摻雜劑，其中該電容器包括：

介電質，其毗連第一電極之側壁，且其中該介電質不毗連第二電極之側壁；以及

帽或頭盔，其中該帽或該頭盔包圍該介電質。

**【請求項 13】**如請求項 12 之設備，其中該電容器包含：

第一電極，其包含第一導電材料；以及

第一結構，其包含該非線性極化材料，該第一結構相鄰於該第一電極，其中該第一電極橫向於該第一結構上。

【請求項 14】如請求項 13 之設備，其中該帽或該頭盔不延伸至該第一結構之下。

【請求項 15】如請求項 13 之設備，其中該電容器包含：

第二電極，其包含第二導電材料，該第二電極相鄰於該第一結構，其中該第一結構橫向於該第二電極。

【請求項 16】如請求項 14 之設備，其中該介電質不毗連該第二電極之垂直側壁。

【請求項 17】如請求項 12 之設備，包含：

第一互連或第一通孔，其與該第一電極耦接；以及  
第二互連或第二通孔，其與該第二電極耦接。

【請求項 18】如請求項 17 之設備，其中該第一通孔係在該第一電極的至少部分上，其中該第一通孔包含 W、Cu、Ta、Ti、Co、Al、Ag 或 TaN 中的一或多者，且其中該第二通孔包含 W、Cu、Ta、Ti、Co、Al、Ag 或 TaN 中的一或多者。

【請求項 19】一種形成具有非線性極化特性之電容器的方法，包含：

形成包含第一導電材料的第一電極；

形成包含非線性極化材料的第一結構，該第一結構相鄰於該第一電極，其中該第一電極橫向於該第一結構上；

形成包含第二導電材料的第二電極，該第二電極相鄰於該第一結構，其中該第一結構橫向於該第二電極；

形成毗連該第一電極之側壁的介電質，其中該介電質係直接地相鄰於該第一結構之側壁，且其中該介電質不毗連該第二電極之側壁；以及

形成帽或頭盔，其中該帽或該頭盔包圍該介電質，且其中該帽或該頭盔不延伸到該第一結構之下。

【請求項20】如請求項19之方法，其中形成該介電質包含在該第一電極之垂直側壁上、及在該第一結構之側壁上形成實質上均勻的厚度。

【請求項21】如請求項19之方法，其中該非線性極化材料包括下列中的一者：

具有第一摻雜材料的鐵酸鈹(BFO)，其中該第一摻雜材料係釧、或從週期表之釧系中的元素、Mn或Sc中的一者；

包含La或稀土元素的材料類別，其取代BiFeO<sub>3</sub>、BiCrO<sub>3</sub>、或BiCoO<sub>3</sub>中Bi的位置；

銦鈦酸鉛(PZT)、或具有第二摻雜材料的PZT，其中該第二摻雜材料係La、Nb中的一者；

遲緩性鐵電(relaxor ferroelectric)，其包括鈮鎂酸鉛(PMN)、鈮鎂酸鉛-鈦酸鉛(PMN-PT)、銦鈦酸鉛釧(PLZT)、鈮酸釧鉛(PSN)、鈦酸鋇-鈹鋅鈮鈿(BT-BZNT)、或鈦酸鋇-鈦酸鋇鋇(BT-BST)；

鈣鈦礦，其包括下列中的一者：BaTiO<sub>3</sub>、PbTiO<sub>3</sub>、

KNbO<sub>3</sub>、或 NaTaO<sub>3</sub>；

六方晶鐵電，其包括下列中的一者：YMnO<sub>3</sub> 或 LuFeO<sub>3</sub>；

六方晶鐵電係 h-RMnO<sub>3</sub> 類型，其中 R 係稀土元素，其包括下列中的一者：鈰 (Ce)、鐳 (Dy)、鉺 (Er)、鎔 (Eu)、釷 (Gd)、釹 (Ho)、鐳 (La)、鐳 (Lu)、釹 (Nd)、鐳 (Pr)、鉕 (Pm)、釷 (Sm)、釷 (Sc)、鉕 (Tb)、鎔 (Tm)、鐳 (Yb)、或釷 (Y)；

鈪 (Hf)、鈪 (Zr)、鋁 (Al)、矽 (Si)、它們的氧化物或它們的合金氧化物；

Hf<sub>1-x</sub>E<sub>x</sub>O<sub>z</sub> 形式的氧化鈪，其中 E 包括 Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn、或 Y 中的一者；

Al(1-x)Sc(x)N、Ga(1-x)Sc(x)N、Al(1-x)Y(x)N 或 Al(1-x-y)Mg(x)Nb(y)N，其中「x」係分數、或摻雜 Y 的 HfO<sub>2</sub>；

鈳酸類型的化合物 LiNbO<sub>3</sub>、LiTaO<sub>3</sub>、氟化鋰鐵鈳、鈳酸鋳鈳、鈳酸鈳鈉、或鈳酸鋳鉀；或

瑕鐵電，其包括下列中的一者：[PTO/STO]<sub>n</sub> 或 [LAO/STO]<sub>n</sub>，其中「n」係在 1 至 100 之間。

【請求項 22】如請求項 19 之方法，其進一步包含在該第一電極與該第一結構之間形成層，其中該層包含 LaCoO<sub>3</sub>、SrCoO<sub>3</sub>、SrRuO<sub>3</sub>、LaMnO<sub>3</sub>、SrMnO<sub>3</sub>、YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7</sub>、Bi<sub>2</sub>Sr<sub>2</sub>CaCu<sub>2</sub>O<sub>8</sub>、或 LaNiO<sub>3</sub>，且其中該第二電極包含 IrO<sub>2</sub>、RuO<sub>2</sub>、PdO<sub>2</sub> 或 PtO<sub>2</sub>。

【請求項 23】如請求項 19 之方法，其進一步包含形成



相鄰於第一互連或第一通孔的第一蝕刻停止層，其中該第一蝕刻停止層的一部分係與該介電質及該帽接觸，其中該第一蝕刻停止層包含具有與該第一電極、該第二電極、及該第一結構的材料非常不同之蝕刻特性的材料。

【請求項24】如請求項19之方法，其進一步包含形成相鄰於第二互連或第二通孔的第二蝕刻停止層，其中該第二蝕刻停止層包含具有與該第一電極、該第二電極、及該第一結構的材料非常不同之蝕刻特性的材料。

【請求項25】一種具有非線性極化特性之電容器的系統，該系統包含：

處理器；

通訊介面，其通訊地耦接至該處理器；以及

記憶體，其耦接至該處理器，其中該記憶體包括位元單元，其中該等位元單元中的一者包括：

電晶體，其具有源極、汲極、和閘極；

字元線，其耦接至該閘極；

位元線，其耦接至該電晶體之該源極或該汲極中的一者；

邏輯，其在基材上方，其中該邏輯透過一或多個層間介電質(ILD)耦接至一或多個通孔；以及

電容器，其包含非線性極化材料，其中該電容器係相鄰於該一或多個通孔，其中該電容器係耦接至該電晶體之該汲極或該源極的一者，且其中該電容器包含：

第一電極，其包含第一導電材料；

第一結構，其包含該非線性極化材料，該第一結構相鄰於該第一電極，其中該第一電極橫向於該第一結構上；

第二電極，其包含第二導電材料，該第二電極相鄰於該第一結構，其中該第一結構橫向於該第二電極；

介電質，其毗連該第一電極之垂直側壁，其中該介電質係直接地相鄰於該第一結構之側壁，且其中該介電質不毗連該第二電極之垂直側壁；以及

帽或頭盔，其中該帽或該頭盔包圍該介電質，且其中該帽或該頭盔不延伸到該第一結構之下；

第一互連或第一通孔，其與該第一電極耦接；以及

第二互連或第二通孔，其與該第二電極耦接。

【請求項 26】如請求項 25 之系統，其中該處理器包含電晶體，其中該電晶體包括穿隧 FET(TFET)、鐵電 FET(FeFET)、雙極性(BJT)、BiCMOS、碳奈米管、或自旋電子裝置，且其中該電晶體包含方形線、矩形帶狀電晶體、三閘極、或環繞式閘極圓柱形。

【請求項 27】如請求項 25 之系統，其中該記憶體係非揮發性記憶體。

【請求項 28】如請求項 25 之系統，其中該非線性極化材料包括下列中的一者：

具有第一摻雜材料的鐵酸鈹(BFO)，其中該第一摻雜材料係鏷、或從週期表之鏷系中的元素、Mn或Sc中的一者；

銦鈦酸鉛(PZT)、或具有第二摻雜材料的PZT，其中該

第二摻雜材料係La或Nb中的一者；

遲緩性鐵電(relaxor ferroelectric)，其包括鈮鎂酸鉛(PMN)、鈮鎂酸鉛-鈦酸鉛(PMN-PT)、銦鈦酸鉛鐳(PLZT)、鈮酸釷鉛(PSN)、鈦酸鋇-鉍鋅鈮鉭(BT-BZNT)或鈦酸鋇-鈦酸鋇鉍(BT-BST)；

鈣鈦礦，其包括下列中的一者： $BaTiO_3$ 、 $PbTiO_3$ 、 $KNbO_3$ 、或 $NaTaO_3$ ；

六方晶鐵電，其包括下列中的一者： $YMnO_3$ 或 $LuFeO_3$ ；

六方晶鐵電係 $h-RMnO_3$ 類型，其中R係稀土元素，其包括下列中的一者：銈(Ce)、鐳(Dy)、鉺(Er)、鎔(Eu)、釷(Gd)、釹(Ho)、鐳(La)、鐳(Lu)、釹(Nd)、鐳(Pr)、鉕(Pm)、釷(Sm)、釷(Sc)、鉕(Tb)、鎔(Tm)、鐳(Yb)、或釹(Y)；

鈦(Hf)、銦(Zr)、鋁(Al)、矽(Si)、它們的氧化物或它們的合金氧化物；

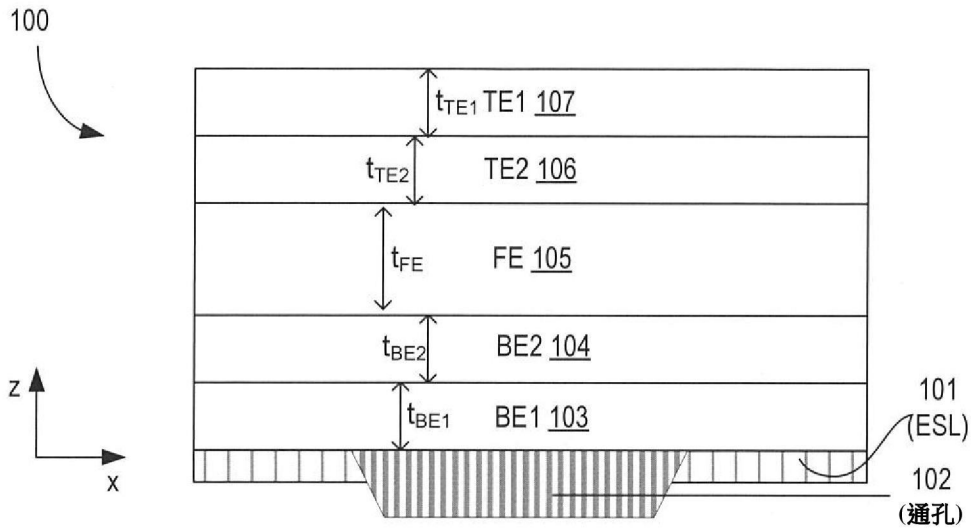
$Hf_{1-x}E_xO_z$ 形式的氧化鈦，其中E包括Al、Ca、Ce、Dy、Er、Gd、Ge、La、Sc、Si、Sr、Sn、或Y中的一者；

$Al(1-x)Sc(x)N$ 、 $Ga(1-x)Sc(x)N$ 、 $Al(1-x)Y(x)N$ 或 $Al(1-x-y)Mg(x)Nb(y)N$ ，其中「x」係分數、或摻雜Y的 $HfO_2$ ；

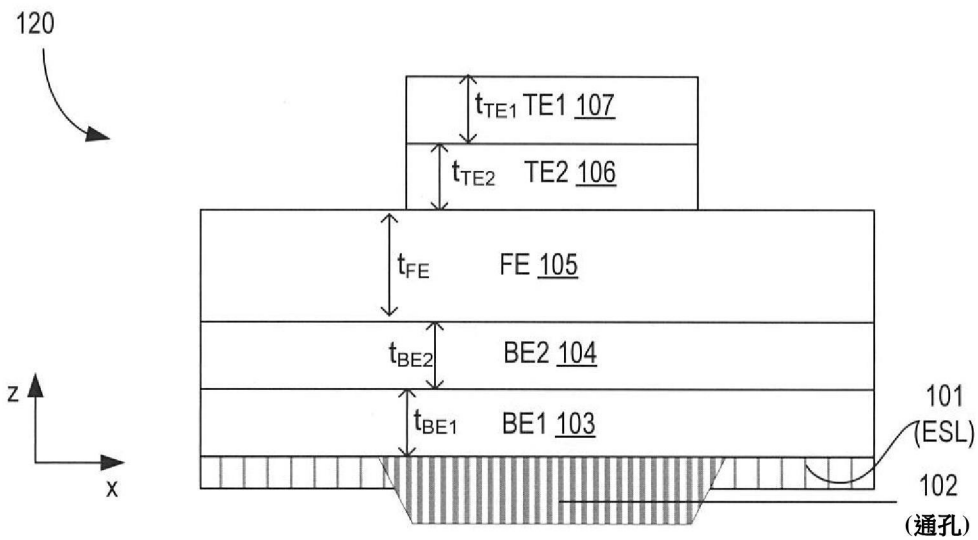
鈮酸類型的化合物 $LiNbO_3$ 、 $LiTaO_3$ 、氟化鋰鐵鉭、鈮酸鋇鉍、鈮酸鋇鉍、或鈮酸鋇鉍；或

瑕鐵電，其包括下列中的一者： $[PTO/STO]_n$ 或 $[LAO/STO]_n$ ，其中「n」係在1至100之間。

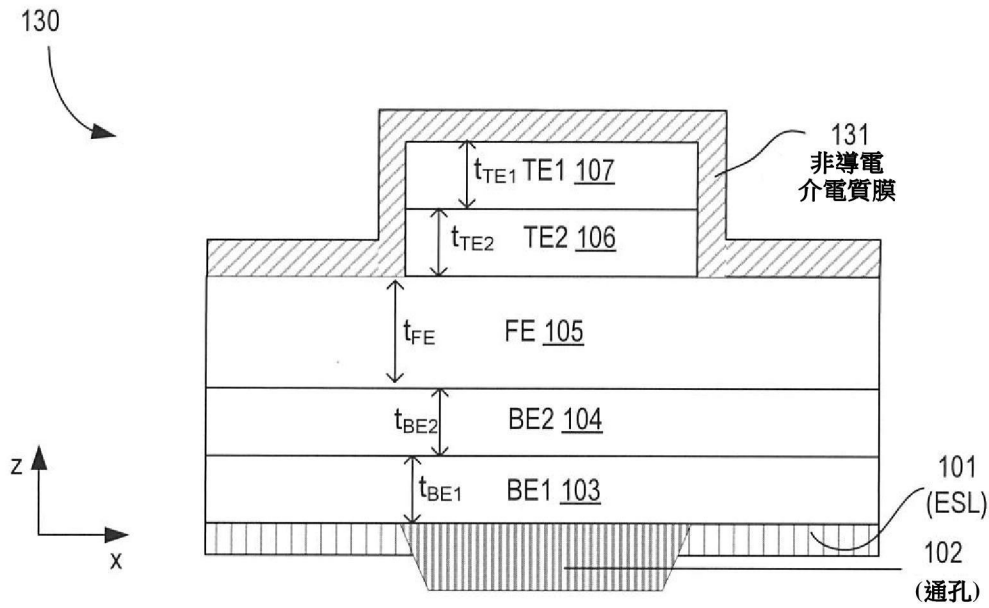
# 【發明圖式】



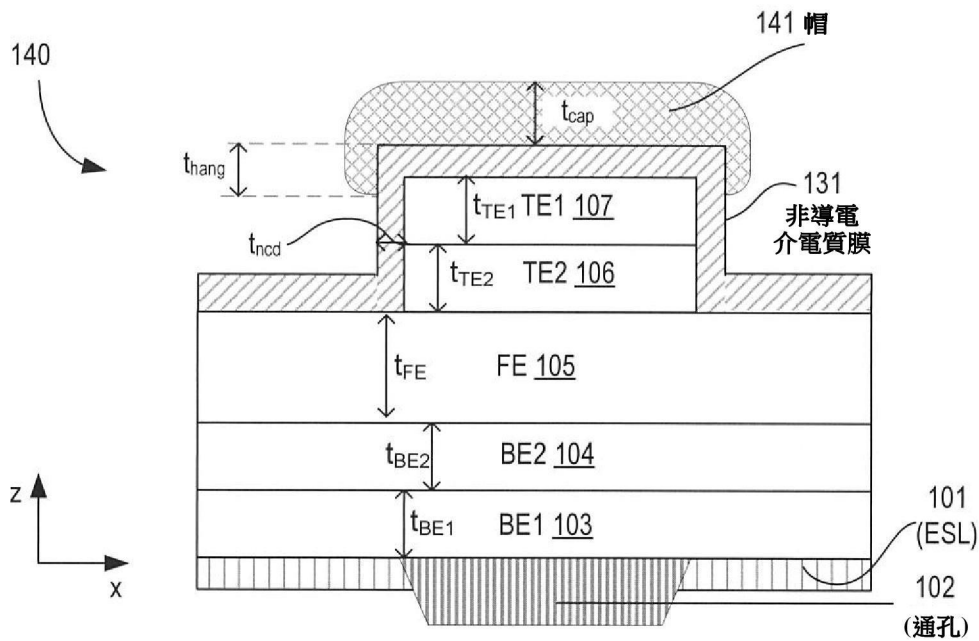
【圖 1A】



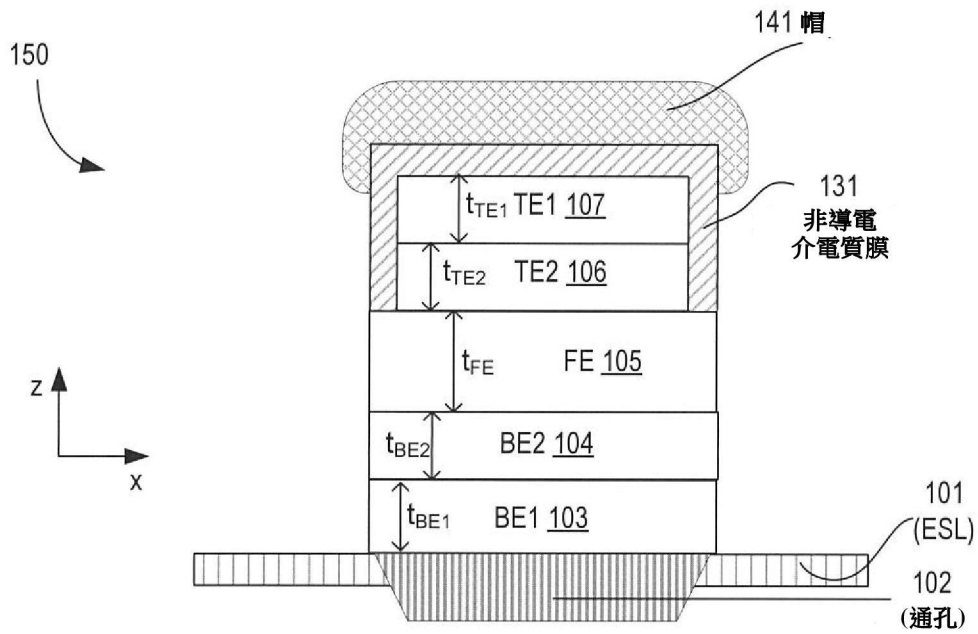
【圖 1B】



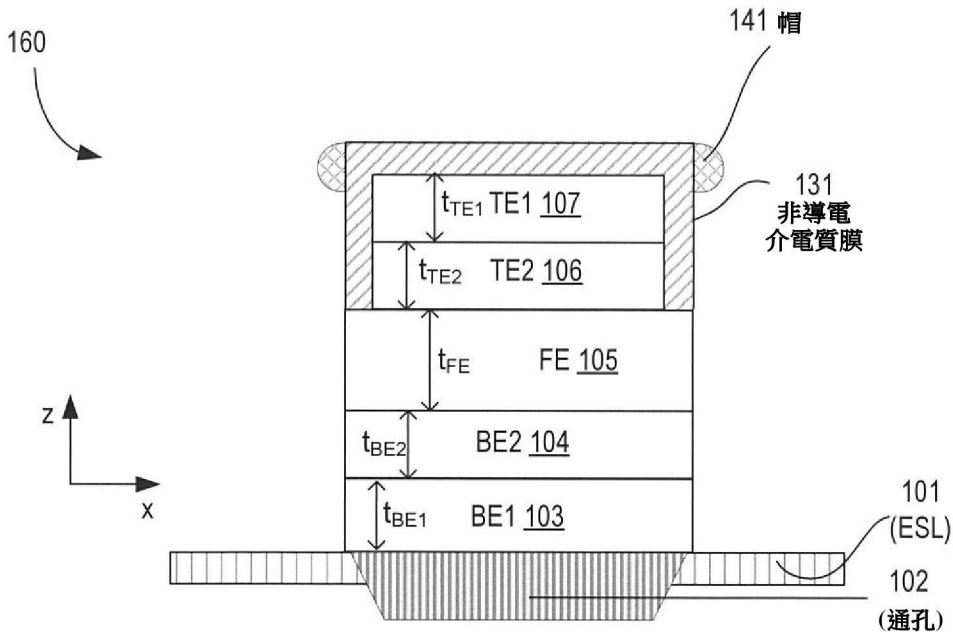
【圖 1C】



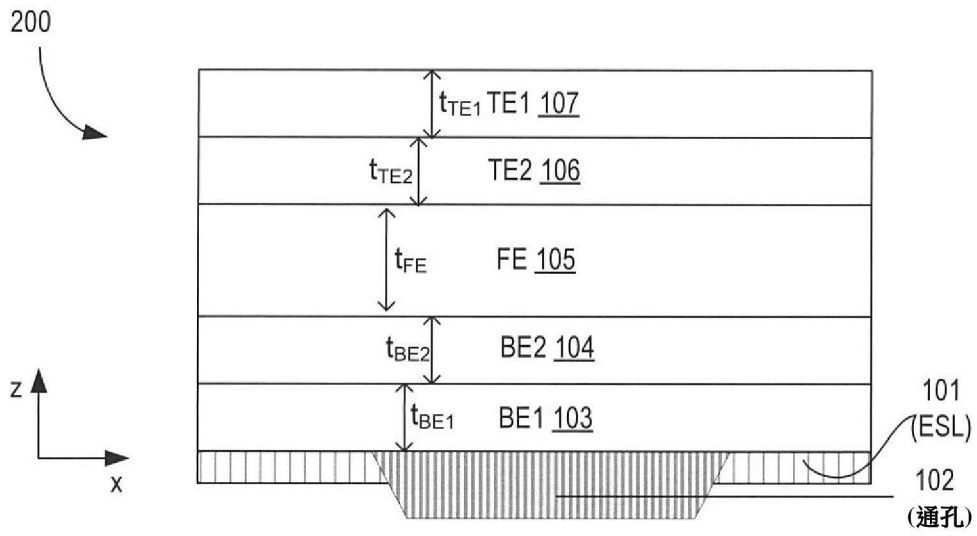
【圖 1D】



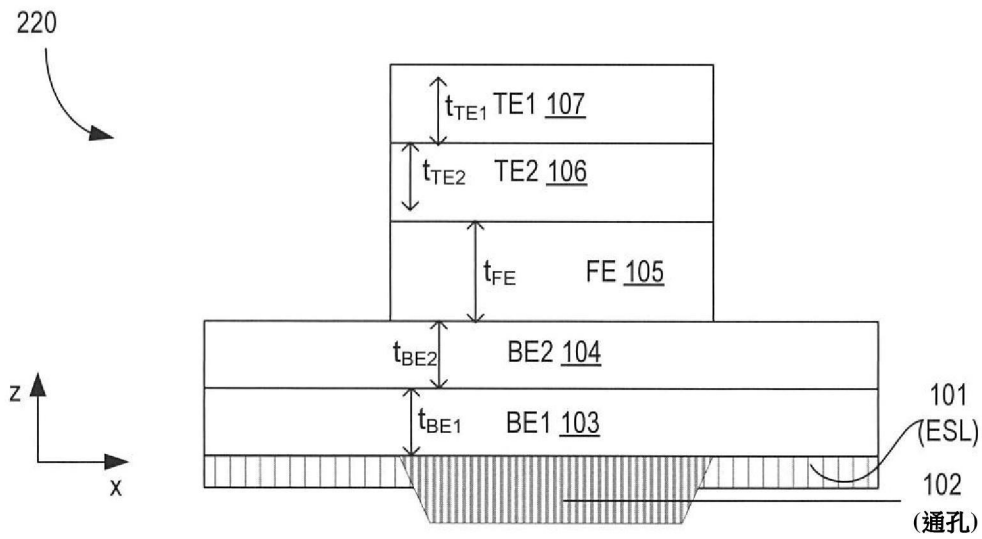
【圖 1E】



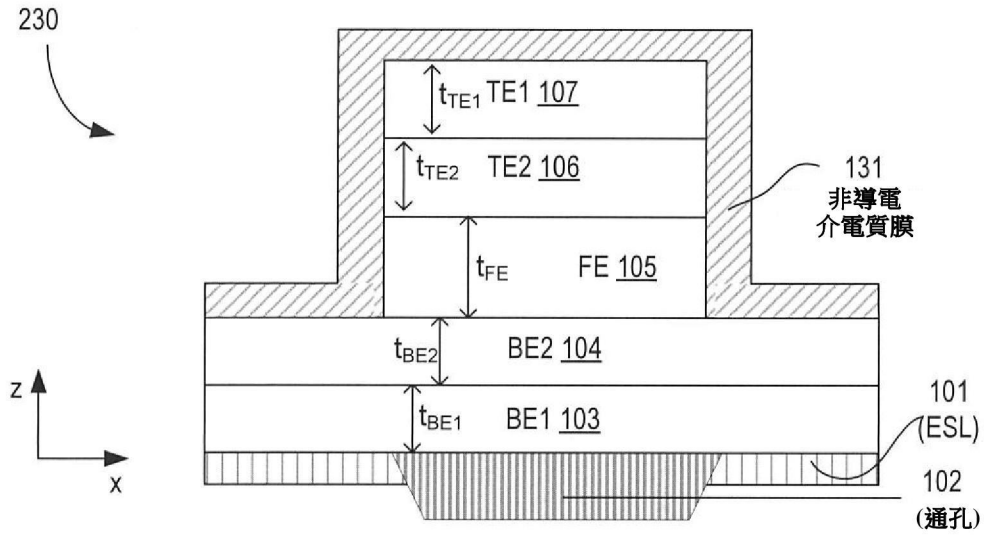
【圖 1F】



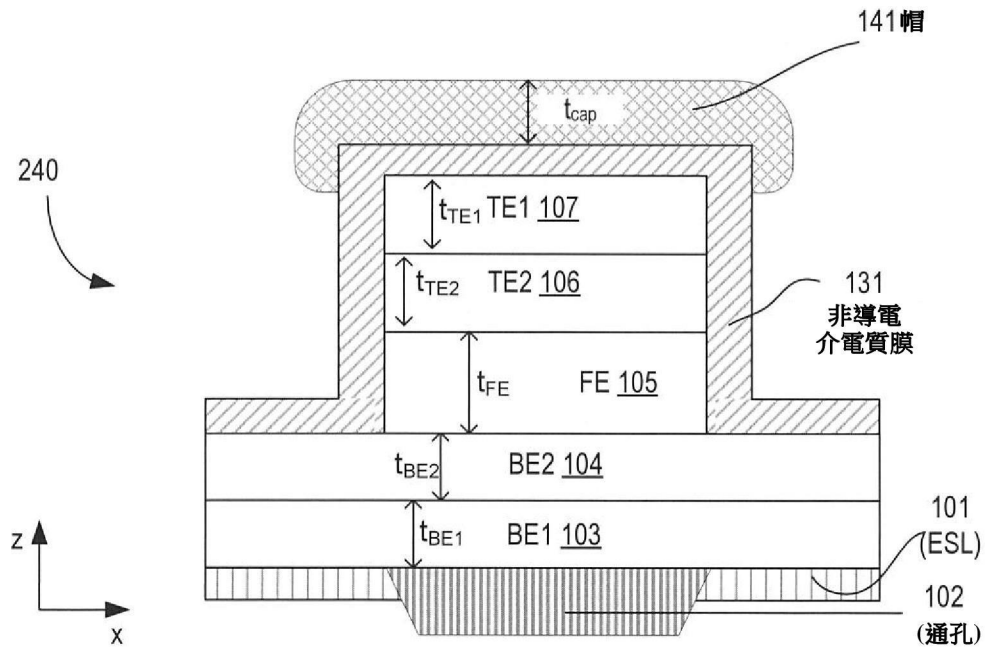
【圖 2A】



【圖 2B】

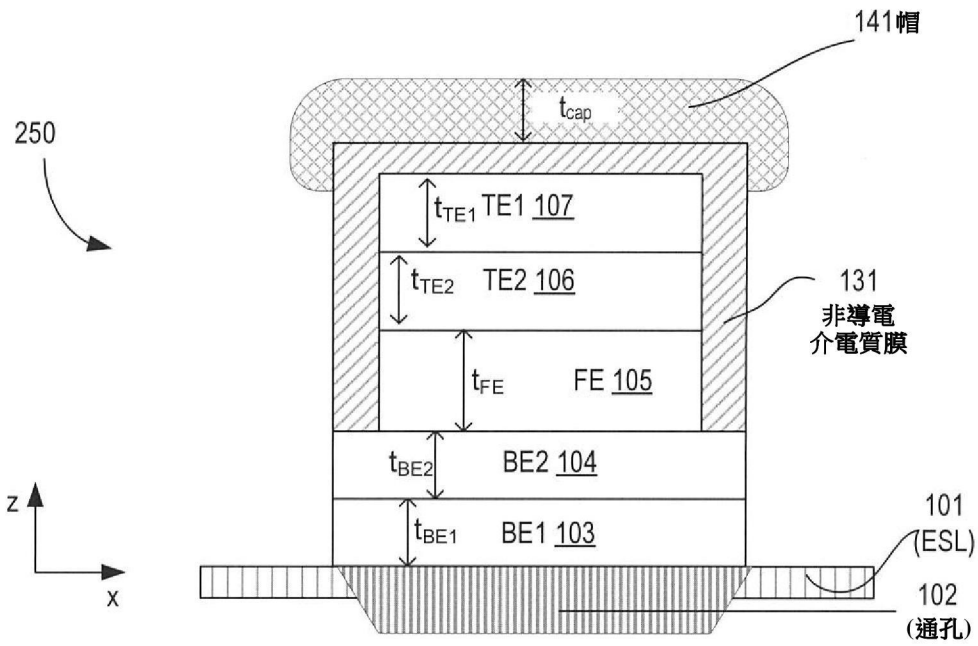


【圖 2C】

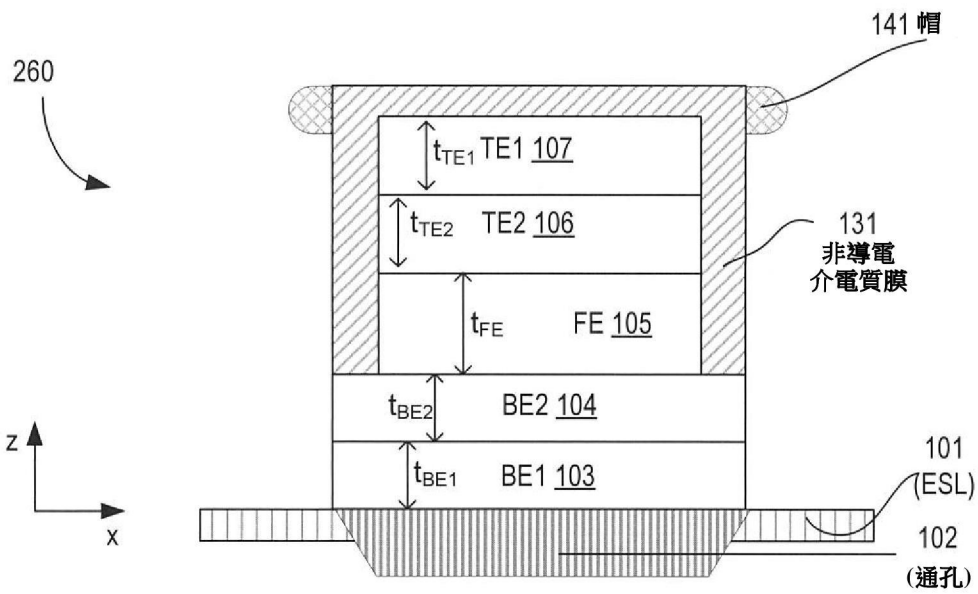


【圖 2D】

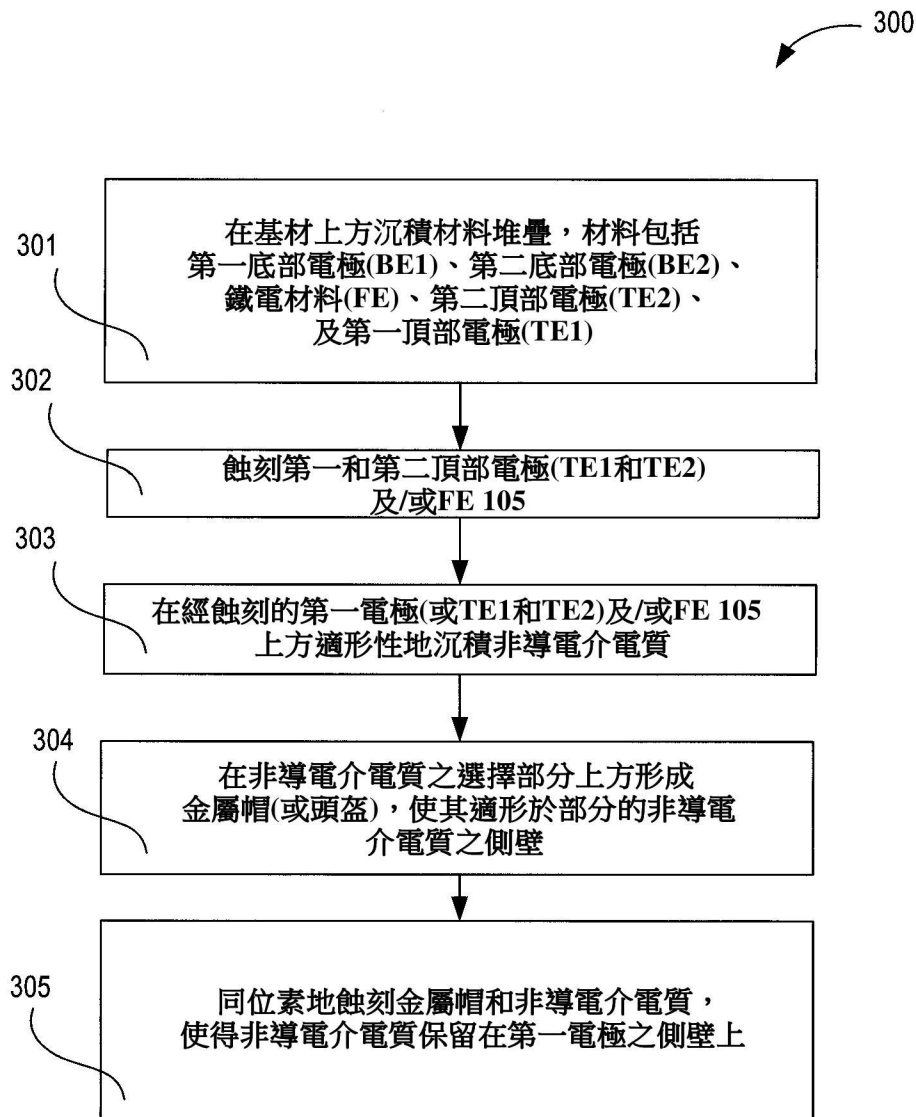




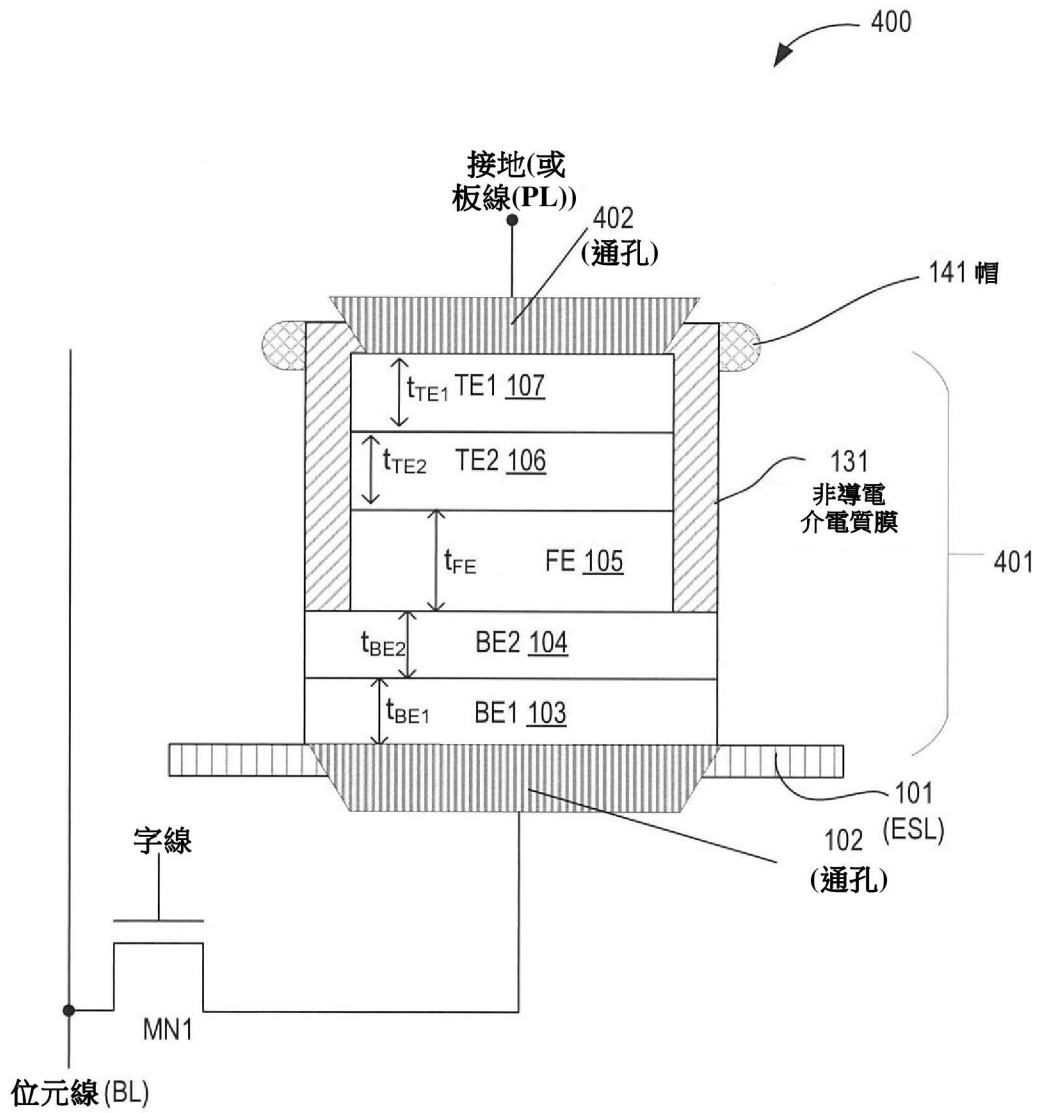
【圖 2E】



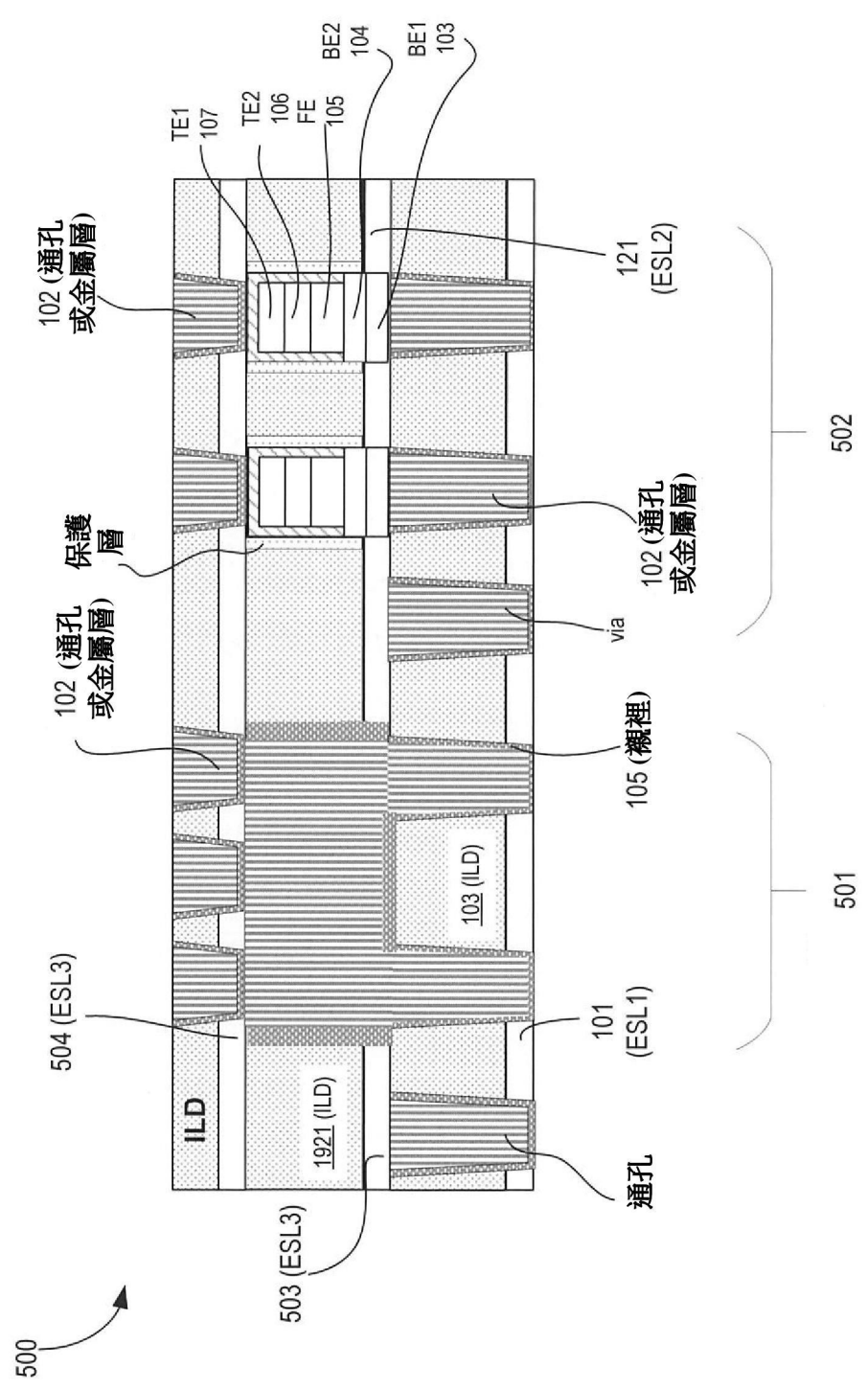
【圖 2F】



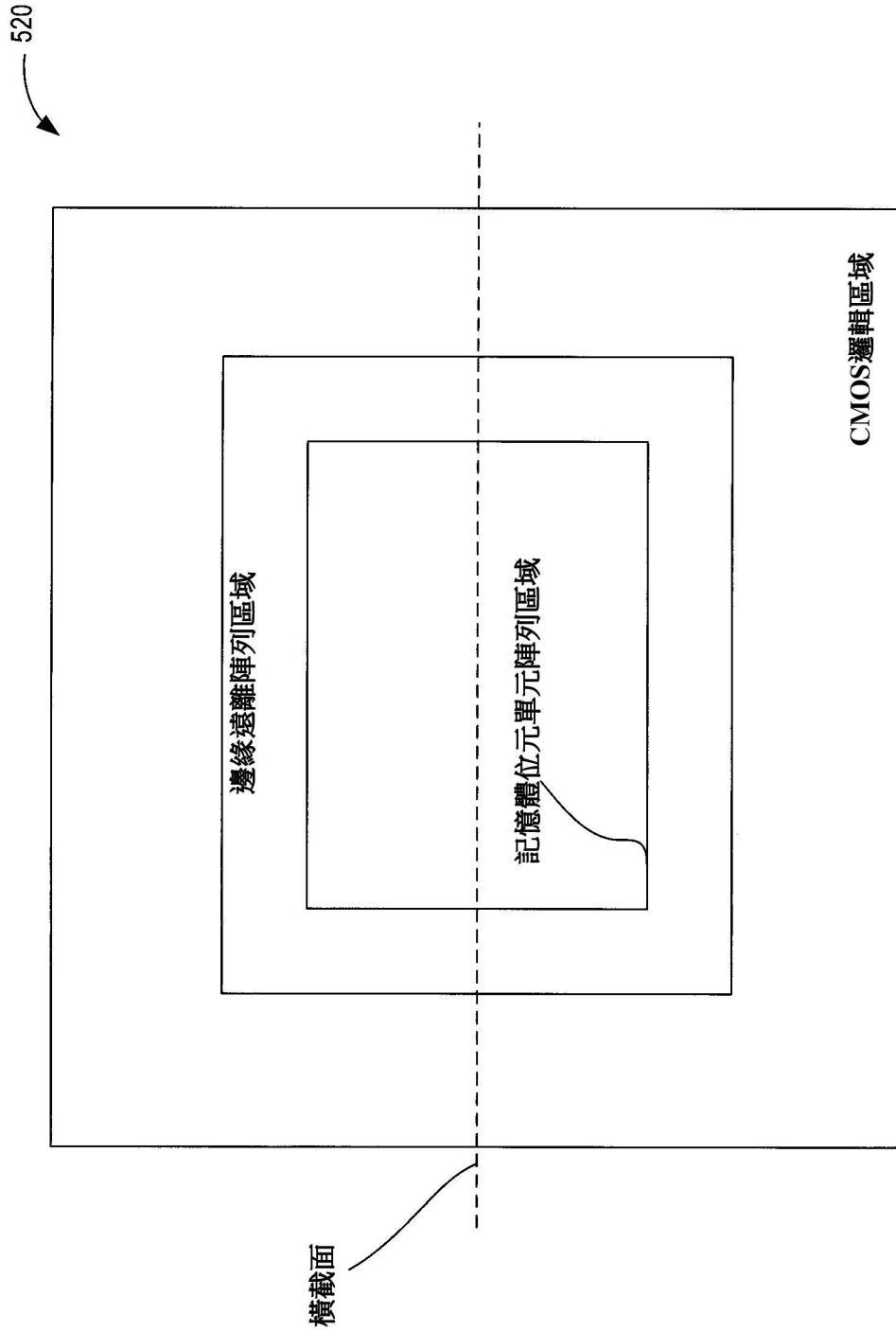
【圖 3】



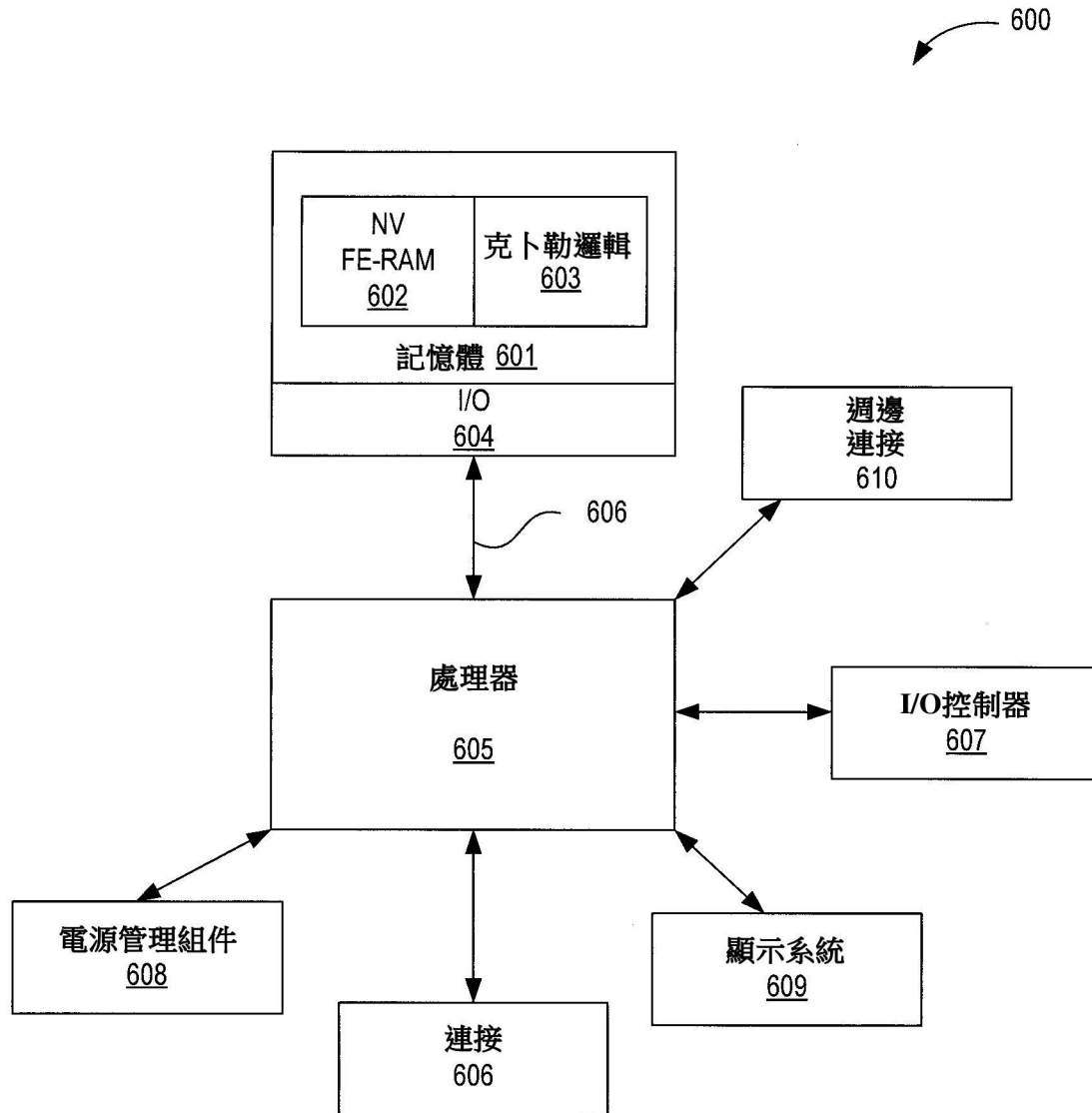
【圖 4】



【圖 5A】



【圖 5B】



【圖 6】