

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H03K 5/22 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200610122115.3

[43] 公开日 2007年2月28日

[11] 公开号 CN 1921309A

[22] 申请日 2006.9.13

[21] 申请号 200610122115.3

[71] 申请人 华为技术有限公司

地址 518129 广东省深圳市龙岗区坂田华为
总部办公楼

[72] 发明人 李 定

[74] 专利代理机构 广州三环专利代理有限公司
代理人 郝传鑫

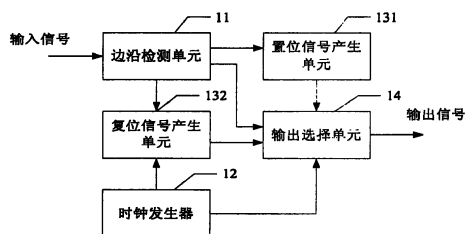
权利要求书 2 页 说明书 14 页 附图 7 页

[54] 发明名称

一种同步信号检测装置

[57] 摘要

本发明公开了一种同步信号检测装置，包括：边沿检测单元，用于检测所输入同步信号的边沿；时钟发生器，用于产生内部时钟信号；脉冲信号检测单元，用于当接收到所述边沿检测单元输出的脉冲信号时，产生置位信号；当接收到所述边沿检测单元输出的电平信号时，产生复位信号；输出选择单元，用于根据从所述脉冲信号检测单元所输出的信号选择性输出所述边沿检测单元产生的脉冲信号或所述时钟发生器产生的内部时钟信号。本发明具有：对内部时钟信号要求低，可检测的外部同步信号的频率范围大的优点。



1、一种同步信号检测装置，其特征在于，包括：

边沿检测单元，用于检测所输入同步信号的边沿，当检测到同步信号边沿时，产生脉冲信号，否则，产生电平信号；

时钟发生器，用于产生内部时钟信号；

脉冲信号检测单元，分别与所述边沿检测单元和所述时钟发生器相连；当接收到所述边沿检测单元输出的脉冲信号时，在所述脉冲信号控制下，产生置位信号，当接收到所述边沿检测单元输出的电平信号时，在所述时钟发生器输出的内部时钟信号的驱动下，产生复位信号；

输出选择单元，用于当接收到所述脉冲信号检测单元输出的置位信号时，输出所述脉冲信号，当接收到所述脉冲信号检测单元输出的复位信号时，输出所述内部时钟信号。

2、如权利要求1所述的同步信号检测装置，其特征在于，所述脉冲信号检测单元包括：

置位信号产生单元，用于在接收到所述边沿检测单元产生的脉冲信号时，在所述脉冲信号控制下，产生并输出置位信号；

复位信号产生单元，用于在接收到所述边沿检测单元输出的电平信号时，在所述时钟发生器输出的内部时钟信号的驱动下，使任一初始输出状态成为稳定输出复位信号状态，并输出所述复位信号。

3、如权利要求2所述的同步信号检测装置，其特征在于，所述置位信号产生单元为第一触发器，所述第一触发器的异步置位端与所述边沿检测单元的输出端相连，接收所述边沿检测单元输出的脉冲信号，同相输出端与所述输出选择单元的输入端相连，输出置位信号到所述输出选择单元的输入端。

4、如权利要求3所述的同步信号检测装置，其特征在于，所述复位信号产生单元包括逻辑与非门，第二触发器以及第三触发器；所述逻辑与非门的一个输入端与所述第二触发器同相输出端相连，另一个输入端与所述第三触发器同

相输出端相连，逻辑与非门的输出端与所述第二触发器的信号输入端相连；所述第二触发器的异步置位端和所述第三触发器的异步置位端与所述边沿检测单元的输出端相连，接收所述边沿检测单元输出的电平信号，所述第二触发器的时钟输入端与所述时钟发生器的输出端相连，所述第三触发器的时钟输入端与所述第二触发器的同相输出端相连；所述第三触发器的信号输入端与所述第三触发器的反向输出端相连，所述第三触发器的同相输出端与所述输出选择单元的输入端相连，输出复位信号到所述输出选择单元的输入端。

5、如权利要求3所述的同步信号检测装置，其特征在于，所述复位信号产生单元包括逻辑或门、第二触发器以及第三触发器；所述逻辑或门的一个输入端与所述第二触发器反相输出端相连，另一个输入端与所述第三触发器反相输出端相连，逻辑或门的输出端与所述第二触发器的信号输入端相连；所述第二触发器的异步置位端和所述第三触发器的异步置位端与所述边沿检测单元的输出端相连，接收所述边沿检测单元输出的电平信号，所述第二触发器的时钟输入端与所述时钟发生器的输出端相连，所述第三触发器的时钟输入端与所述第二触发器的同相输出端相连；所述第三触发器的信号输入端与所述第三触发器的反向输出端相连，所述第三触发器的同相输出端与所述输出选择单元的输入端相连，输出复位信号到所述输出选择单元的输入端。

6、如权利要求4或5所述的同步信号检测装置，其特征在于，所述第一触发器和所述第三触发器为同一个触发器。

7 如权利要求6所述的同步信号检测装置,其特征在于，所述同一个触发器为具有锁存功能的触发器。

8、如权利要求1所述的同步信号检测装置，其特征在于，所述边沿检测单元为上升沿检测电路或下降沿检测电路或双边沿检测电路。

一种同步信号检测装置

技术领域

本发明涉及一种同步信号检测技术，尤其涉及一种同步信号检测装置。

背景技术

同步信号检测装置在输入同步信号时能够以同步信号作为输出；在输入固定电平信号（固定的高电平或者低电平信号）时能以内部时钟发生器产生的时钟信号作为输出。

现有的一种同步信号检测装置如图1和图2所示，图1为现有技术同步信号检测装置的同步信号检测模块，图2为现有技术同步信号检测装置的选通模块。整个装置包括信号输入端21、信号输出端26、延时器和异或门、触发器1、触发器2、时钟发生器24、计数器25、倒相器、与非门1、与非门2和与非门3，其中，触发器1和触发器2均为D触发器，触发器1的D1端22始终输入高电平“1”。

该装置进行的同步信号检测具体过程为：

当外部输入信号端21接收到的是电平信号（固定的高电平或者低电平信号），没有同步信号输入时，延时器的输入端和输出端信号一致，异或门两个输入端信号一致，异或门输出低电平。触发器1和触发器2的时钟信号是异或门的输出端，因为异或门输出的低电平，所以触发器1和触发器2将保持当前输出状态。此时，时钟发生器24产生的时钟信号送入到计数器25中，计数器25在计数多个时钟周期Q3端输出高电平，将触发器1和触发器2的同相输出端同时复位为低电平。则倒相器的输入端23为低电平，倒相器输出高电平至与非门1的一个输入端。使得与非门1的输出端能够输出时钟发生器24产生的时钟信号。同时，与非门2的一个输入端与倒相器输入端23相同，该输入端亦为低电平，此时不管与非门2的另一输入端输入什么信号，与非门2均输出高电平至与非门3的一个输入端。与非门3的输出状态就由与非门1的输出状态决定。此时，内部时钟发生

器24产生的时钟信号经过两次选通后输出至整个电路的输出端26。

当外部输入信号端21接收到的是同步信号时，每当同步信号的翻转边沿（从高电平翻转至低电平或者从低电平翻转至高电平）到来时，由于延时器的作用导致在翻转时刻异或门两个输入端信号电平不一致，在同步信号翻转时刻异或门输出一个脉冲宽度为延时器产生的延迟的脉冲信号。该脉冲信号将计数器清零，并且使触发器1的Q1端输出高电平至触发器2。当同步信号的第二个翻转边沿到来时，异或门将再输出一个脉冲信号将计数器清零，同时触发器2的Q2端输出高电平。此时，倒相器的输入端23为高电平，与非门1的一个输入端为倒相器的输出端则为低电平，使得不管与非门1另一输入端输入什么信号，与非门1均输出高电平至与非门3。则与非门3的输出端能够跟随与非门2的输出端变化。与非门2的一个输入端与倒相器的输入端23相同为高电平，使得与非门2的输出端能够跟随另一个输入端21变化。亦即与非门2能输出同步信号，此时，外部输入同步信号端21接收到的同步信号经过两次选通后输出至整个电路的输出端26。

该同步信号检测装置采用数字逻辑的方式占用的芯片面积小，在一个管脚可以输入低电平或者高电平或者同步信号，能够实现一管脚多功能的效果，但是该现有技术存在以下缺点：

首先，时钟发生器、计数器以及异或门的连接关系导致时钟发生器产生的内部时钟信号的频率至少为外部输入的同步信号频率的两倍，限制了输入的待检测同步信号的频率范围；

其次，该同步信号检测装置限定了触发器1的输入端D为高电平，使电路缺乏灵活性和拓展性。

发明内容

本发明所要解决的技术问题在于，提供一种同步信号检测装置，能够扩大待检测同步信号的频率范围。

为了解决上述技术问题，本发明提出以下技术方案，该方案的一种同步信号检测装置，包括：

边沿检测单元，用于检测所输入同步信号的边沿，当检测到同步信号边沿时，产生脉冲信号，否则，产生电平信号；

时钟发生器，用于产生内部时钟信号；

脉冲信号检测单元，分别与所述边沿检测单元和所述时钟发生器相连；当接收到所述边沿检测单元输出的脉冲信号时，在所述脉冲信号控制下，产生置位信号，当接收到所述边沿检测单元输出的电平信号时，在所述时钟发生器输出的内部时钟信号的驱动下，产生复位信号；

输出选择单元，用于当接收到所述脉冲信号检测单元输出的置位信号时，输出所述脉冲信号，当接收到所述脉冲信号检测单元输出的复位信号时，输出所述内部时钟信号。

其中，所述脉冲信号检测单元包括：

置位信号产生单元，用于在接收到所述边沿检测单元产生的脉冲信号时，在所述脉冲信号控制下，产生并输出置位信号；

复位信号产生单元，用于在接收到所述边沿检测单元输出的电平信号时，在所述时钟发生器输出的内部时钟信号的驱动下，使任一初始输出状态成为稳定输出复位信号状态，并输出所述复位信号。

进一步，所述置位信号产生单元为第一触发器，所述第一触发器的异步置位端与所述边沿检测单元的输出端相连，接收所述边沿检测单元输出的脉冲信号，同相输出端与所述输出选择单元的输入端相连，输出置位信号到所述输出选择单元的输入端。

相应的，所述复位信号产生单元包括逻辑与非门，第二触发器以及第三触发器；所述逻辑与非门的一个输入端与所述第二触发器同相输出端相连，另一个输入端与所述第三触发器同相输出端相连，逻辑与非门的输出端与所述第二触发器的信号输入端相连；所述第二触发器的异步置位端和所述第三触发器的异步置位端与所述边沿检测单元的输出端相连，接收所述边沿检测单元输出的电平信号，所述第二触发器的时钟输入端与所述时钟发生器的输出端相连，所述第三触发器的时钟输入端与所述第二触发器的同相输出端相连；所述第三触发器的信号输入端与所述第三触发器的反向输出端相连，所述第三触发器的同相输出端与所述输出选择单元的输入端相连，输出复位信号到所述输出选择单元的输入端。

或者,所述复位信号产生单元包括逻辑或门、第二触发器以及第三触发器;所述逻辑或门的一个输入端与所述第二触发器反相输出端相连,另一个输入端与所述第三触发器反相输出端相连,逻辑或门的输出端与所述第二触发器的信号输入端相连;所述第二触发器的异步置位端和所述第三触发器的异步置位端与所述边沿检测单元的输出端相连,接收所述边沿检测单元输出的电平信号,所述第二触发器的时钟输入端与所述时钟发生器的输出端相连,所述第三触发器的时钟输入端与所述第二触发器的同相输出端相连;所述第三触发器的信号输入端与所述第三触发器的反向输出端相连,所述第三触发器的同相输出端与所述输出选择单元的输入端相连,输出复位信号到所述输出选择单元的输入端。

其中,所述第一触发器和所述第三触发器为同一个触发器。

其中,所述同一个触发器为具有锁存功能的触发器。

其中,所述边沿检测单元为上升沿检测电路或下降沿检测电路或双边沿检测电路。

本发明与现有技术相比,具有如下有益效果:

首先,本发明的同步信号检测装置中外部输入的同步信号与内部时钟信号不直接作用,不会相互影响,因此本发明同步信号检测装置对内部时钟信号要求低,可检测的外部同步信号的频率范围大;

其次,本发明的同步信号检测装置的各功能模块均没有初始状态限制,使装置灵活性大、拓展性强。

附图说明

图1和图2是现有技术同步信号检测装置组成结构图;

图3是本发明同步信号检测装置的组成示意图;

图4是本发明同步信号检测装置的第一实施例的组成结构图;

图5是图4所示第一实施例的脉冲信号产生示意图;

图6是图5所示实施例在触发器1和触发器2同相输出端初始都输出低电平时复位信号产生示意图;

图7是图5所示实施例在触发器1和触发器2同相输出端初始分别输出低电平和高电平时复位信号产生示意图;

图8是图5所示实施例在触发器1和触发器2同相输出端初始分别输出高

电平和低电平时复位信号产生示意图；

图 9 是图 5 所示实施例在触发器 1 和触发器 2 同相输出端初始都输出高电平时复位信号产生示意图；

图 10 是本发明同步信号检测装置的第二实施例的组成结构图；

图 11 是图 10 所示第二实施例的脉冲信号产生示意图；

图 12 是本发明同步信号检测装置的第三实施例的组成结构图；

图 13 是图 12 所示第三实施例的脉冲信号产生示意图；

具体实施方式

为使本发明的目的、技术方案和效果表达得更加清楚完整，下面结合附图及实施例对本发明再做进一步详细的说明。

图 3 是本发明同步信号检测装置的组成示意图，该装置主要包括边沿检测单元 11、时钟发生器 12、置位信号产生单元 131、复位信号产生单元 132 以及输出选择单元 14。具体地：

边沿检测单元 11，用于检测所输入同步信号的边沿，当检测到同步信号边沿时，产生脉冲信号，否则，产生电平信号；边沿检测单元可以为上边沿检测电路、下边沿检测电路以及双边沿检测电路中的任一种。它产生的脉冲信号可以为高电平脉冲信号，也可以为低电平脉冲信号。

时钟发生器 12，用于产生内部时钟信号。

置位信号产生单元 131，用于在接收到所述边沿检测单元 11 产生的脉冲信号时，产生置位信号。

复位信号产生单元 132，用于在接收到所述边沿检测单元 11 输出的电平信号时，在接收的所述时钟发生器 12 输出的内部时钟信号的驱动下，将该单元任意的初始化状态转移至稳定输出复位信号状态。

输出选择单元 14，分别与所述边沿检测单元 11、置位信号产生单元 131、复位信号产生单元 132 以及所述时钟发生器 12 相连，用于当接收到所述置位信号产生单元 131 输出的置位信号时，输出所述脉冲信号，当接收到所述复位信号产生单元 132 输出的复位信号时，输出所述内部时钟信号。输出选择单元 14 采用至少一种逻辑门的组合对脉冲信号以及内部时钟信号选通输出。输出选择单元 14 也可以采用至少一种逻辑门的组合在接收到脉冲信号时强制所述内部时

钟信号与所述脉冲信号同步，然后，输出所述同步后的内部时钟信号。

上述是本发明同步信号检测装置的基本逻辑组成，下面结合实施例对本发明进行具体描述。

参考图4，是本发明同步信号检测装置的第一实施例的组成结构图。该实施例中边沿检测单元是一个下降沿检测电路，它包括倒相器和或非门。倒相器输入端和或非门的其中一个输入端连接同步信号输入端31，倒相器的输出端连接或非门的另一个输入端。或非门的一端直接连接外部同步信号输入端31，另一端是同步信号输入端31输入信号经过倒相器倒相后的信号，当检测到输入的同步信号时，或非门的输出端输出脉冲信号；当检测到输入的信号是电平信号（固定的高电平或者低电平）时，或非门的两个输入端接收到的信号正好反相，或非门输出固定的低电平。

参照图可知置位信号产生单元与复位信号产生单元中的触发器2为同一个触发器，在本实施例中该两个单元包括两个D触发器——触发器1、触发器2以及或门；如图所示，或门的两个输入端分别为触发器1和触发器2的反相输出端 $\overline{Q1}$ 端、 $\overline{Q2}$ 端。触发器1的信号输入端D1端为或门的输出端，触发器1的时钟输入端接收时钟发生器产生的内部时钟信号，触发器1的同相输出端Q1端输出的信号作为时钟信号送入触发器2的时钟输入端，为触发器2提供时钟信号。两个D触发器的异步置位端SET端连接或非门输出端。当接收到或非门输出的脉冲信号时，触发器1、触发器2的SET端在脉冲信号的控制下置位，并锁存该置位信号；当接收到或非门输出的电平信号时，触发器1、触发器2、或门均在时钟发生器输出的内部时钟信号驱动下，不断调节输出状态，最终触发器2的同相输出端Q2端会复位，并将该复位信号锁存到下次外部信号输入端31输入同步信号为止。

输出选择单元由三个与非门组成。与非门1的一个输入端连接或非门的输出端，用于接收边沿检测单元输出的信号，另一个输入端连接触发器2的同相输出端Q2端。与非门2的一个输入端连接时钟发生器的输出端，另一个输入端连接触发器2的反相输出端 $\overline{Q2}$ 端。与非门1和与非门2的输出端分别连接与非门3的两个输入端，与非门3的输出端即为整个装置的输出端33。当外部输入信号为同步信号时，触发器2的同相输出端Q2端输出高电平至与非门1，反相输出端 $\overline{Q2}$ 段输出低电平至与非门2，使得与非门2输出高电平至与非门3，与非门3的输出将跟随与非门1的输出变化。经过两次选通后，外部同步信号输入端31接收到的同步信

号转换为一个脉冲信号后将作为整个电路的输出至输出端口33；当外部输入信号为电平信号时，触发器2的同相输出端Q2端输出低电平至与非门1，使得与非门1输出高电平至与非门3，触发器2的反相输出端 $\overline{Q2}$ 端输出高电平至与非门2的一端，使与非门3的输出将跟随与非门2的输出变化，时钟信号发生器输出的内部时钟信号能够通过与非门2。经过两次选通后，时钟信号发生器输出的时钟信号作为整个电路的输出至输出端口33。

该实施例同步信号检测的具体工作原理如下：

参考图5，是本发明第一实施例脉冲信号产生的过程。当外部同步信号输入端31接收到同步信号时，倒相器和或非门将同步信号的下降沿转换为脉冲信号。在图5中输入信号表示同步信号接收端31接收到的同步信号，或非门只有当两个输入端同时为低电平时才输出高电平。当同步信号接收端31接收到的同步信号下降沿到来时，或非门的一个输入端直接连接同步信号接收端31立刻从高电平翻转为低电平，而另一个输入端是连接倒相器的输出端，由于倒相器延时的关系不能马上从低电平翻转为高电平，那么，或非门的两个输入端将有一个短暂的时刻同时出现低电平，或非门输出一个高电平脉冲。

两个D触发器的SET端接收到高电平脉冲后同相输出端Q1、Q2端立刻输出高电平。触发器2的反相输出端 $\overline{Q2}$ 端输出低电平至与非门2，使得与非门2输出高电平至与非门3，与非门3的输出将跟随与非门1的输出变化。触发器2的同相输出端Q2端输出高电平至与非门1的一端，或非门产生的脉冲信号能够通过与非门1那么，经过两次选通后，外部同步信号输入端31接收到的同步信号转换为一个脉冲信号后将作为整个电路的输出至输出端口33。

没有同步信号输入时，或非门输出的电平信号，触发器1、触发器2、或非门在时钟发生器输出的内部时钟信号驱动下，不断调节输出状态，最终触发器2的同相输出端Q2端会复位，并将该复位信号锁存到下次外部输入端31输入同步信号为止。触发器2的同相输出端Q2端输出低电平至与非门1，使得与非门1输出高电平至与非门3，触发器2的反相输出端 $\overline{Q2}$ 端输出高电平至与非门2的一端，使与非门3的输出将跟随与非门2的输出变化，时钟信号发生器输出的内部时钟信号能够通过与非门2。经过两次选通后，时钟信号发生器输出的时钟信号作为整个电路的输出至输出端口33。

在外部输入电平信号时，触发器1、触发器2的同相输出端和反向输出端的

初始状态不确定。下面就讨论同步信号输入端 31 没有接收到同步信号时，触发器 1 和触发器 2 的同相输出端和反相输出端处于各种初始状态下触发器 2 产生复位信号的过程：

参考图 6，是本发明第一实施例在触发器 1 和触发器 2 同相输出端初始都输出低电平时复位信号产生示意图；

时钟信号发生器产生的内部时钟信号上升沿到来前，由于触发器 2 的反相输出端 $\overline{Q2}$ 端为高电平，那么触发器 1 的 D1 端接收到高电平。内部时钟信号上升沿到来时，触发器 1 的同相输出端 Q1 端将接受触发器 1 的 D1 端的赋值而发生翻转为高电平。触发器 1 的同相输出端 Q1 端正是触发器 2 的时钟信号，因此，触发器 2 也将发生翻转，其同相输出端 Q2 端翻转后输出高电平。那么，此时触发器 1 和触发器 2 的反相输出端 $\overline{Q2}$ 端都为低电平，或门将输出低电平至触发器 1 的 D1 端。

当内部时钟信号信号的第二个上升沿到来时，触发器 1 将再次发生翻转，触发器 1 的同相输出端 Q1 端输出低电平。由于这次翻转触发器 1 的同相输出端 Q1 端产生的是下降沿，触发器 2 的同相输出端 Q2 端将不会翻转。触发器 1 的反相输出端 $\overline{Q2}$ 端为高电平，那么经过或门后，触发器 1 的 D1 端将接收到高电平。

当内部时钟信号的第三个上升沿到来时，触发器 1 的 D1 端与触发器 1 的同相输出端 Q1 端电平不一致，触发器 1 将再一次发生翻转，触发器 1 的同相输出端 Q1 端输出高电平。触发器 2 的时钟信号端接收到触发器 1 的 D1 端输出的上升沿，将发生翻转，触发器 2 的同相输出端 Q2 端输出低电平，产生复位信号。此后，触发器 1 的 D1 端与触发器 1 的同相输出端 Q1 端电平信号一致，电路状态得到锁存，整个检测电路不会在接收到同步信号之前发生翻转。

参考图 7，是本发明第一实施例在触发器 1 和触发器 2 同相输出端初始分别输出低电平和高电平时复位信号产生示意图；

内部时钟信号信号第一个上升沿到来前，触发器 2 的同相输出端 Q2 端为高电平，触发器 1 的同相输出端 Q1 端为低电平。或门两个输入端接收到的信号包含一个高电平、一个低电平，第一或门将输出高电平至触发器 1 的 D1 端。

当内部时钟信号第一个上升沿到来时，触发器 1 的同相输出端 Q1 端和触发器 1 的 D1 端不一致，触发器 1 将发生翻转，触发器 1 的同相输出端 Q1 端从低

电平翻转至高电平，输出一个上升沿至触发器 2 的时钟信号端。触发器 2 将发生翻转，触发器 2 的同相输出端 Q2 端从高电平翻转至低电平。此后，触发器 2 的反相输出端 $\overline{Q2}$ 端输出高电平至或门，触发器 1 的 D1 端接收到高电平，触发器 1 的同相输出端 Q1 端和触发器 1 的 D1 端电平信号一致，触发器 2 的同相输出端 Q2 短保持低电平。电路状态得到锁存，整个检测电路不会在接收到同步信号之前发生翻转。

参考图 8, 是本发明第一实施例在触发器 1 和触发器 2 同相输出端初始分别输出高电平和低电平时复位信号产生示意图;

在这种情况下, 或门的一个输入端接收到触发器 2 的反相输出端 $\overline{Q2}$ 端输出的高电平, 或门将输出高电平至触发器 1 的 D1 端。触发器 1 的 D1 端和触发器 1 的同相输出端 Q1 端电平信号一致, 触发器 2 的同相输出端 Q2 端保持为低电平, 电路状态得到锁存, 整个检测电路不会在接收到同步信号之前发生翻转。

参考图 9, 是本发明第一实施例在触发器 1 和触发器 2 同相输出端初始都输出高电平时复位信号产生示意图;

内部时钟信号第一个上升沿到来前, 或门的两个输入端都接收到低电平, 将输出低电平至触发器 1 的 D1 端。触发器 1 的 D1 端和触发器 1 的同相输出端 Q1 端电平信号不一致, 当内部时钟信号第一个上升沿到来时, 触发器 1 将发生翻转。由于这次翻转触发器 1 的同相输出端 Q1 端产生的是下降沿, 触发器 2 的同相输出端 Q2 端将不会翻转。触发器 1 的反相输出端 $\overline{Q2}$ 端为高电平, 那么经过或门后, 触发器 1 的 D1 端将接收到高电平。

当内部时钟信号的第二个上升沿到来时, 触发器 1 的 D1 端和触发器 1 的同相输出端 Q1 端电平不一致, 触发器 1 将再一次发生翻转, 触发器 1 的同相输出端 Q1 端输出高电平。触发器 2 的时钟信号端接收到触发器 1 的同相输出端 Q1 端输出的上升沿, 将发生翻转触发器 2 的同相输出端 Q2 端输出低电平。此后, 触发器 1 的 D1 端和触发器 1 的同相输出端 Q1 端电平信号一致, 电路状态得到锁存, 触发器 2 的同相输出端 Q2 端保持低电平, 整个检测电路不会在接收到同步信号之前发生翻转。

参考图 6 至参考图 9 的四种初始状态下, 触发器 2 的同相输出端 Q2 端最后都稳定输出低电平, 触发器 2 的同相输出端产生复位信号, 触发器 2 的同相输出端 Q2 端输出低电平至与非门 1, 使得与非门 1 输出高电平至与非门 3, 触发

器 2 的反相输出端 $\overline{Q2}$ 端输出高电平至与非门 2 的一端, 使与非门 3 的输出将跟随与非门 2 的输出变化, 时钟信号发生器输出的内部时钟信号能够通过与非门 2。经过两次选通后, 时钟信号发生器输出的时钟信号作为整个电路的输出至输出端口 33。

以上参考图 6 至参考图 9 的四个过程是一个全概率事件, 因此, 本发明技术方案实例能够在没有同步信号输入时选择内部时钟信号作为输出而不论触发器初始状态如何。

在此, 还有一点需要指出, 当外部同步信号消失后, 整个装置将重新选择内部时钟信号作为输出, 其时序过程与前面描述的无同步信号输入产生复位信号的过程与参考图 9 相同。

参考图 10, 是本发明同步信号检测装置的第二实施例的组成结构图。该实施例的边沿检测单元是一个上升沿检测电路, 它包括倒相器和与门。倒相器输入端和与门的其中一个输入端连接同步信号输入端 31, 倒相器的输出端连接与门的另一个输入端。与门的一端直接连接外部同步信号输入端 31, 另一端输入的是同步信号输入端 31 输入的信号经过倒相器倒相后的信号, 当检测到输入的同步信号时, 与门的输出端输出脉冲信号; 当检测到输入的信号是电平信号(固定的高电平或者低电平)时, 与门的两个输入端接收到的信号正好反相, 与门输出固定的低电平。

本实施例中置位信号产生单元与复位信号产生单元中的触发器 2 为同一个触发器, 在本实施例中该两个单元包括两个 T 触发器——触发器 1、触发器 2 以及或门;。其中, 或门的两个输入端分别为触发器 1 和触发器 2 的反相输出端 $\overline{Q1}$ 端、 $\overline{Q2}$ 端, 触发器 1 的信号输入端 T1 端为或门的输出端, 触发器 1 的时钟输入端接收时钟发生器产生的内部时钟信号, 触发器 1 的同相输出端 Q1 端输出的信号作为时钟信号送入触发器 2 的时钟输入端, 为触发器 2 提供时钟信号。两个 T 触发器的异步置位端 SET 端连接或非门输出端。当接收到或非门输出的脉冲信号时, 触发器 1、触发器 2 的 SET 端在脉冲信号的控制下置位, 并锁存该置位信号; 当接收到或非门输出的电平信号时, 触发器 1、触发器 2、或门均在时钟发生器输出的内部时钟信号驱动下, 不断调节输出状态, 最终触发器 2 的同相输出端 Q2 端会复位, 并将该复位信号锁存到保持到下次外部输入端 31 输入同步信号为止。

本实施例中输出选择单元由三个或非门组成。或非门 1 的一个输入端连接与门的输出端，用于接收边沿检测单元输出的信号，另一个输入端连接触发器 2 的反相输出端 $\overline{Q2}$ 端。或非门 2 的一个输入端连接时钟发生器的输出端，另一个输入端连接触发器 2 的同相输出端 Q2 端。或非门 1 和或非门 2 的输出端分别连接或非门 3 的两个输入端，或非门 3 的输出端即为整个装置的输出端 33。

该实施例同步信号检测的具体工作原理如下：

参考图 11，是本发明图 10 所示第二实施例的脉冲信号产生示意图。该图显示了同步信号输入端 31 接收到同步信号时，倒相器和与门将同步信号的上升沿转换为脉冲信号的过程。在图 11 中输入信号表示同步信号接收端 31 接收到的同步信号，与门只有当两个输入端同时为高电平时才输出高电平。当同步信号接收端 31 接收到的同步信号上升沿到来时，与门的一个输入端直接连接同步信号接收端 31，为高电平，而另一个输入端是连接倒相器的输出端，由于倒相器延时的关系不能马上从高电平翻转为低电平，那么，与门的两个输入端将有一个短暂的时刻同时出现高电平，与门输出一个高电平脉冲。

本实施例置位信号产生单元和复位信号产生单元与实施例一的不同之处在于：使用的触发器不同，本实施例中置位信号产生单元和复位信号产生单元包括两个 T 触发器——触发器 1，触发器 2。但 T 触发器的作用与实施例一中 D 触发器的作用效果相同，因此，实施例二与实施例一，当同步信号输入端 31 没有接收到同步信号时，触发器 2 产生复位信号的过程是一样的，在此不重复叙述。

本实施例中输出选择单元由三个或非门组成。或非门 1 的一个输入端连接与门的输出端，用于接收边沿检测单元输出的信号，另一个输入端连接触发器 2 的反相输出端 $\overline{Q2}$ 端。或非门 2 的一个输入端连接时钟发生器的输出端，另一个输入端连接触发器 2 的同相输出端 Q2 端。或非门 1 和或非门 2 的输出端分别连接或非门 3 的两个输入端，或非门 3 的输出端即为整个装置的输出端 33。

当外部输入信号为同步信号时，触发器 2 的反相输出端 $\overline{Q2}$ 端输出低电平至或非门 1，同相输出端 Q2 端输出高电平至或非门 2，使得或非门 2 输出低电平至或非门 3，此时，或非门 3 的输出将跟随或非门 1 的输出变化，经过两次选通后，外部同步信号输入端 31 接收到的同步信号转换为一个脉冲信号后将作为整个电路的输出至输出端口 33；当外部输入信号为电平信号时，触发器 2 的反相

输出端 $\overline{Q2}$ 端输出高电平至或非门 1, 使得或非门 1 输出低电平至或非门 3, 触发器 2 的同相输出端 Q2 端输出低电平至或非门 2 的一端, 使或非门 3 的输出将跟随或非门 2 的输出变化, 时钟信号发生器输出的内部时钟信号能够通过或非门 2。经过两次选通后, 时钟信号发生器输出的时钟信号作为整个电路的输出至输出端口 33。

参考图 12, 是本发明同步信号检测装置的第三实施例的电路结构图; 该实施例边沿检测单元是一个双边沿检测电路, 它包括延时器和异或门。延时器输入端和异或门的其中一个输入端连接同步信号输入端 31, 延时器的输出端连接异或门的另一个输入端。异或门的一端直接连接外部同步信号输入端 31, 另一端是同步信号输入端 31 输入信号经过延时器延时后的信号, 当检测到输入的同步信号时, 异或门的输出端输出脉冲信号; 当检测到输入的信号是电平信号(固定的高电平或者低电平)时, 异或门的两个输入端接收到的信号相同, 异或门输出固定的低电平。

本实施例中置位信号产生单元与复位信号产生单元中的触发器 2 为同一个触发器, 在本实施例中该两个单元包括两个 JK 触发器——触发器 1、触发器 2 以及与非门; 与非门的两个输入端分别为触发器 1 的同相输出端 Q1 端和触发器 2 的反相输出端 $\overline{Q2}$ 端, 两个触发器的 JK 端相连在一起(以下表示为 J1K1 端), 触发器 1 的 J1K1 端为与非门的输出端。触发器 1 的时钟信号端接收时钟发生器产生的内部时钟信号, 触发器 1 的同相输出端 Q1 端输出的信号作为时钟信号送入触发器 2 的时钟信号端, 为触发器 2 提供时钟信号。两个 JK 触发器的 SET 端连接或非门输出端。当接收到与非门输出的脉冲信号时, 触发器 1、触发器 2 的 SET 端在脉冲信号的控制下置位, 并锁存该置位信号; 当接收到与非门输出的电平信号时, 触发器 1、触发器 2、或非门均在时钟发生器输出的内部时钟信号驱动下, 不断调节输出状态, 最终触发器 2 的同相输出端 Q2 端会复位, 并将该复位信号锁存到下次外部输入端 31 输入同步信号为止。

本实施例中输出选择单元由两个与门一个或非门组成。或非门 1 的一个输入端连接与门的输出端, 用于接收边沿检测单元输出的信号, 另一个输入端连接触发器 2 的反相输出端 $\overline{Q2}$ 端。或非门 2 的一个输入端连接时钟发生器的输出端, 另一个输入端连接触发器 2 的同相输出端 Q2 端。或非门 1 和或非门 2 的输出端分别连接或非门 3 的两个输入端, 或非门 3 的输出端即为整个装置的输出端 33。

该实施例同步信号检测的具体工作原理如下:

参考图 13, 是本发明图 15 所示第三实施例的脉冲信号产生示意图。当同步信号输入端 31 接收到同步信号时, 延时器和异或门将同步信号的双边沿转换为脉冲信号的过程。在图 13 中输入信号表示同步信号接收端 31 接收到的同步信号, 异或门只有当两个输入端输入的信号相反时才输出高电平。当同步信号接收端 31 接收到的同步信号上升沿到来时, 异或门的一个输入端直接连接同步信号接收端 31, 为高电平, 而另一个输入端是连接延时器的输出端, 由于延时的关系不能马上从低电平翻转为高电平, 那么, 异或门的两个输入端将有一个短暂的时刻一个输入端为高电平, 另一个输入端为低电平, 异或门的两个输入信号相反输出一个高电平脉冲; 当同步信号接收端 31 接收到的同步信号的下降沿到来时, 异或门的一个输入端直接连接同步信号接收端 31, 为低电平, 而另一个输入端是连接延时器的输出端, 由于延时的关系不能马上从高电平翻转为低电平, 那么, 异或门的两个输入端将有一个短暂的时刻一个输入端为高电平, 另一个输入端为低电平, 异或门的两个输入信号相反输出一个高电平脉冲。

本实施例中置位信号产生单元和复位信号产生单元与实施例一的不同之处在于: 触发器为两个 JK 触发器——触发器 1、触发器 2, 逻辑门为与非门。两个触发器的 JK 端相连在一起 (以下表示为 JIK1 端), 触发器 1 的 JIK1 端为与非门的输出端。本实施例中 JK 触发器的作用与实施例一中 D 触发器的作用效果相同, 与非门的效果也与实施例中或门效果相同, 因此本实施例三与实施例一当同步信号输入端 31 没有接收到同步信号时, 触发器 2 产生复位信号的过程是一样的, 在此不重复叙述。

输出选择单元由两个与门一个或门组成。或非门 1 的一个输入端连接与门的输出端, 用于接收边沿检测单元输出的信号, 另一个输入端连接触发器 2 的反相输出端 $\overline{Q2}$ 端。或非门 2 的一个输入端连接时钟发生器的输出端, 另一个输入端连接触发器 2 的同相输出端 Q2 端。或非门 1 和或非门 2 的输出端分别连接或非门 3 的两个输入端, 或非门 3 的输出端即为整个装置的输出端 33。

当外部输入信号为同步信号时, 触发器 2 的同相输出端 Q2 端输出高电平至与门 1, 反相输出端 $\overline{Q2}$ 端输出低电平至与门 2, 使得与门 2 输出低电平至或门 3, 此时, 或门 3 的输出将跟随与门 1 的输出变化, 经过两次选通后, 外部同步信号输入端 31 接收到的同步信号转换为一个脉冲信号后将作为整个电路的输出至

输出端口 33; 当外部输入信号为电平信号时, 触发器 2 的同相输出端 Q2 端输出低电平至与门 1, 使得与门 1 输出低电平至或门 3, 触发器 2 的反相输出端 $\overline{Q2}$ 端输出高电平至与门 2 的一端, 使或门 3 的输出将跟随与门 2 的输出变化, 时钟信号发生器输出的内部时钟信号能够通过或门 2。经过两次选通后, 时钟信号发生器输出的时钟信号作为整个电路的输出至输出端口 33。

在这三个实施例中, 边沿检测单元输出的脉冲信号可以为高电平脉冲, 也可以为低电平脉冲, 如果为高电平脉冲时, 触发器的 SET 为高电平有效, 如果为低电平脉冲时, 触发器的 SET 为低电平有效。

在具体实现中, 本发明还可以使用 RS 触发器等能在脉冲信号控制下产生置位信号并能锁存置位信号的所有触发器, 并且触发器的触发方式可以为电平触发、上升沿触发或者下降沿触发。逻辑门可以使用或门、与门、或非门、与非门、异或门、异或非门、倒相器、同或门、同或非门, 以及上述逻辑门的组合等能够在接收到电平信号时, 配合时钟发生器输出的内部时钟信号将触发器 2 的同相输出端从任意初始状态转移至稳定输出复位信号的逻辑运算单元。

以上所揭露的仅为本发明的较佳实施例, 当然不能以此来限定本发明之权利范围, 因此依本发明权利要求所作的等同变化, 仍属本发明所涵盖的范围。

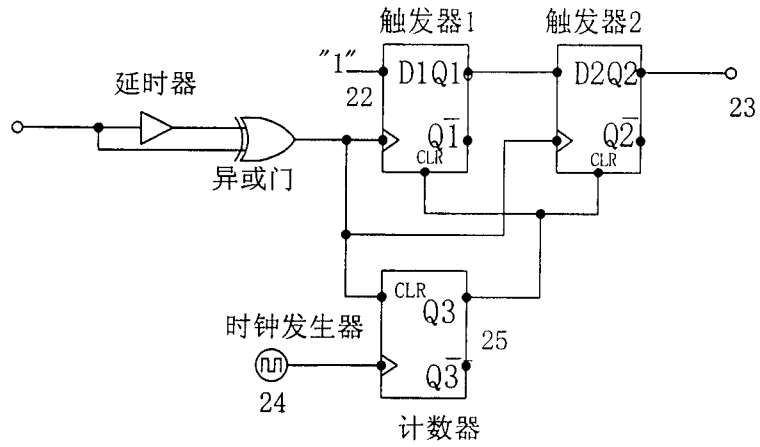


图 1

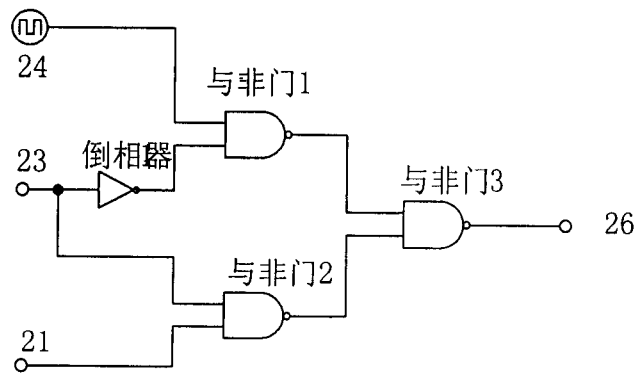


图 2

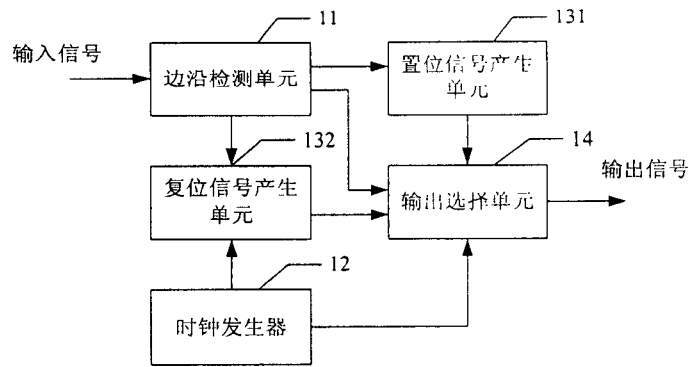


图 3

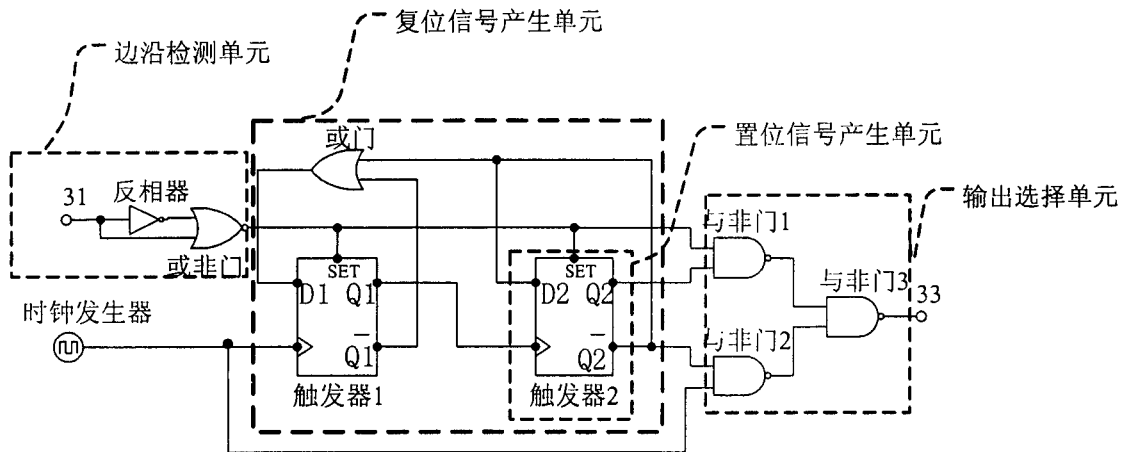


图 4

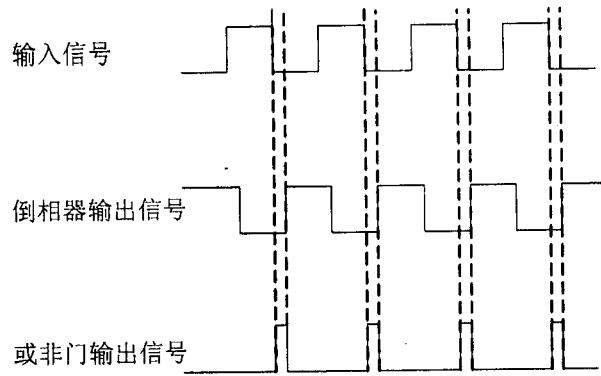


图 5

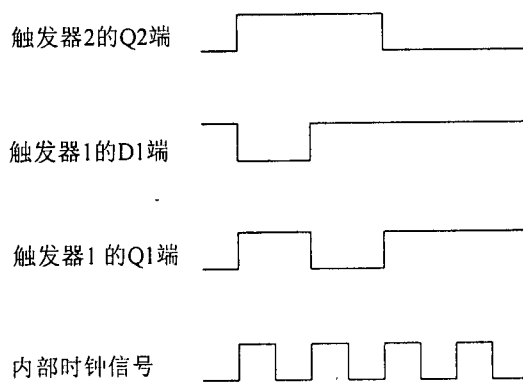


图 6

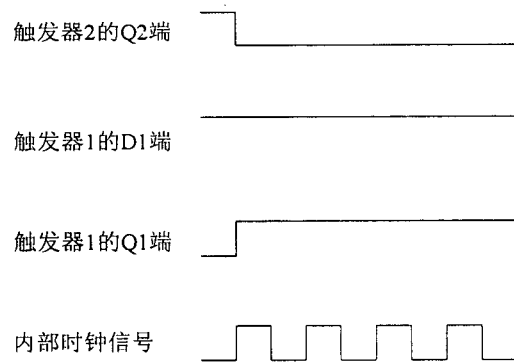


图 7

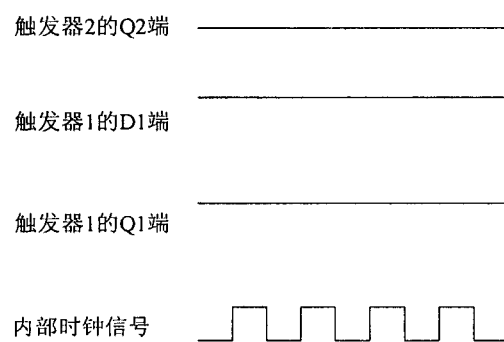


图 8

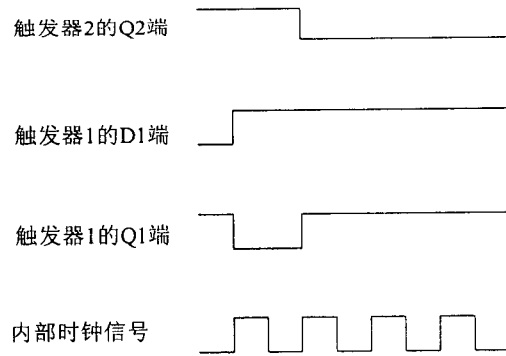


图 9

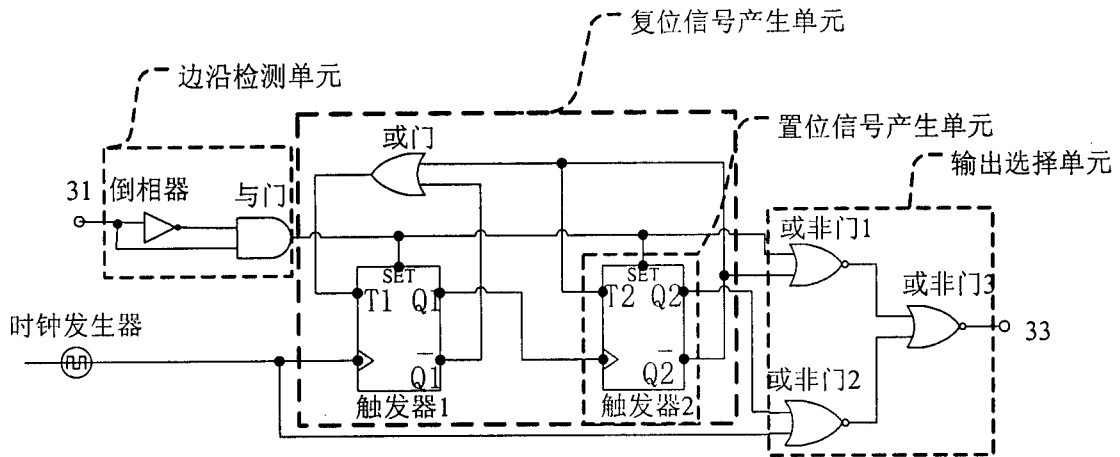


图 10

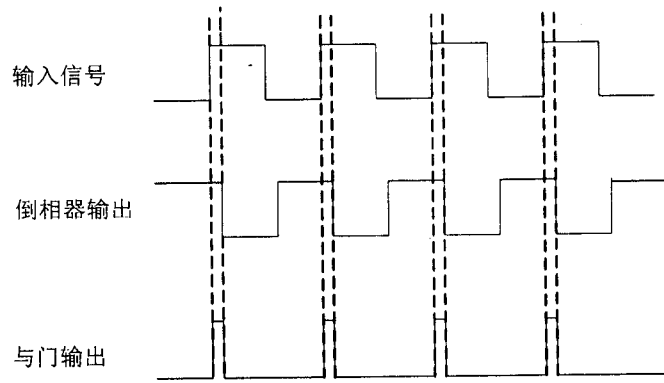


图 11

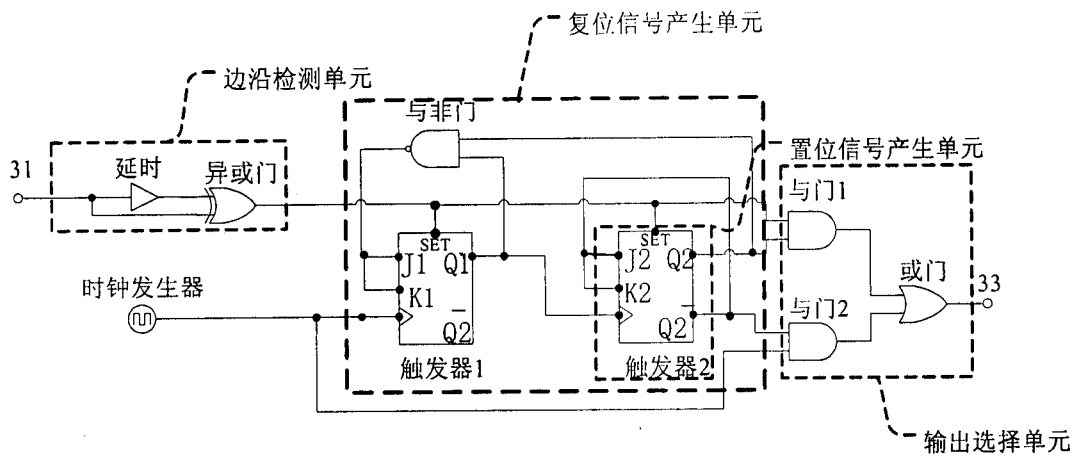


图 12

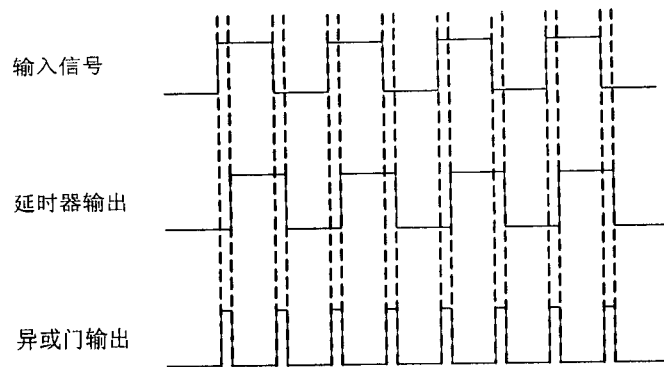


图 13