



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2022년05월20일  
(11) 등록번호 10-2400185  
(24) 등록일자 2022년05월16일

(51) 국제특허분류(Int. Cl.)  
H01L 21/60 (2006.01) H01L 21/28 (2006.01)  
(21) 출원번호 10-2014-0157409  
(22) 출원일자 2014년11월12일  
심사청구일자 2019년11월12일  
(65) 공개번호 10-2016-0057040  
(43) 공개일자 2016년05월23일  
(56) 선행기술조사문헌  
US20060046475 A1  
US20090305502 A1  
US20110254165 A1

(73) 특허권자  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
박재화  
경기도 용인시 상현동 서원마을 3단지 현대 I  
Park 305-304  
문광진  
경기도 화성시 영통로50번길 14, 202동 1003호 (반월동, 반달마을두산위브아파트)  
(뒷면에 계속)  
(74) 대리인  
특허법인 고려

전체 청구항 수 : 총 20 항

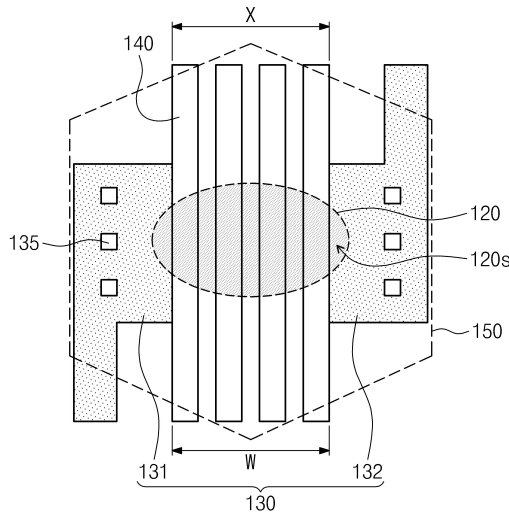
심사관 : 홍종선

(54) 발명의 명칭 관통전극을 갖는 반도체 소자

(57) 요약

본 발명은 관통전극을 갖는 반도체 소자에 관한 것으로, 타원형 상면을 갖는 관통전극을 포함하는 반도체 기판, 상기 반도체 기판 상에 제공된 회로층, 및 상기 회로층 내에 제공된 복수개의 금속배선을 포함한다. 상기 복수개의 금속배선은 상기 관통전극의 타원형 상면의 양측에 접속되는 제1 금속들, 및 상기 제1 금속들 사이에 그리고 상기 관통전극의 타원형 상면 상에 제공된 적어도 하나의 제2 금속을 포함한다.

대표도 - 도3a



(72) 발명자

**박병률**

서울특별시 강남구 언주로 203 101동 2103호 (매봉  
삼성아파트, 도곡동)

**방석철**

경기도 용인시 수지구 죽전로 111, 303동 704호 (죽전동, 꽃메마을 한라프로방스)

---

## 명세서

### 청구범위

#### 청구항 1

반도체 기관;

상기 반도체 기관을 수직적으로 관통하는 관통전극;

상기 반도체 기관 상에 제공된 회로층; 및

상기 회로층 내에 제공된 복수개의 금속배선들을 포함하고,

상기 복수개의 금속배선은:

상기 관통전극의 상면의 양측에 접속되는 제1 금속들; 및

상기 제1 금속들 사이에 그리고 상기 관통전극의 상면 상에 제공된 적어도 하나의 제2 금속을 포함하고,

상기 제2 금속은 상기 제1 금속들 상에 배치되고, 상기 제2 금속은 상기 관통 전극의 상기 상면과 수직적으로 오버랩되고, 상기 제1 금속들과는 수직적으로 오버랩되지 않고,

상기 금속 배선들 중 그 어느 것도 상기 관통 전극의 상기 상면과 상기 제2 금속 사이에서 상기 제2 금속과 오버랩되지 않는 반도체 소자.

#### 청구항 2

제1항에 있어서,

상기 관통전극의 상면은 장축과 단축을 갖는 타원형이고,

상기 제1 금속들은 상기 장축상의 상기 타원형 상면의 양측과 접속하는 반도체 소자.

#### 청구항 3

제2항에 있어서,

상기 적어도 하나의 제2 금속은 상기 관통전극의 타원형 상면의 단축과 동일한 방향으로 연장되는 반도체 소자.

#### 청구항 4

제2항에 있어서,

상기 제1 금속들은 제1 거리로 이격되고, 상기 관통전극의 타원형 상면의 장축은 상기 제1 거리보다 큰 길이를 갖는 반도체 소자.

#### 청구항 5

제1항에 있어서,

상기 제1 금속들과 상기 적어도 하나의 제2 금속은 상하 오버랩되지 않는 반도체 소자.

#### 청구항 6

제1항에 있어서,

상기 적어도 하나의 제2 금속 상에 제공된 제3 금속을 포함하고,

상기 제3 금속은 상기 제1 금속들 중 적어도 어느 하나와 전기적으로 연결된 반도체 소자.

#### 청구항 7

제6항에 있어서,

상기 적어도 어느 하나의 제1 금속과 상기 제3 금속 사이에 제공되어 상기 적어도 어느 하나의 제1 금속과 상기 제3 금속을 전기적으로 연결하는 비아를 더 포함하는 반도체 소자.

**청구항 8**

제1항에 있어서,

상기 관통전극의 상면은 평평한 반도체 소자.

**청구항 9**

제1항에 있어서,

상기 관통전극의 상면은 상기 관통전극의 하면을 향해 리세스된 반도체 소자.

**청구항 10**

제1항에 있어서,

상기 관통전극은 상기 반도체 기판을 관통하거나, 혹은 상기 반도체 기판을 관통하고 상기 회로층의 일부를 더 관통하는 반도체 소자.

**청구항 11**

반도체 기판;

상기 반도체 기판을 관통하는 관통전극;

상기 반도체 기판 및 상기 관통 전극의 상면 상에 배치된 금속 패드; 및

상기 관통 전극의 상기 상면 상에서 상기 관통전극의 상기 상면과 이격 배치된 금속 배선을 포함하되,

상기 금속 패드는 상기 관통 전극의 상면의 일측의 엣지와 접촉하는 제1 패드 및 상기 관통 전극의 상기 상면의 상기 일측의 반대측의 엣지와 각각 접촉하는 제2 패드를 포함하고,

상기 금속 배선은 평면적 관점에서 상기 제1 패드 및 상기 제2 패드 사이에 제공되고, 상기 제1 패드 및 상기 제2 패드는 상기 금속 배선과 수직적으로 오버랩되지 않고,

상기 금속 패드는 상기 관통 전극의 상기 상면과 상기 금속 배선 사이에서 상기 금속 배선과 오버랩되지 않는 반도체 소자.

**청구항 12**

제11항에 있어서,

상기 반도체 기판의 활성면 상에 제공된 집적회로를 갖는 층간절연막을 더 포함하고,

상기 금속 패드는 상기 층간 절연막 내에 제공되고,

상기 금속 배선은 상기 층간 절연막 내에 제공된 반도체 소자.

**청구항 13**

제11항에 있어서,

상기 관통전극의 상면은 장축과 단축을 갖는 타원형인 반도체 소자.

**청구항 14**

제13항에 있어서,

상기 제1 패드 및 상기 제2 패드는 상기 장축상의 상기 관통전극의 타원형 상면의 양측과 접촉하는 반도체

소자.

**청구항 15**

제11항에 있어서,

상기 관통전극의 상면은 상기 관통전극의 하면을 향해 리세스되고, 상기 제1 패드 및 상기 제2 패드 각각의 일부는 상기 리세스된 관통전극의 상면을 향해 연장된 반도체 소자.

**청구항 16**

기관을 관통하는 관통전극;

상기 기관 상의 제1 및 제2 하부 금속 패턴들; 그리고

상기 제1 및 제2 하부 전극 패턴들 상의 상부 금속 패턴들을 포함하고,

상기 제1 및 제2 하부 금속 패턴들은 상기 관통 전극의 상면의 일측의 엣지 및 상기 일측과 반대측의 엣지와 각각 접촉하고, 상기 관통 전극의 상기 상면의 센터 부분을 노출시키도록 서로 이격되고,

상기 상부 금속 패턴들의 적어도 일부는 상기 관통 전극의 상기 상면과 오버랩되고, 평면적 관점에서 상기 제1 및 제2 하부 금속 패턴들과 오버랩되지 않고,

상기 제1 및 제2 하부 금속 패턴들 중 그 어느 것도 상기 관통 전극의 상기 상면 및 상기 상부 금속 패턴들의 상기 적어도 일부의 상기 상면 사이에서 상기 상부 금속 패턴들의 상기 적어도 일부와 오버랩되지 않는 반도체 소자.

**청구항 17**

제16항에 있어서,

상기 관통전극의 상면은 장축과 단축을 갖는 타원형인 반도체 소자.

**청구항 18**

제17항에 있어서,

상기 관통 전극의 상기 상면의 상기 센터 부분은 상기 관통 전극의 하면을 향해 리세스된 반도체 소자.

**청구항 19**

제16항에 있어서,

상기 관통 전극의 상기 상면의 상기 센터 부분 상의 절연층을 더 포함하는 반도체 소자.

**청구항 20**

제16항에 있어서,

상기 상부 금속 패턴들은 평면적 관점에서 상기 제1 및 제2 하부 금속 패턴들 사이에 배치된 반도체 소자.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 반도체에 관한 것으로, 보다 구체적으로는 관통전극을 갖는 반도체 소자에 관한 것이다.

**배경 기술**

[0002] 반도체 소자는 다른 반도체 소자 내지 인쇄회로기판과 전기적으로 연결되기 위해 기관을 관통하는 관통전극이 제안된 바 있었다. 관통전극은 3차원 실장에 사용될 수 있고 기존의 솔더볼이나 솔더범프에 비해 빠른 전송 속도를 구현할 수 있다.

**발명의 내용**

**해결하려는 과제**

- [0003] 본 발명의 목적은 빠른 전송속도를 구현할 수 있는 반도체 소자를 제공함에 있다.
- [0004] 본 발명의 다른 목적은 관통전극과 금속배선 간의 커패시턴스 특성을 개선시킨 반도체 소자를 제공함에 있다.
- [0005] 본 발명의 또 다른 목적은 금속배선들 간의 오버랩을 회피한 반도체 소자를 제공함에 있다.
- [0006] 본 발명의 또 다른 목적은 소자의 집적도가 향상된 반도체 소자를 제공함에 있다.

**과제의 해결 수단**

- [0007] 상기 목적을 달성하기 위한 본 발명에 따른 반도체 소자는 금속배선들 간의 오버랩을 없애 금속배선들간의 기생 커패시턴스를 없애거나 최소화한 것을 특징으로 한다.
- [0008] 본 발명은 관통전극의 상면이 타원형인 것을 다른 특징으로 한다.
- [0009] 본 발명은 관통전극과 금속배선들 사이의 기생 커패시턴스를 없애거나 최소화한 것을 다른 특징으로 한다.
- [0010] 본 발명은 관통전극이 차지하는 면적을 줄여 소자의 집적도를 향상시킬 수 있는 것을 또 다른 특징으로 한다.
- [0011] 상기 특징을 구현할 수 있는 본 발명의 일 실시예에 따른 반도체 소자는: 관통전극을 포함하는 반도체 기판; 상기 반도체 기판 상에 제공된 회로층; 및 상기 회로층 내에 제공된 복수개의 금속배선을 포함할 수 있다. 상기 복수개의 금속배선은: 상기 관통전극의 상면의 양측에 접속되는 제1 금속들; 및 상기 제1 금속들 사이에 그리고 상기 관통전극의 상면 상에 제공된 적어도 하나의 제2 금속을 포함할 수 있다.
- [0012] 일 실시예에 있어서, 상기 관통전극의 상면은 장축과 단축을 갖는 타원형이고, 상기 제1 금속들은 상기 장축상의 상기 타원형 상면의 양측과 접속할 수 있다.
- [0013] 일 실시예에 있어서, 상기 적어도 하나의 제2 금속은 상기 관통전극의 타원형 상면의 단축과 동일한 방향으로 연장될 수 있다.
- [0014] 일 실시예에 있어서, 상기 제1 금속들은 제1 거리로 이격되고, 상기 관통전극의 타원형 상면의 장축은 상기 제1 거리보다 큰 길이를 가질 수 있다.
- [0015] 일 실시예에 있어서, 상기 제1 금속들과 상기 적어도 하나의 제2 금속은 상하 오버랩되지 않을 수 있다.
- [0016] 일 실시예에 있어서, 상기 적어도 하나의 제2 금속 상에 제공된 제3 금속을 포함하고, 상기 제3 금속은 상기 제1 금속들 중 적어도 어느 하나와 전기적으로 연결될 수 있다.
- [0017] 일 실시예에 있어서, 상기 적어도 어느 하나의 제1 금속과 상기 제3 금속 사이에 제공되어 상기 적어도 어느 하나의 제1 금속과 상기 제3 금속을 전기적으로 연결하는 비아를 더 포함할 수 있다.
- [0018] 일 실시예에 있어서, 상기 관통전극의 상면은 평평할 수 있다.
- [0019] 일 실시예에 있어서, 상기 관통전극의 상면은 상기 관통전극의 하면을 향해 리세스될 수 있다.
- [0020] 일 실시예에 있어서, 상기 관통전극은 상기 반도체 기판을 관통하거나, 혹은 상기 반도체 기판을 관통하고 상기 회로층의 일부를 더 관통할 수 있다.
- [0021] 상기 특징을 구현할 수 있는 본 발명의 다른 실시예에 따른 반도체 소자는: 활성면과 비활성면을 갖는 반도체 기판; 상기 활성면으로부터 상기 비활성면까지 연장되어 상기 반도체 기판을 관통하는 관통전극; 상기 반도체 기판의 활성면 상에 제공된 집적회로를 갖는 층간절연막; 상기 층간절연막 내에 제공되고, 상기 관통전극의 상면의 양측에 각각 접속하는 적어도 두 개의 금속패드; 및 상기 층간절연막 내에 제공되고, 상기 관통전극의 상면 상에 그리고 상기 적어도 두 개의 금속패드 사이에 제공된 적어도 하나의 금속배선을 포함할 수 있다.
- [0022] 다른 실시예에 있어서, 상기 적어도 두 개의 금속패드와 상기 적어도 하나의 금속배선은 상하 오버랩되지 않을 수 있다.
- [0023] 다른 실시예에 있어서, 상기 관통전극의 상면은 장축과 단축을 갖는 타원형일 수 있다.

- [0024] 다른 실시예에 있어서, 상기 적어도 두 개의 금속패드는 상기 장축상의 상기 관통전극의 타원형 상면의 양측과 접촉할 수 있다.
- [0025] 다른 실시예에 있어서, 상기 적어도 두 개의 금속패드는 제1 거리로 이격되고, 상기 관통전극의 타원형 상면의 장축은 상기 제1 거리보다 큰 길이를 가질 수 있다.
- [0026] 다른 실시예에 있어서, 상기 적어도 하나의 금속배선은 상기 관통전극의 타원형 상면의 단축 방향으로 연장될 수 있다.
- [0027] 다른 실시예에 있어서, 상기 관통전극의 상면은 상기 관통전극의 하면을 향해 리세스되고, 상기 적어도 두 개의 금속패드 각각의 일부는 상기 리세스된 관통전극의 상면을 향해 연장될 수 있다.
- [0028] 상기 특징을 구현할 수 있는 본 발명의 또 다른 실시예에 따른 반도체 소자는: 반도체 기판을 관통하는 관통전극; 상기 반도체 기판 상에 제공되어 상기 관통전극의 상면과 접촉된 금속패드; 및 상기 금속패드 상에 제공되고 상기 관통전극의 상면과 오버랩되는 금속배선을 포함할 수 있다. 상기 금속패드는 상기 관통전극의 상면의 일측과 반대측에 각각 접촉하는 분리된 제1 패드와 제2 패드를 포함할 수 있다. 상기 금속배선은 상기 제1 패드와 상기 제2 패드 사이에 제공되어 상기 금속패드와 상하 오버랩되지 않을 수 있다.
- [0029] 또 다른 실시예에 있어서, 상기 관통전극의 상면은 장축과 단축을 갖는 타원형이고, 상기 장축의 길이는 상기 제1 패드와 상기 제2 패드 사이의 이격 거리보다 클 수 있다.
- [0030] 또 다른 실시예에 있어서, 상기 금속배선은 상기 관통전극의 단축 방향으로 연장될 수 있다.
- [0031] 또 다른 실시예에 있어서, 상기 관통전극의 상면은 상기 관통전극의 하면을 향해 리세스될 수 있다.
- [0032] 또 다른 실시예에 있어서, 상기 반도체 기판 상에 제공되어 상기 금속패드 및 상기 금속배선을 덮는 층간절연막; 및 상기 반도체 기판 상에 제공되어 상기 층간절연막으로 덮인 집적회로를 더 포함할 수 있다.
- [0033] 또 다른 실시예에 있어서, 상기 관통전극은 상기 층간절연막의 일부를 더 관통할 수 있다.
- [0034] 상기 특징을 구현할 수 있는 본 발명의 변형 실시예에 따른 반도체 소자는: 패키지 기판 상에 실장된 적어도 하나의 칩 스택을 포함하고, 상기 칩 스택은 상기 패키지 기판 상에 적층된 베이스 칩과 상기 베이스 칩 상에 적층된 적어도 하나의 메모리 칩을 포함할 수 있다. 상기 메모리 칩은: 관통전극을 포함하는 반도체 기판; 상기 반도체 기판 상에 제공된 메모리 회로층; 및 상기 메모리 회로층 내에 제공된 복수개의 금속배선을 포함할 수 있다. 상기 복수개의 금속배선은: 상기 관통전극의 상면 양측에 접속되는 금속패드들; 및 상기 금속패드들 사이에 그리고 상기 관통전극의 상면 상에 제공되어 상기 금속패드들과 상하 오버랩되지 않는 적어도 하나의 금속배선을 포함할 수 있다.
- [0035] 변형 실시예에 있어서, 상기 관통전극의 상면은 장축과 단축을 갖는 타원형이고, 상기 장축은 상기 금속패드들 간의 이격 거리보다 클 수 있다.
- [0036] 변형 실시예에 있어서, 상기 금속패드들은 상기 장축상의 상기 타원형 상면의 양측과 접촉하고, 상기 적어도 하나의 금속배선은 상기 타원형 상면의 단축과 동일한 방향으로 연장될 수 있다.
- [0037] 변형 실시예에 있어서, 상기 패키지 기판과 상기 적어도 하나의 칩 스택 사이에 제공된 인터포저를 더 포함할 수 있다.
- [0038] 변형 실시예에 있어서, 상기 패키지 기판 상에 실장된 시스템-온-칩을 더 포함할 수 있다.

**발명의 효과**

- [0039] 본 발명에 의하면, 금속배선들 간의 오버랩을 없애 기생 커패시턴스를 없애거나 최소화하여 소자의 전송속도를 향상시킬 수 있는 효과가 있다. 아울러, 관통전극의 상면을 타원형으로 설계하므로써 금속패드와의 접촉을 확보하면서도 관통전극 위의 금속배선 간의 기생 커패시턴스를 줄일 수 있다. 아울러, 관통전극이 차지하는 면적을 줄이므로써 향상된 집적도를 갖는 반도체 소자를 구현할 수 있는 효과가 있다.

**도면의 간단한 설명**

- [0040] 도 1은 본 발명의 일 실시예에 따른 반도체 소자를 도시한 단면도이다.
- 도 2는 도 1의 일부를 확대 도시한 단면도이다.

도 3a는 본 발명의 일 실시예에 따른 반도체 소자의 일부를 확대 도시한 평면도이다.  
 도 3b는 도 3a의 변형예를 도시한 평면도이다.  
 도 4a는 도 3a의 일부를 도시한 사시도이다.  
 도 4b는 도 4a의 변형예를 도시한 사시도이다.  
 도 5는 도 3a의 비교예를 도시한 평면도이다.  
 도 6a 및 6b는 도 2의 변형예를 도시한 단면도들이다.  
 도 7은 본 발명의 일 실시예에 따른 반도체 소자를 포함하는 반도체 모듈을 도시한 사시도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0041] 이하, 본 발명에 따른 관통전극을 갖는 반도체 소자를 첨부한 도면을 참조하여 상세히 설명한다.
- [0042] 본 발명과 종래 기술과 비교한 이점은 첨부된 도면을 참조한 상세한 설명과 특허청구범위를 통하여 명백하게 될 것이다. 특히, 본 발명은 특허청구범위에서 잘 지적되고 명백하게 청구된다. 그러나, 본 발명은 첨부된 도면과 관련해서 다음의 상세한 설명을 참조함으로써 가장 잘 이해될 수 있다. 도면에 있어서 동일한 참조부호는 다양한 도면을 통해서 동일한 구성요소를 나타낸다.
- [0043] <반도체 소자의 예>
- [0044] 도 1은 본 발명의 일 실시예에 따른 반도체 소자를 도시한 단면도이다. 도 2는 도 1의 일부를 확대 도시한 단면도이다.
- [0045] 도 1을 참조하면, 반도체 소자(10)는 반도체 기판(100) 상에 제공된 회로층(106)과 회로층(106)과 전기적으로 연결된 수직 연결부(11)를 포함하는 메모리 칩, 로직 칩 혹은 이들의 조합일 수 있다. 반도체 기판(100)은 웨이퍼 레벨 혹은 칩 레벨의 실리콘 기판일 수 있다. 수직 연결부(11)는 반도체 기판(100)을 관통하는 관통전극(120)을 포함할 수 있다. 관통전극(120)은 회로층(106)을 더 관통할 수 있다. 수직 연결부(11)는 반도체 기판(100)을 수직 관통하여 반도체 소자(10)로 혹은 반도체 소자(10)로부터 전기적 신호를 전달할 수 있다.
- [0046] 도 2를 참조하면, 수직 연결부(11)는 활성면(100a)과 비활성면(100b)을 갖는 반도체 기판(100), 반도체 기판(100)을 수직 관통하는 관통전극(120), 그리고 반도체 기판(100)의 활성면(100a) 상에 제공된 회로층(106)을 포함할 수 있다. 관통전극(120)은 가령 비아 미들 공정에 의해 형성될 수 있고, 이에 따라 반도체 기판(100)을 관통하고 층간절연막(102)의 일부를 더 관통할 수 있다.
- [0047] 관통전극(120)의 상면(120s)은 평평할 수 있다. 상기 관통전극(120)의 상면(120s)은 반도체 기판(100)의 활성면(100a)에 비해 높은 레벨에 있을 수 있다.
- [0048] 수직 연결부(11)는 관통전극(120)과 전기적으로 연결된 상부 단자(170) 및/또는 하부 단자(180)를 더 포함할 수 있다. 일례로, 상부 단자(170)는 솔더볼을 하부 단자(180)는 금속 패드를 포함할 수 있다. 상부 단자(170)는 금속배선들(190)을 통해 관통전극(120)의 상면(120s)과 접속될 수 있다. 하부 단자(180)는 관통전극(120)의 하면(121s)과 직접적으로 혹은 간접적으로 접속될 수 있다.
- [0049] 반도체 기판(100)의 비활성면(100b) 상에 하부 단자(180)를 반도체 기판(100)으로부터 전기적으로 절연시키는 하부 절연막(108)이 제공될 수 있다. 관통전극(120)은 관통전극(120)을 둘러싸는 비아 절연막(110)에 의해 반도체 기판(100)으로부터 전기적으로 절연될 수 있다. 관통전극(120)과 비아 절연막(110) 사이에 관통전극(120)의 구성성분(예: 구리)이 반도체 기판(100) 및/또는 회로층(106)으로의 확산을 저지할 수 있는 배리어막(115)이 더 제공될 수 있다.
- [0050] 회로층(106)은 반도체 기판(100)의 활성면(100a) 상에 제공된 집적회로(103), 집적회로(103)와 관통전극(120)을 전기적으로 연결하는 복수층의 금속배선들(190), 집적회로(103)와 금속배선들(190)을 덮는 층간절연막(102)을 포함할 수 있다. 층간절연막(102) 상에는 상부 보호막(107)이 더 제공될 수 있다.
- [0051] 금속배선들(190)은 가령 배치 위치에 따라 제1 금속(130), 제2 금속(140), 제3 금속(150), 제1 금속(130)과 제3 금속(150)을 전기적으로 연결하는 비아(135) 등으로 구분할 수 있다. 제3 금속(150) 위에 제공된 금속들이 더 포함될 수 있다. 상기 구분 및 금속 수는 설명의 편의에 의해 도입된 것이지 본 발명을 이에 한정하려는 의도는



전혀 아니다.

- [0052] 본 실시예에 따르면, 제1 금속(130)은 관통전극(120)의 상면(120s)과 접촉하는 금속패드를 포함하는 금속배선들일 수 있다. 제2 금속(140)은 제1 금속(130)과 제3 금속(150) 사이에 제공되어 관통전극(120)의 상면(120s) 위에서 연장된 적어도 하나의 금속배선 그리고 가령 집적회로(103) 위에서 연장되는 금속배선들을 포함할 수 있다. 제3 금속(150)은 상부 단자(170)과 접촉되는 금속패드를 포함하는 금속배선일 수 있다. 이하에선 관통전극(120)과 접촉하는 제1 금속(130), 상부 단자(170)에 접촉되는 제3 금속(150), 관통전극(120)의 상면(120s) 위를 달리는 제2 금속(140)에 한정하여 설명하기로 한다.
- [0053] 수직 연결부(11)는 이하에서 후술한 것처럼 관통전극(120)과 금속배선들(190) 간의 기생 커패시턴스를 최소화할 수 있는 구조를 가질 수 있다.
- [0054] <기생 커패시턴스 감소 구조의 예>
- [0055] 도 3a는 본 발명의 일 실시예에 따른 반도체 소자의 일부를 확대 도시한 평면도이다. 도 3b는 도 3a의 변형예를 도시한 평면도이다. 도 4a는 도 3a의 일부를 도시한 사시도이다. 도 4b는 도 4a의 변형예를 도시한 사시도이다.
- [0056] 도 3a 및 4a를 같이 참조하면, 관통전극(120)의 상면(120s)은 장축(Lx)과 단축(Sx)을 갖는 타원형일 수 있다. 마찬가지로 관통전극(120)의 하면(121s)은 타원형일 수 있다. 관통전극(120)은 아래로 내려갈수록 장축(Lx)과 단축(Sx) 길이가 점점 작아지는 형태를 가져, 하면(121s)은 상면(120s)에 비해 작은 면적을 가질 수 있다. 다른 예로, 도 4b에 도시된 것처럼, 관통전극(120)은 그 길이 방향에 따라 장축(Lx)과 단축(Sx) 길이가 실질적으로 동일한 형태를 가져, 상면(120s)과 하면(121s)은 실질적으로 동일한 면적을 가질 수 있다.
- [0057] 제1 금속(130)은 관통전극(120)의 일부들과 접촉되는 복수개의 부분들(131, 132)로 구분될 수 있다. 본 실시예에 따르면, 제1 금속(130)은 관통전극(120)의 상면(120s) 중 장축(Lx) 상의 좌우측 영역들 각각에 접촉되는 좌측의 제1 금속(131)과 우측의 제1 금속(132)으로 나뉘어져 있을 수 있다. 좌측의 제1 금속(131)과 우측의 제1 금속(132) 사이의 간격(X)은 관통전극(120)의 상단(120s)의 장축(Lx)의 길이에 비해 작을 수 있다.
- [0058] 제1 금속(130)과 제3 금속(150) 사이에 제공된 복수개의 비아(135)에 의해 제1 금속(130)과 제3 금속(150)이 전기적으로 연결될 수 있다. 즉, 제1 금속(130)이 제1 금속(131)과 제2 금속(132)으로 나뉘어져 있더라도 전기적으로 하나의 싱글 바디를 이룰 수 있다. 다른 예로, 좌측의 제1 금속(131)과 우측의 제1 금속(132)은 각각 독립적으로 전기전 신호를 전달하는 패드 역할을 할 수 있다. 다시 말해, 하나의 관통전극(120)에 각각 독립적인 전기적 신호가 전달되는 복수개의 제1 금속(131, 132)이 전기적으로 연결되어 있을 수 있다.
- [0059] 적어도 하나의 제2 금속(140)이 제1 금속(130)과 제3 금속(150) 사이에 제공될 수 있다. 일례로, 복수개의 제2 금속(140)이 좌측의 제1 금속(131)과 우측의 제2 금속(132) 사이에 제공될 수 있다. 제2 금속(140)은 관통전극(120)의 상단(120s)의 단축(Sx) 방향과 동일한 방향으로 연장될 수 있다. 제2 금속(140)과 타원형의 상면(120s)을 갖는 관통전극(120) 간의 상하 오버랩 면적은 도 5에서 후술한 바와 같이 최소화될 수 있다.
- [0060] 도 3a에 도시된 것처럼, 좌측의 제1 금속(131)과 우측의 제1 금속(132) 사이에 제공된 제2 금속들(140)이 차지하는 폭(W)은 좌측의 제1 금속(131)과 우측의 제1 금속(132) 사이의 간격(X)과 실질적으로 동일할 수 있다. 따라서, 좌측의 제1 금속(131)의 우변과 맨좌측의 제2 금속(140)의 좌변은 상하 정렬될 수 있다. 마찬가지로, 우측의 제1 금속(132)의 좌변과 맨우측의 제2 금속(140)의 우변은 상하 정렬될 수 있다.
- [0061] 다른 예로, 도 3b에 도시된 것처럼, 좌측의 제1 금속(131)과 우측의 제1 금속(132) 사이에 제공된 제2 금속들(140)이 차지하는 폭(W)은 좌측의 제1 금속(131)과 우측의 제1 금속(132) 사이의 간격(X)에 비해 작을 수 있다. 따라서, 좌측의 제1 금속(131)의 우변과 맨좌측의 제2 금속(140)의 좌변은 이격될 수 있다. 마찬가지로, 우측의 제1 금속(132)의 좌변과 맨우측의 제2 금속(140)의 우변은 이격될 수 있다.
- [0062] <비교예>
- [0063] 도 5는 도 3a의 비교예를 도시한 평면도이다.
- [0064] 도 5를 참조하면, 본 실시예와 다르게, 관통전극(120p)의 상면(120ps)이 원형을 갖는 비교예의 경우 관통전극(120p)과 제1 금속(130)간의 접촉을 위해 상면(120ps)의 직경은 좌측의 제1 금속(131)과 우측의 제1 금속(132) 간의 간격(X)보다 커야 할 것이다.
- [0065] 가령 비교예의 관통전극(120p)의 상면(120ps)이 본 실시예의 관통전극(120)의 상면(120s)의 장축(Lx)와 동일하거나 유사한 경우, 비교예의 관통전극(120p)과 제2 금속(140) 간의 상하 오버랩 면적은 본 실시예의 관통전극

(120)과 제2 금속(140) 간의 상하 오버랩 면적에 비해 커질 수 있다. 게다가, 비교예의 관통전극(120p)은 본 실시예의 관통전극(120)에 비해 상대적으로 더 큰 킵-아웃-존(keep out zone)을 필요로 하므로 소자의 집적도 향상에 걸림돌이 될 수 있다.

[0066] 킵-아웃-존의 축소 및/또는 제2 금속(134)과의 오버랩 면적의 축소를 위해 비교예의 관통전극(120p)의 상면(120ps)의 직경이 장축(Lx)의 길이에 비해 짧게한 경우, 관통전극(120p)과 제1 금속(130) 간의 접촉 면적이 줄어들어 전기적 연결이 불량해질 수 있다.

[0067] 이처럼, 도 3a에 도시된 바와 같이 관통전극(120)의 상면(120s)이 타원형을 가지므로써 관통전극(120)과 제1 금속(130) 간의 접촉 면적을 충분히 확보할 수 있고 관통전극(120)과 제1 금속(130) 간의 양호한 전기적 연결을 구현할 수 있다.

[0068] 관통전극(120)과 제2 금속(140) 간의 오버랩 면적을 줄이므로써, 관통전극(120)과 제2 금속(140) 간의 기생 커패시턴스를 축소시킬 수 있다. 아울러, 제1 금속(130)과 제2 금속(140)이 상하 오버랩되지 않으므로 제1 금속(130)과 제2 금속(140) 간의 기생 커패시턴스를 없애거나 최소화할 수 있다. 따라서, 관통전극(120) 및/또는 금속배선들(190)에서의 전기적 신호의 지연을 최소화하거나 줄일 수 있다. 추가적으로, 관통전극(120) 주위의 킵-아웃-존을 줄이므로써 소자의 집적도 향상에 기여할 수 있다.

[0069] <반도체 소자의 변형예>

[0070] 도 6a 및 6b는 도 2의 변형예를 도시한 단면도들이다.

[0071] 도 6a를 참조하면, 수직 연결부(11a)는 리세스된 타원형 상면(120sr)을 가진 관통전극(120)을 포함할 수 있다. 가령 전도체(예: 구리)의 증착과 연마 공정으로 관통전극(120)을 형성할 때 전도체가 디싱(dishing)되어 상기 반도체 기판(100)의 활성면(100a)을 향해 혹은 관통전극(120)의 하면(121s)을 향해 리세스된 상면(120sr)을 가진 관통전극(120)이 형성될 수 있다. 이 경우 관통전극(120)의 상면(120sr)과 제2 금속(140) 간의 거리(d)가 증가되므로써, 관통전극(120)과 제2 금속(140) 간의 기생 커패시턴스가 줄어들 수 있다. 제1 금속(130)의 일부는 관통전극(120)의 리세스된 상면(120sr)을 향해 아래로 연장될 수 있다.

[0072] 도 6b를 참조하면, 수직 연결부(11b)는 반도체 기판(100)을 관통하되 층간절연막(102)을 관통하지 않는 가령 비아 라스트 혹은 비아 퍼스트 공정으로 형성된 타원형 상면(120s)을 갖는 관통전극(120)을 포함할 수 있다. 금속배선들(190)은 제4 금속(160)을 더 포함할 수 있다. 본 실시예의 경우, 제4 금속(160)은 상부 단자(170)가 접속되는 금속패드들을 포함하는 금속배선일 수 있다.

[0073] 관통전극(120)의 상면(120s)은 반도체 기판(100)의 활성면(100a)과 공면을 이루는 평평면일 수 있다. 다른 예로, 관통전극(120)의 상면(120s)은 관통전극(120)의 하면(121s)을 향해 리세스될 수 있다. 반도체 기판(100)의 활성면(100a)과 제1 금속(130) 사이에 절연막이 더 제공되어 있어 제1 금속(130)과 반도체 기판(100)은 전기적으로 절연되어 있을 수 있다.

[0074] <메모리 모듈의 예>

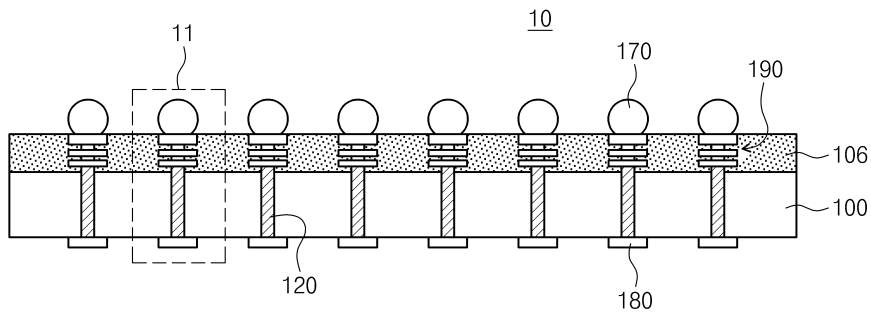
[0075] 도 7은 본 발명의 일 실시예에 따른 반도체 소자를 포함하는 반도체 모듈을 도시한 사시도이다.

[0076] 도 7을 참조하면, 반도체 장치(1000)는 인쇄회로기판과 같은 패키지 기판(1100) 상에 실장된 적어도 하나의 칩 스택(1300)과 시스템-온-칩(1400)을 포함하는 가령 메모리 모듈일 수 있다. 패키지 기판(1100) 상에 인터포저(1200)가 선택적으로 더 제공될 수 있다. 칩 스택(1300)은 가령 로직 칩과 같은 베이스 칩(1310) 상에 적층된 적어도 하나의 하이밴드 메모리 칩(1320)을 포함할 수 있다. 하이밴드 메모리 칩(1320)은 본 실시예에 따른 반도체 소자(10)를 포함할 수 있다. 도 2를 참조하여 기술한 바와 같이 관통전극(120)과 금속배선들(190) 간의 기생 커패시턴스를 최소화할 수 있는 반도체 소자(10)는 가령 500GB/sec 내지 1TB/sec, 혹은 그 이상의 하이밴드 메모리 칩을 구현하는데 활용될 수 있다. 상기 반도체 장치(1000)는 그래픽이나 고성능 컴퓨팅에 적합할 수 있다.

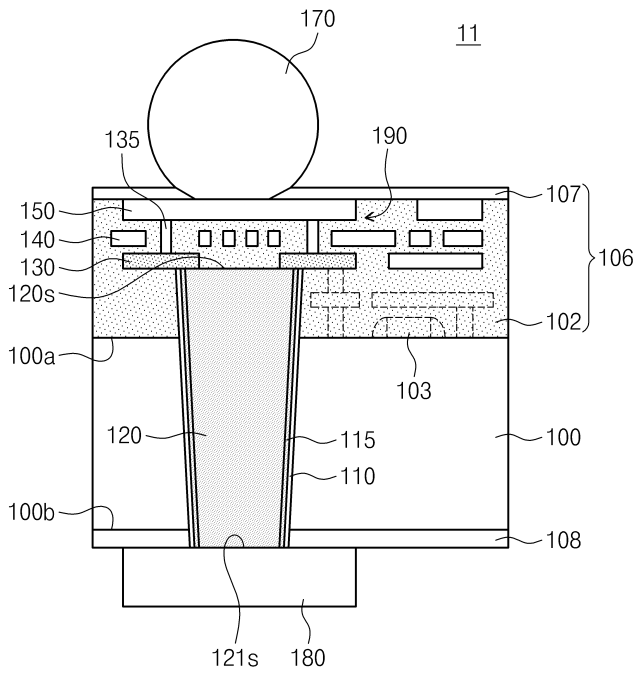
[0077] 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니며, 본 발명의 요지를 벗어나지 않는 범위 내에서 다양한 다른 조합, 변경 및 환경에서 사용할 수 있다. 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 할 것이다.

도면

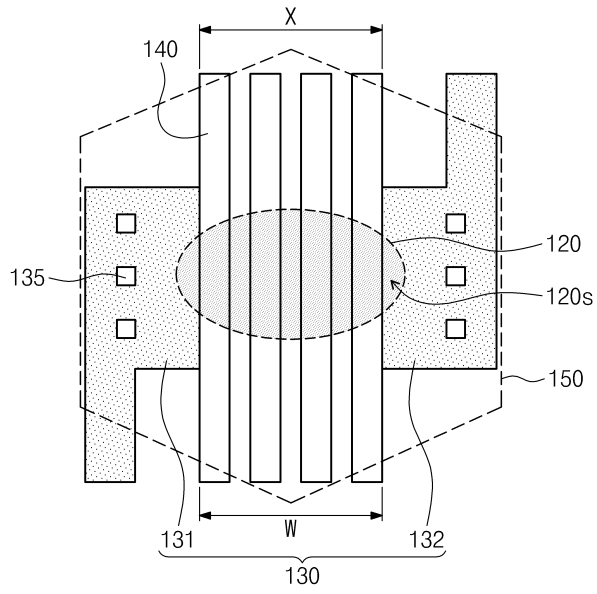
도면1



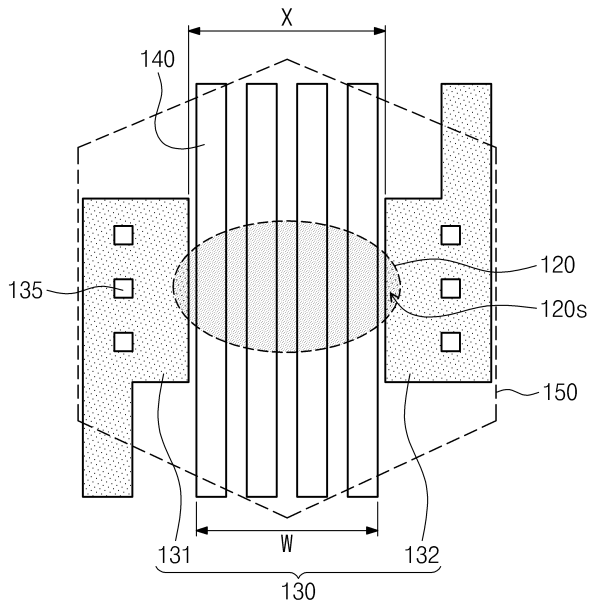
도면2



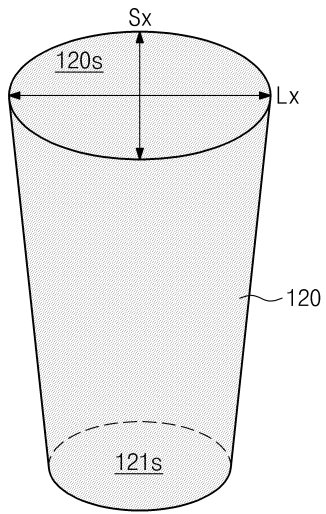
도면3a



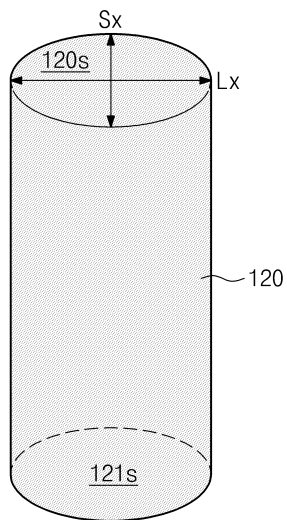
도면3b



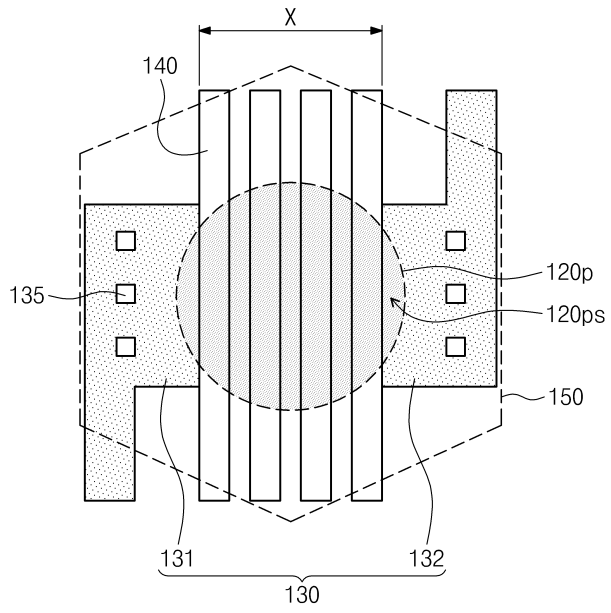
도면4a



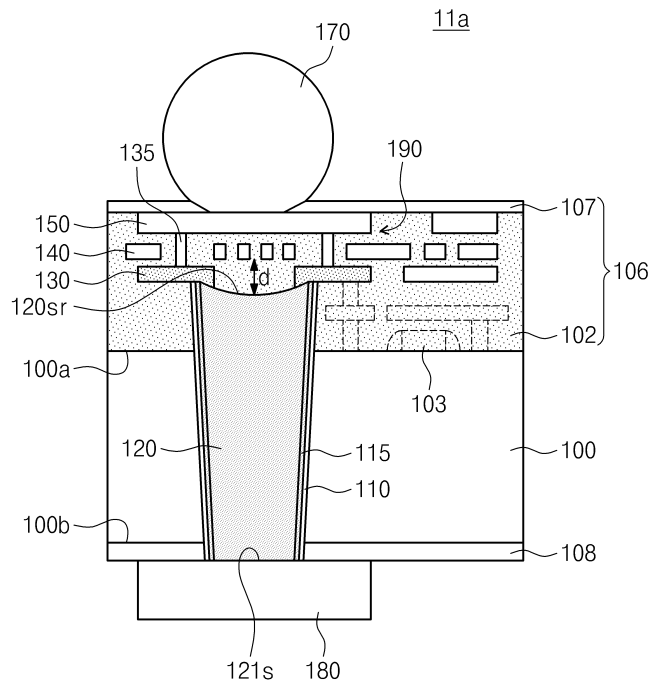
도면4b



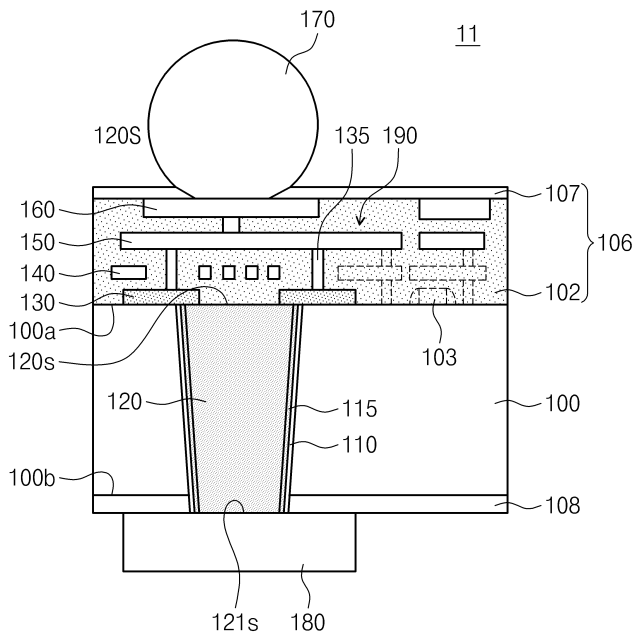
도면5



도면6a



도면6b



도면7

