

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4505019号  
(P4505019)

(45) 発行日 平成22年7月14日 (2010. 7. 14)

(24) 登録日 平成22年4月30日 (2010. 4. 30)

(51) Int. Cl.	F I
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 1 2 B
G 1 1 C 16/04 (2006.01)	G 1 1 C 17/00 6 1 2 F
	G 1 1 C 17/00 6 2 2 E
	G 1 1 C 17/00 6 4 1

請求項の数 17 (全 21 頁)

(21) 出願番号	特願2007-515210 (P2007-515210)	(73) 特許権者	592012513
(86) (22) 出願日	平成17年5月20日 (2005. 5. 20)		サンディスク コーポレーション
(65) 公表番号	特表2008-501208 (P2008-501208A)		SanDisk Corporation
(43) 公表日	平成20年1月17日 (2008. 1. 17)		アメリカ合衆国 95035 カリフォル
(86) 国際出願番号	PCT/US2005/017862		ニア州、ミルピタス、マッカーシー ブー
(87) 国際公開番号	W02005/119696		ルバード 601
(87) 国際公開日	平成17年12月15日 (2005. 12. 15)	(74) 代理人	110000110
審査請求日	平成19年3月12日 (2007. 3. 12)		特許業務法人快友国際特許事務所
(31) 優先権主張番号	10/857, 245	(72) 発明者	トラン、ダット
(32) 優先日	平成16年5月28日 (2004. 5. 28)		アメリカ合衆国、95121、カリフォル
(33) 優先権主張国	米国 (US)		ニア州、サンノゼ、ティンバーライン ド
			ライブ 4044

最終頁に続く

(54) 【発明の名称】 第1方向と第2方向におけるメモリ要素のコンダクションをテストすることによる非揮発性メモリの消去ペリフィケーション

(57) 【特許請求の範囲】

【請求項1】

不揮発性メモリを消去する方法であり、  
 ユーザ操作の間に不揮発性記憶素子群のグループを消去することと、  
 不揮発性記憶素子群の前記グループが消去されているか否かを決定するために、消去ペリフィケーション動作を実行することと、  
 不揮発性記憶素子群の前記グループの消去状態を読み出すことと、  
 前記消去ペリフィケーション動作において前記グループが消去されていると決定し、かつ、前記読み出すステップにおいて前記グループが消去されていると読み出した場合に、前記グループが消去されていることをベリファイすることを備え、  
 前記読み出すステップは、前記グループの各記憶素子の消去状態を同時に読み出すことを含んでおり、  
 各記憶素子を同時に読み出すことは、  
 前記グループの各記憶素子の制御ゲートに第1電圧を供給することと、  
 前記第1電圧が供給された前記グループ内を第1方向に流れる第1電流が第1ミニマム電流レベルより大きいか否かを決定すること、を含んでおり、  
 消去ペリフィケーション動作を実行するステップは、前記グループ内の第2方向に第2ミニマム電流レベルより大きい第2電流が存在するか否かを決定し、  
 前記第1方向は、前記第2方向と異なる方向である、  
 ことを特徴とする方法。

## 【請求項 2】

消去ベリフィケーション動作を実行するステップにおいて前記グループが消去されていると決定し、かつ、前記読み出すステップにおいて前記グループが消去されていると読み出さなかった場合に、前記グループが欠陥であると判定することをさらに含んでいる請求項 1 の方法。

## 【請求項 3】

消去ベリフィケーション動作を実行するステップは、第 1 セットのバイアス条件群を前記グループに適用することを含んでおり、

前記読み出すステップは、第 2 セットのバイアス条件群を前記グループに適用することを含んでいることを特徴とする請求項 1 の方法。

10

## 【請求項 4】

消去ベリフィケーション動作を実行するステップは、前記第 1 セットのバイアス条件群が適用された場合に、前記グループのビットラインの電荷がミニマムレベルより大きいかな否かを決定することを含んでおり、

前記読み出すステップは、前記第 2 セットのバイアス条件群が適用された場合に、前記グループの前記ビットラインの電荷がマキシマムレベルより小さいかな否かを決定することを含んでいることを特徴とする請求項 3 の方法。

## 【請求項 5】

消去ベリフィケーション動作を実行するステップは、前記ビットラインの電荷が前記ミニマムレベルより大きい場合に、前記グループが消去されていると決定し、

前記読み出すステップは、前記ビットラインの電荷が前記マキシマムレベルより小さい場合に、少なくとも 1 つの記憶素子が消去されていると読み出すことを特徴とする請求項 4 の方法。

20

## 【請求項 6】

前記第 1 セットのバイアス条件群を適用するステップは、

前記グループの各記憶素子に第 1 電圧を供給することと、

前記グループのソース側に第 2 電圧を供給することと、

前記グループのドレイン側に第 3 電圧を供給することを含んでおり、

前記第 1 電圧は、消去された記憶素子をターンオンするのに十分なものであり、

前記第 3 電圧は、前記第 2 電圧より小さいことを特徴とする請求項 3 の方法。

30

## 【請求項 7】

前記第 2 セットのバイアス条件群を適用するステップは、

前記グループの各記憶素子に第 1 電圧を供給することと、

前記グループのソース側に第 2 電圧を供給することと、

前記グループのドレイン側に第 3 電圧を供給することを含んでおり、

前記第 1 電圧は、消去された記憶素子をターンオンにするのに十分なものであり、

前記第 3 電圧は、前記第 2 電圧より大きいことを特徴とする請求項 3 の方法。

## 【請求項 8】

不揮発性記憶素子の前記グループは、バイナリ記憶素子群であることを特徴とする請求項 1 の方法。

40

## 【請求項 9】

不揮発性記憶素子の前記グループは、マルチ状態記憶素子群であることを特徴とする請求項 1 の方法。

## 【請求項 10】

記憶素子群の前記グループは、記憶素子群のアレイの一部であり、

記憶素子群の前記アレイは、ホストシステムに接続され、

記憶素子群の前記アレイは、前記ホストシステムから取り外し可能であることを特徴とする請求項 1 の方法。

## 【請求項 11】

ホストシステム内に配置された不揮発性記憶素子群のグループと、

50

前記グループに接続される管理回路を備え、  
 管理回路は、前記グループに対する消去動作が実行されることを引き起こし、  
 管理回路は、前記グループの消去後に、前記グループが消去されているか否かを決定するために消去ベリフィケーション動作を実行し、前記グループの各不揮発性記憶素子の消去状態を同時に読み出し、  
 管理回路は、前記消去ベリフィケーション動作において前記グループが消去されていると決定し、かつ、前記各不揮発性記憶素子が消去されていると読み出された場合に、前記グループが消去されているとベリファイし、  
 前記管理回路は、  
前記グループの各記憶素子の制御ゲートに第1電圧を供給するとともに、前記第1電圧が供給された前記グループ内を第1方向に流れる第1電流が第1ミニマム電流レベルより大きいか否かを決定することによって、前記グループの各記憶素子を同時に読み出し、  
 前記管理回路は、  
前記グループ内の第2方向に第2ミニマム電流レベルより大きい第2電流が存在するか否かを決定することによって、前記消去ベリフィケーション動作を実行し、  
前記第1方向は、前記第2方向と異なる方向である、  
 ことを特徴とするメモリシステム。

10

## 【請求項12】

不揮発性記憶素子群の前記グループは、直列に接続されていることを特徴とする請求項11のメモリシステム。

20

## 【請求項13】

前記グループは、NANDストリングであることを特徴とする請求項11のメモリシステム。

## 【請求項14】

不揮発性記憶素子群の前記グループは、マルチ状態NANDフラッシュメモリデバイス群であることを特徴とする請求項11のメモリシステム。

## 【請求項15】

記憶素子群のアレイをさらに備え、  
 前記グループは、前記アレイの一部であり、  
 前記アレイは、前記ホストシステムから取り外し可能であることを特徴とする請求項11のメモリシステム。

30

## 【請求項16】

前記管理回路は、コントローラと状態機械の少なくとも一方を含んでいることを特徴とする請求項11のメモリシステム。

## 【請求項17】

前記管理回路は、前記メモリシステムのユーザ操作の間に、前記消去ベリフィケーション動作を実行するとともに少なくとも1つの記憶素子を読み出すことを特徴とする請求項11のメモリシステム。

## 【発明の詳細な説明】

## 【技術分野】

40

## 【0001】

本発明は、一般的に言うと、不揮発性メモリデバイスの書き込み技術に関する。

## 【背景技術】

## 【0002】

半導体メモリデバイスは、様々な電子機器にますます使用されるようになってきている。たとえば、不揮発性半導体メモリは、携帯電話、デジタルカメラ、携帯情報端末、モバイルコンピューティング機器、非モバイルコンピューティング機器、およびその他の機器に使用されている。最もよく使用されている不揮発性半導体メモリとして、電氣的消去可能書き込み可能読み出し専用メモリ（EEPROM）やフラッシュメモリがある。

## 【0003】

50

フラッシュメモリシステムの一例では、複数の直列トランジスタが2つの選択ゲートに挟まれた構成を含むNAND構造を用いる。この直列トランジスタおよび選択ゲートをNANDストリングと呼ぶ。図1は、1つのNANDストリングの平面図である。図2は、その等価回路である。図1と図2に示したNANDストリングは、第1の選択ゲート120と第2の選択ゲート122とに挟まれた、直列に結合された4個のトランジスタ100, 102, 104, 106を含む。選択ゲート120は、NANDストリングをビット線126に接続する。選択ゲート122は、NANDストリングをソース線128に接続する。選択ゲート120の制御は、選択ゲート120の制御ゲート120CGに適切な電圧を印加することによって行われる。選択ゲート122の制御は、その適切な電圧を選択ゲート122の制御ゲート122CGに印加することによって行われる。トランジスタ100, 102, 104, 106のそれぞれは、制御ゲートと浮遊ゲートを含む。たとえば、トランジスタ100は、制御ゲート100CGと浮遊ゲート100FGを有する。トランジスタ102は、制御ゲート102CGと浮遊ゲート102FGを含む。トランジスタ104は、制御ゲート104CGと浮遊ゲート104FGを含む。トランジスタ106は、制御ゲート106CGと浮遊ゲート106FGを含む。制御ゲート100CGはワード線WL3に接続され、制御ゲート102CGはワード線WL2に接続され、制御ゲート104CGはワード線WL1に接続され、制御ゲート106CGはワード線WL0に接続される。

#### 【0004】

図1と図2では、NANDストリング内に4個のメモリセルを示しているが、4個のトランジスタを用いているのは例示に過ぎないことに留意するべきである。NANDストリングに含まれるメモリセルは、4個より多くても少なくともよい。たとえば、8個、16個、32個、またはそれ以外の個数のメモリセルがNANDストリングに含まれる場合もある。本明細書の説明では、NANDストリング内のメモリセルの数を特定の数には限定しない。

#### 【0005】

NAND構造を用いたフラッシュメモリシステムの一般的なアーキテクチャは、複数のNANDストリングを含む。たとえば、図3は、メモリアレイの3個のNANDストリング202, 204, 206を示している(このメモリアレイはさらに多くのNANDストリングを有する)。図3のNANDストリングのそれぞれは、2個の選択トランジスタと4個のメモリセルとを含む。たとえば、NANDストリング202は、選択トランジスタ220, 230と、メモリセル222, 224, 226, 228とを含む。NANDストリング204は、選択トランジスタ240, 250と、メモリセル242, 244, 246, 248とを含む。各ストリングは、それぞれの選択トランジスタ(たとえば選択トランジスタ230と選択トランジスタ250)によってソース線に接続される。ソース側選択ゲートの制御には、選択線SGSが用いられる。選択線SGDによって制御される選択トランジスタ220, 240などによって、NANDストリングがそれぞれのビット線に接続される。他の実施形態では、選択線は必ずしも共通でなくてもよい。メモリセル222とメモリセル242のそれぞれの制御ゲートにワード線WL3が接続される。メモリセル224とメモリセル244のそれぞれの制御ゲートにワード線WL2が接続される。メモリセル226とメモリセル246のそれぞれの制御ゲートにワード線WL1が接続される。メモリセル228とメモリセル248のそれぞれの制御ゲートにワード線WL0が接続される。図に示すように、各ビット線と各NANDストリングは、メモリセルのレイの列を構成する。ワード線(WL3, WL2, WL1, WL0)は、レイの行を構成する。各ワード線は、行内の各メモリセルの制御ゲートに接続される。たとえば、ワード線WL2は、メモリセル224, 244, 252のそれぞれの制御ゲートに接続される。

#### 【0006】

各メモリセルは、データ(アナログまたはデジタル)を記憶することが可能である。1ビットのデジタルデータを記憶する場合、メモリセルの可能な閾電圧の範囲は、論理データ「1」, 「0」が割り当てられる2つの範囲に分けられる。NAND型フラッシュメモ

10

20

30

40

50

りの一例では、閾電圧は、メモリセル消去後は負であり、これが論理「1」として定義される。書き込み動作後の閾電圧は正であり、これが論理「0」として定義される。閾電圧が負である場合に、制御ゲートに0ボルトを印加することによって読み出しが試行されると、メモリセルはオンになり、論理1が記憶されていることを示す。閾電圧が正である場合に、制御ゲートに0ボルトを印加することによって読み出し操作が試行されると、メモリセルはオンにならない。これは、論理0が記憶されていることを示している。メモリセルは、複数のレベルの情報（たとえば複数ビットのデジタルデータ）を記憶することも可能である。複数のレベルのデータを記憶する場合、可能な閾電圧の範囲は、データのレベルの数に分けられる。たとえば、4つのレベルの情報が記憶される場合は、データ値「11」、「10」、「00」、「01」が割り当てられる4つの閾電圧範囲が存在する。NAND型メモリの一例では、消去動作後の閾電圧は負であり、これが「11」として定義される。正の閾電圧は、「10」、「00」、「01」の各状態に用いられる。

10

**【0007】**

一般的に、1つまたは複数の閾電圧レベルでメモリセルに書き込みを行う前、又は、メモリの一部を消去する要求があった場合には、ブロック単位または他の単位でメモリセルが消去される。一実施形態では、ブロックまたはセクタ（sector）は、同時に消去されるメモリセルの最少の単位であるということが可能である。メモリデバイスの動作中に、メモリデバイス全体、又は、1つ若しくは複数のブロックを消去することが可能である。

**【0008】**

20

NAND型フラッシュメモリとそれらの動作に関連する例が、米国特許第5,570,315号、米国特許第5,774,397号、米国特許第6,046,935号、米国特許第6,456,528号、および米国特許出願第09/893,277号（米国特許出願公開第2003/0002348号）に記載されている。これらの内容は、本明細書に組み込まれる。本発明の実施形態によれば、他のタイプのフラッシュメモリデバイスを用いることも可能である。たとえば、米国特許第5,095,344号、第5,172,338号、第5,890,192号、および第6,151,248号には、NOR型フラッシュメモリが記載されている。これらの内容の全体は、本明細書に組み込まれる。フラッシュメモリタイプの別の例が、米国特許第6,151,248に記載されている。この内容の全体は、本明細書に組み込まれる。

30

**【0009】**

製造過程において、フラッシュメモリデバイスのいくつか又は一部分に欠陥が発生する可能性がある。記憶素子の個々のトランジスタ、ストリング、またはブロックが欠陥品になり、使用不能になる可能性がある。さらに、製造プロセスの後、又は、ユーザ操作の間に、デバイス内で欠陥が発生する可能性がある。ほとんどの状況では、エラー訂正符号（error correction code; ECC）を用いたり、単純にデバイスの欠陥部分を用いないようにしたりすることで、欠陥を効果的に管理することが可能である。個々のセル、ストリング、又はブロックを、メモリデバイスの代替領域（たとえばブロック末尾のあらかじめ指定された代替ストリングなど）にマッピングすることが可能である。しかしながら、検出されない欠陥がある場合、その欠陥によって誤った消去ベリフィケーション（消去確認）が行われたり、場合によってはユーザデータが回復不能になったりする可能性がある。そこで、フラッシュメモリデバイス内の欠陥を検出および吸収するために、様々な手法が用いられている。

40

**【0010】**

フラッシュメモリ内の欠陥は、フラッシュメモリの書き込み時または消去時に発見可能である。欠陥のある記憶素子または選択ゲートを有するセル群は、正常な書き込みまたは消去が行われず、それによって、ストリング内の1つまたは複数のデバイスに問題があることがわかる。製造過程において、製造プロセスの一環として実施される多数回のルーチン検査動作の際にフラッシュメモリの欠陥を発見することが可能である。たとえば、デバイスの一部を消去し、その後、消去状態をベリファイ（確認）することが可能である。何

50

回かの消去試行に失敗したセルは、欠陥があると判定され、1つまたは複数の欠陥管理スキームの下で処理されることが可能である。

【0011】

さらに、製造プロセスは、一般的に、各セルの読み出しを行い、そのセルが正常に機能しているかどうかを判定することを含む。たとえば、あるセルグループを消去した後、又は、そのセルグループにランダムパターンを書き込んだ後、そのグループの個々のセルの読み出しを個別に行う。セルの状態と書き込まれた値とが一致しない場合、そのセルに欠陥があると判定することが可能である。

【0012】

ユーザ操作の間には、消去または書き込みが正常に行われなかったセル、ストリング、又はブロックによって欠陥を検出することが可能である。たとえば、何回か消去を試行してもセルの消去が行われなない場合は、そのセルに欠陥があると判定することが可能である。同様に、何回か書き込みを試行してもセルが所望の状態にならない場合は、そのセルに欠陥があると判定することが可能である。製造時およびユーザ操作時の消去ベリフィケーションは、一般的に、1つのステップでセルのグループをテストすることによって実施される。

10

【発明の開示】

【発明が解決しようとする課題】

【0013】

これらの手法では、メモリデバイス内の欠陥の発見、および消去のベリフィケーションをある程度まで行うことが可能であるが、セルが消去されたことのベリフィケーション、およびデバイス内のすべての欠陥の検出を完全に行うことができない。

20

【0014】

したがって、消去動作のベリフィケーションや不揮発性メモリ内の欠陥の検出を行うための、改良されたシステムおよび方法が必要とされている。

【課題を解決するための手段】

【0015】

本発明は、概略的に言うと、不揮発性メモリ内の欠陥を検出する技術に関する。各種実施形態のシステムや方法を用いると、複数の検査条件を用いて消去動作の結果をベリファイすることによって、欠陥のある記憶素子及び/又は消去が不十分な記憶素子のグループをより確実に検出することが可能である。

30

【0016】

一実施形態では、記憶素子群のグループを消去し、それらを検査し、それらの素子が消去プロセスの結果として消去された状態にあるか否かを決定する。セル群のグループに対する初期消去ベリフィケーションプロセスは、セルグループに消去パルス又は消去電圧を印加した後に実施することが可能である。たとえば、NANDストリングの消去ベリフィケーションプロセスの場合、それらの素子が消去されていれば、それらの素子をバイアスしてターンオンし、NANDストリングの第1方向のチャージング又はコンダクションを判定する。コンダクション又はチャージングがミニマムレベルより大きい場合、グループは、初期消去ベリフィケーションをパスする。さらに、グループが消去されるまで又は所定回数の試行が行われるまで、パルス印加およびベリフィケーションが実施される。一実施形態では、消去ベリフィケーションプロセスをパスしない記憶素子群を、そのメモリデバイスの他のセクタにマッピングする。

40

【0017】

一実施形態では、記憶素子群のグループは、消去後の消去状態の読み出しも行なわれる。消去状態読み出しプロセスでは、グループの1つまたは複数の記憶素子の読み出しを行って、それらのそれぞれの状態を決定することが可能である。一実施形態では、グループの各記憶素子が消去されていれば、それらの素子をバイアスしてターンオンし、そのグループの第2方向のチャージング又はコンダクションを判定する。チャージングまたはコンダクションが最低レベルより大きい場合、そのストリングは、消去されていると読み込ま

50

れる。一実施形態では、NANDストリングの各セルの消去状態の読み出しを同時に行って、付加プロセスを実施する時間を短縮化する。

【0018】

一実施形態では、消去ベリフィケーションプロセスと消去状態読み出しプロセスは、記憶素子群のグループにおける反対方向のコンダクションまたはチャージングをテストする。たとえば、消去ベリフィケーションプロセスでは、NANDストリングの各記憶素子が消去されていれば、それらの素子をバイアスしてターンオンし、ビット線およびソース線を第1方向にバイアスした状態でビット線をモニタリングし、それが所定レベルまでチャージングされているのか否かを決定することが可能である。ビット線が所定レベルまでチャージングされていれば、そのストリングは、消去されていることがベリファイされる。消去状態読み出し時には、各記憶素子が消去されていれば、それらの素子をバイアスしてターンオンし、ビット線およびソース線を第2方向にバイアスした状態でビット線をモニタリングし、それが所定レベル以下にディスチャージしているのか否かを決定することが可能である。ビット線が所定レベル以下までディスチャージしていれば、そのストリングは、消去されていると読み込まれる。このようにして、NANDストリング全体の消去状態の読み出しが同時に行われる。

10

【0019】

一実施形態によれば、記憶素子群のグループが消去状態にあると読み込まれるのは、そのグループが消去ベリフィケーションプロセスをパスし、かつ、消去状態が読み出された場合だけである。消去ベリフィケーションプロセスをパスしても、書き込まれていると読み込まれたグループは、欠陥があると判定される。それらについては、欠陥のあるグループを別のグループにマッピングする手法等の1つまたは複数の欠陥処理手法を用いて、その後の書き込み動作から除外することが可能である。

20

【0020】

一実施形態によれば、記憶素子群のグループに対する消去状態の読み出しが行われるのは、それらが消去ベリフィケーションプロセスをパスした場合だけである。消去ベリフィケーションプロセスを通過しなかったセルは、その後の消去状態読み出しプロセス等のテストを受けない。したがって、余分な消去状態読み出しプロセスの実施にかかるタイムコストを少なくすることができる。

【0021】

本発明の実施形態のシステムは、記憶素子群のアレイと管理回路とを含むことが可能である。管理回路は、専用のハードウェアを含むこと、及び/又は、不揮発性メモリ（たとえば、フラッシュメモリ、EEPROM、その他）又は他のメモリデバイス等の少なくとも1つの記憶素子に格納されたソフトウェアによってプログラムされるハードウェアを含むことが可能である。一実施形態では、管理回路は、コントローラと状態機械を含む。別の実施形態では、管理回路は、状態機械のみを含み、コントローラを含まない。管理回路は、様々な実施形態に関して前述のステップを実施することが可能である。いくつかの実施形態による方法は、状態機械によって実施される。いくつかの実施形態では、状態機械は、記憶素子群のアレイと同じ集積回路チップ上にある。

30

【0022】

本発明の他の特徴、態様、および目的は、明細書、図面、および特許請求の範囲から得られるであろう。

【発明を実施するための最良の形態】

【0023】

添付図面を参照しながら、限定ではなく例示として本発明を説明する。添付図面においては、類似の参照符号は類似の要素を示している。本開示の一実施形態の参照は、必ずしも同一の実施形態を参照することではなく、そのような参照は少なくとも1つを参照することを意味することに留意するべきである。

40

【0024】

以下の説明では、本発明の各種の態様を説明する。しかしながら、当業者であれば、本

50

発明が、本開示の一部の態様でも全部の態様でも実施可能であることは自明であろう。説明の目的上、本発明が十分に理解されるように、特定の数値、材料、および構成について説明する。しかしながら、当業者であれば、特定の詳細がなくても本発明が実施可能であることは自明であろう。他の事例では、本発明が不明瞭にならないように、周知の特徴を省略または簡略化している。

【 0 0 2 5 】

本発明の理解に最も役立つ形で、各種の動作を複数の離散的なステップとして順に説明する。しかしながら、これらの動作が説明の順序に必ず依存することを意味しているものと解釈されてはならない。

【 0 0 2 6 】

図 4 は、本発明を実施するために用いることが可能なフラッシュメモリシステムの一実施形態のブロック図である。メモリセルアレイ 3 0 2 は、列制御回路 3 0 4、行制御回路 3 0 6、c ソース制御回路 3 1 0、および p ウェル制御回路 3 0 8 によって制御される。列制御回路 3 0 4 は、メモリセルアレイ 3 0 2 のビット線に接続され、メモリセルに記憶されたデータを読み出すことと、書き込み動作時にメモリセルの状態を判定することと、ビット線の電位レベルを制御して書き込みおよび消去を促進または阻止することとを実行する。行制御回路 3 0 6 は、ワード線に接続され、ワード線の 1 本を選択することと、読み出し電圧を印加することと、列制御回路 3 0 4 によって制御されるビット線電位レベルとの組み合わせで書き込み電圧を印加することと、消去電圧を印加することとを実行する。c ソース制御回路 3 1 0 は、メモリセルに接続された共通ソース線 ( 図 5 の「 c ソース」 ) を制御する。p ウェル制御回路 3 0 8 は、p ウェル電圧を制御する。

【 0 0 2 7 】

メモリセルに記憶されたデータは、列制御回路 3 0 4 によって読み出され、データ入出力バッファ 3 1 2 を介して外部 I / O 線に出力される。メモリセルに記憶される書き込みデータは、外部 I / O 線を介してデータ入出力バッファ 3 1 2 に入力され、列制御回路 3 0 4 に転送される。外部 I / O 線は、コントローラ 3 1 8 に接続される。

【 0 0 2 8 】

フラッシュメモリデバイスを制御するコマンドデータは、コントローラ 3 1 8 に入力される。コマンドデータは、どのような動作が要求されているのかをフラッシュメモリに伝える。入力されたコマンドは状態機械 3 1 6 に転送され、状態機械 3 1 6 は、列制御回路 3 0 4、行制御回路 3 0 6、c ソース制御回路 3 1 0、p ウェル制御回路 3 0 8、およびデータ入出力バッファ 3 1 2 を制御する。状態機械 3 1 6 は、さらに、READY / BUSY や PASS / FAIL のような、フラッシュメモリのステータスデータを出力することが可能である。

【 0 0 2 9 】

コントローラ 3 1 8 は、パーソナルコンピュータ、デジタルカメラ、携帯情報端末などのようなホストシステムに接続されるか、接続されることが可能である。コントローラ 3 1 8 は、データをメモリアレイ 3 0 2 に記憶させるコマンドや、データをメモリアレイ 3 0 2 から読み出すコマンド等のコマンドを出すホストに接続され、そのようなデータを送受信する。コントローラ 3 1 8 は、そのようなコマンドを、( 状態機械 3 1 6 に接続されている ) コマンド回路 3 1 4 が解釈および実行できるコマンド信号に変換する。コントローラ 3 1 8 は、一般的に、メモリアレイに書き込まれたりメモリアレイから読み出されたりするユーザデータのためのバッファメモリを含んでいる。

【 0 0 3 0 】

一つの例示的なメモリシステムは、コントローラ 3 1 8 を含む 1 つの集積回路と、1 つ又は複数の集積回路チップとを含む。各集積回路チップは、メモリアレイと、それに関連する制御回路と、入出力回路と、状態機械回路とを含んでいる。システムのメモリアレイとコントローラ回路は、1 つまたは複数の集積回路チップに統合されることがトレンドである。メモリシステムは、ホストシステムの一部として埋め込まれたり、ホストシステムに着脱自在に挿入されるメモリカード ( または他のパッケージ ) に内蔵されたりすること

10

20

30

40

50

が可能である。そのようなカードは、（たとえばコントローラを含む）メモリシステム全体、又は、メモリアレイと関連周辺回路のみ（コントローラ又は制御機能がホストに内蔵される場合）を含むことが可能である。したがって、コントローラは、ホストに内蔵されても、着脱自在なメモリシステムに内蔵されてもよい。

#### 【 0 0 3 1 】

図5は、メモリセルアレイ302の例示的構造を示している。一例として、1024個のブロックに分割されたNANDフラッシュEEPROMを示す。各ブロックに記憶されたデータは、同時に消去される。一実施形態では、ブロックは、同時に消去される、セルの最小単位である。この例では、各ブロックに8512個の列があり、これらは偶数列と奇数列とに分けられる。また、ビット線も、偶数ビット線（BLE）と奇数ビット線（BLo）とに分けられる。図5では、4個のメモリセルが直列に接続されてNANDストリングを形成している。図では各NANDストリングに4個のセルが含まれるが、4個より多くても少なくともよい（たとえば、16個でも32個でも、それ以外の数でもよい）。NANDストリングの一方の端子は、第1選択トランジスタSGDを介して、対応するビット線に接続される。他方の端子は、第2選択トランジスタSGSを介して、ソースに接続される。

10

#### 【 0 0 3 2 】

一実施形態では、読み出し動作時および書き込み動作時において、4256個のメモリセルが同時に選択される。選択されたメモリセル群は、同じワード線（たとえばWL2-i）と、同じ種類のビット線（たとえば偶数ビット線）とを有する。したがって、532 20  
バイトのデータの読み出し又は書き込みを同時に行うことが可能である。同時に読み出し又は書き込みが行われるこれらの532バイトのデータは、論理ページを形成する。したがって、この例では、1ブロックは、少なくとも8ページを記憶することが可能である。各メモリセルが2ビットのデータを記憶する場合（たとえばマルチレベルセルの場合）、1ブロックは16ページを記憶する。

#### 【 0 0 3 3 】

たとえば、図5を参照すると、読み出し動作および確認動作においては、トランジスタがパルスゲートとして動作するように、選択ゲート（SGDおよびSGS）と選択されていないワード線（たとえば、WL0, WL1, WL3）は、読み出しバス電圧（たとえば4.5ボルト）まで引き上げられる。選択されたワード線（たとえばWL2）は、当該メモリセルの閾電圧がそのレベルに達しているのか否かを判定するために、読み出し動作とベリファイ動作のそれぞれについて、指定されるレベルの電圧に接続される。たとえば、1ビットメモリセルの読み出し動作では、選択されたワード線WL2が接地され、それによって、閾電圧が0Vより高いのか否かが検出される。1ビットメモリセルのベリファイ動作では、選択されたワード線WL2は、たとえば2.4Vに接続され、それによって閾電圧が2.4V又は別の閾値レベルに達しているのか否かがベリファイされる。ソースおよびpウェル（たとえば図7のpウェル140）は0ボルトである。選択されたビット線（BLE）は、たとえば0.7Vのレベルまでプレチャージされる。閾電圧が読み出しレベルまたはベリファイレベルより大きい場合、当該ビット線（BLE）の電位レベルは、非導電性のメモリセルであることから、高いレベルを維持する。一方、閾電圧が読み出しレベルまたはベリファイレベルより小さい場合、当該ビット線（BLE）の電位レベルは、導電性のメモリセル（たとえばメモリセル303）であることから、低いレベル（たとえば0.5V未満）まで下がる。メモリセルの状態は、ビット線に接続されたセンス増幅器によって検出される。メモリセルが消去されているか書き込まれているかの違いは、浮遊ゲートに負電荷が蓄えられているか否かに依存する。たとえば、浮遊ゲートに負電荷が蓄えられていれば、閾電圧が高くなり、トランジスタがエンハンスメントモードに入ることが可能である。

30

40

#### 【 0 0 3 4 】

一実施形態では、メモリセルの消去は、pウェルを消去電圧（たとえば20ボルト）まで引き上げ、選択されたブロックのソース線およびビット線を浮遊させたまま、ワード線

50

を接地することによって行われる。選択されていないワード線、ビット線、選択線、およびソースも、容量結合によって、高い正電位（たとえば、20V）まで引き上げられる。したがって、選択されたブロックのメモリセルのトンネル酸化層に強い電界が印加され、浮遊ゲートの電子が基板に放射される際に、選択されたメモリセルのデータが消去される。浮遊ゲートからpウェル領域に十分な電子が移動すると、選択されたセルの閾電圧が負になる。消去は、メモリアレイ全体、個々のブロック、または別の単位のセルに対して実施することが可能である。

#### 【0035】

前述の消去、読み出し、およびベリファイの各動作は、当該技術分野では周知である技術に従って実施される。したがって、説明した詳細の多くは、当業者による変更が可能である。

10

#### 【0036】

ユーザ操作の間に、メモリセルのブロックに対して、消去動作後に消去ベリフィケーション動作が行われるのが一般的である。消去ベリフィケーション動作が行われるのは、選択されたすべてのセルが消去パルスによって正常に消去されたことを保証するためである。メモリセルのストリングが十分に消去されているのか否かを判定するために、通常は、ストリングの単一方向のコンダクションをテストする。たとえば、単一方向のコンダクションのテストは、NANDストリングのすべてのセルが消去されていれば、それらをバイアスして導通させた状態で、NANDストリングのビット線が所定レベルまでチャージされているのか否かを判定することによって行われる。この場合、デバイスの性能を望ましくないレベルまで低下させることなく、多数のセルを素早くテストすることが可能である。

20

#### 【0037】

たとえば、メモリセルのストリングに消去電圧を印加した後に、図6の列380に示したような消去ベリフィケーション条件をストリングに適用し、ストリングが十分に消去されているのか否かを判定することが可能である。ベリフィケーション動作に失敗したストリングまたはブロックには消去電圧を再印加し、その後に記憶素子を再度確認し、それらが正常に消去されているのか否かを判定する。個々のメモリセル、ストリング、またはブロックが所定回数の消去ベリフィケーション動作に失敗した場合は、それらに欠陥があると判定することが可能である。

30

#### 【0038】

図6の列380は、図2に示したストリングのようなNANDストリングに消去電圧を印加した後に、その選択されたストリングが消去されていることをベリファイするために用いることが可能な消去ベリフィケーションバイアス条件を例示している。本開示のほとんどは4個のセルNANDストリングに関する説明であるが、本明細書に示す原理および実施形態は、ストリング内の記憶素子が何個であっても用いることが可能であることが理解されよう。さらに、図6に示した実際の電圧は、個々の実施態様の必要および特性に応じて変えることが可能である。

#### 【0039】

図2では、選択ゲート120および122のそれぞれをターンオンにするために、それらに読み出し電圧5Vが印加される。選択ゲートに印加される各電圧は、トランジスタをターンオンするのに十分な電圧でありさえすれば、等しくなくてもよい。ストリングのビット線（たとえばビット線126）は接地され、ソース（たとえばソース線128）はV<sub>dd</sub>（たとえば2.7V）まで引き上げられる。ストリング内の各メモリセルの制御ゲートは、接地されるか、消去されたメモリセルをターンオンするのに十分な別の電圧が供給される。各セルが0ボルト（または別の印加されたゲート電圧）より小さい閾電圧まで十分に消去されていれば、ストリングは導通し、ビット線はチャージされ始めるはずである。ある所定時間（たとえば9.2マイクロ秒）が経過した後にビット線がV<sub>sense</sub>（たとえば1.5V）を超えてチャージされていれば、そのストリングは十分に消去されていると判定される。ビット線がV<sub>sense</sub>までチャージされていない場合は、消去パ

40

50

ルスを再印加し、ベリファイ動作を繰り返すことが可能である。ストリングを消去するために所定回数の試行が既になされている場合は、そのストリングに欠陥がある、又は、そのストリングが使用不能であると判定することが可能である。

#### 【 0 0 4 0 】

そのようなベリフィケーション動作は、消去のベリフィケーション、及び、何らかの欠陥があるストリング又はセクタの検出には有用である。しかしながら、そのようなベリフィケーション動作では、すべての欠陥を検出すること、及び、ストリングが正常に消去されていることを完全にベリファイすることができない。

#### 【 0 0 4 1 】

図7は、図1および図2に示したNANDストリングの断面図である。消去ベリフィケーション動作時には、図6に示したバイアス条件の下で、セルが十分に消去されていれば、矢印402に示すように、ストリングのソース側からドレイン側に流れる電流が誘導される。しかしながら、そのようなベリフィケーション動作では、選択ゲート120のようなトランジスタの中の特定の欠陥がマスクされるために、検出されないままになる可能性がある。

#### 【 0 0 4 2 】

ゲート120, 122等の選択ゲートは、トランジスタの様々なブレイクダウンにより、動作中に欠陥が発生する可能性がある。たとえば、ゲート120については、図7に示したように、ゲートとチャンネルの間の酸化層の中でトラップされた電荷が原因で選択ゲートトランジスタが破損する可能性がある。図7は、選択ゲート120の制御ゲートとN+拡散層138との間の領域406において電荷がトラップされている様子を示している。書き込み動作および消去動作が繰り返されると、電荷が酸化層内でトラップされるようになる可能性がある。トラップされた電荷は、たとえば、トランジスタのブレイクダウンや、選択ゲート120の閾電圧の明らかな上昇を引き起こす可能性がある。その後の読み出し動作において、制御ゲートから見て上昇した閾電圧によって、その選択ゲートによって制御されるストリングの1つまたは複数のメモリセルの状態の読み出しが正常に行われない可能性がある。

#### 【 0 0 4 3 】

消去ベリフィケーション動作の間には、ストリング内の各トランジスタが導通しており、これによって、選択ゲート120または122の左側が、実質的にソース側の電圧レベル（たとえばV<sub>dd</sub>又は2.7V）になる。選択ゲート120又は122のソース側におけるこの正電圧は、酸化層内でトラップされたどのような電荷もマスクするのに十分である可能性がある。トラップされた電荷がソース側電圧によってマスクされていれば、トランジスタは、印加されたゲート電圧の下で導通することが可能である。ストリングのソース側の電位を高くすると、チャンネルを流れる電流（矢印402で示される）が誘導され、ビット線がチャージ可能になり、ストリングが消去ベリフィケーション動作をパスする。

#### 【 0 0 4 4 】

しかしながら、その後のストリング内の1つまたは複数のセルの読み出し動作では、トラップされた電荷をマスクすることができず、トランジスタが正常に機能しない可能性がある。たとえば、ストリングが欠陥のゲートからディスチャージすることができないために、消去されているメモリセルが、書き込まれていると読まれる可能性がある。図6の列384は、個々のセルの消去状態を読み出すために用いることが可能なバイアス条件を例示している。各選択ゲートをターンオンするために、そのゲートにV<sub>cc</sub>+V<sub>t</sub>（たとえば4.1V）が印加される。選択されていない各セルがターンオンすることを保証するために、選択されていない各ワード線にV<sub>read</sub>（5.0V）が印加され、読み出しのために選択されたセルのワード線は、接地されるか、消去された記憶素子をターンオンするのに十分な別の電圧が供給される。ビット線が0.7Vまでプレチャージされ、一定時間（たとえば6.7マイクロ秒）が経過した後に、ビット線の充電がセンスされる。ビット線がV<sub>sense</sub>（たとえば0.45V）を下回るまでディスチャージすれば、選択されたセルが、印加された電圧の下でターンオンしていると判定され、消去状態にあるこ

10

20

30

40

50

とがベリファイされる。選択時間の間にビット線が指定のレベルまでディスチャージすることによって、ゲートに0Vを印加されたセルがオンしている場合は、選択されたセルの閾電圧が0Vを下回っていなければならない。したがって、そのセルは、消去されていることが確認される。

#### 【0045】

しかしながら、選択ゲート120又は122のトラップされた電荷は、読み出し動作のために適用されたバイアス条件の下で、ビット線が正常にディスチャージしない事象を引き起こす可能性がある。たとえば、選択ゲート120は、その制御ゲートに4.7Vが印加されても、トラップされた電荷が選択ゲートの閾電圧を引き上げているためにオンにならない可能性がある。読み出しバイアス条件の下では、選択ゲート120の左側が0Vになり、ドレイン側がV<sub>dd</sub>になる。これらの条件の下では、トラップされた電荷をマスクする電圧が選択ゲートにないため、正常に動作しているトランジスタをオンにするように意図された条件の下でもゲートがオンにならない可能性がある。したがって、ストリングの1つまたは複数の消去されたメモリセルが、書き込まれているとミスリードされる可能性がある。

10

#### 【0046】

一実施形態によれば、ストリングが消去されて正常に機能していることをより包括的に判定するために、消去ベリフィケーション動作の後に（または消去ベリフィケーション動作の一部として）追加の動作を実施する。この追加の動作では、初期消去ベリフィケーション動作においてテストされた方向と反対方向について、ストリング内の導通または電流をテストすることが可能である。このようにして、消去ベリフィケーション動作時にはマスクされていて欠陥を有するトランジスタを、反対方向の導通をテストすることによって検出することが可能である。NANDストリングは、消去導通テストをパスし、かつ、消去状態にあると読み込まれた場合にのみ、消去されていることがベリファイされる。

20

#### 【0047】

図6の列382は、ストリングの導通をテストするために実施可能な一実施形態に従って、ストリングの消去状態を読み出すための一連のバイアス条件を示している。選択ゲート120および122をオンにするために、電圧V<sub>cc</sub>+V<sub>t</sub>（たとえば、4.1V）が印加される。選択ゲートに印加される各電圧は、トランジスタをオンにするのに十分な電圧でありさえすれば、等しくなくてもよい。各記憶素子のワード線に確認電圧が印加される（確認電圧は消去されたメモリセルをオンにするのに十分な電圧（たとえば、0V）であればよい）。NANDストリングの各記憶素子のワード線に0Vを印加することによって、各記憶素子の消去状態が同時に読み出される。言い換えると、NANDストリング全体の消去状態の読み出しは、1回の動作で行われる。たとえば、ビット線は0.7Vのレベルまでプレチャージされ、ソース線は接地される。このようにバイアス条件を適用すると、各セルが消去されていて選択ゲートが正常に機能していれば、NANDストリングのチャンネル内に、矢印404（図7）の方向の電流が誘導される。ビット線が0.7Vまでプレチャージされて一定時間が経過した後に、ビット線の電圧がセンスされる。一定時間（たとえば6.7マイクロ秒）が経過した後にビット線がV<sub>sense</sub>（たとえば、0.45V）を下回るまで放電していれば、ストリングは、消去状態にあると読み込まれる。しかしながら、ビット線が指定時間内に放電しない場合、ストリングは、書き込まれていると読まれる。各メモリセルが十分に低い閾電圧まで正常に消去されていても、ビット線は放電しない場合がある。たとえば、選択ゲート120または122に欠陥があれば、これらは、適用されたバイアス条件の下ではオンにならない可能性がある。したがって、ドレインからソースに流れる電流がブロックされ、ストリングは放電しない。

30

40

#### 【0048】

上述したように、ストリングが消去されているのか否かを判定する追加のベリフィケーションが実施される。消去ベリフィケーション動作時にチェックした方向と逆の方向の電流をチェックすることにより、消去状態のベリファイならびに欠陥セルの検出をより包括的に達成することが可能である。初期消去ベリフィケーション時にマスクされていた可能

50

性のある欠陥を検出することが可能になり、それによって、より確実な消去ベリフィケーションが行われ、メモリの欠陥部分を除外することが可能である。

【 0 0 4 9 】

図 8 は、ユーザ操作の間に包括的な消去ベリフィケーションを実施する方法の一実施形態のフローチャートである。ステップ 5 6 0 では、コントローラ 3 1 8 は、メモリセルのブロックまたは他の単位の消去または書き込みに関するユーザの要求を受け取る。この要求は、メモリシステムに接続されている任意の数のホスト機器から出力されることが可能である。少なくとも 1 つのセクタ又はセクタの区画を指定するアドレスデータは、コントローラ 3 1 8 からデータ入出力バッファ 3 1 2 に入力されることが可能であり、データ入出力バッファ 3 1 2 ではアドレスデータが状態機械 3 1 6 によって認識およびラッチされる。コントローラ 3 1 8、状態機械 3 1 6、および各種制御回路は、要求に対応する物理セクタをデコードおよび選択する。ステップ 5 6 2 では、選択された 1 つまたは複数のメモリブロックが消去される。一実施形態では、ステップ 5 6 2 の拡大ボックスで示した方法に従ってブロックが消去される。図示したステップにより、1 つまたは複数のブロックの 1 つまたは複数のストリングを消去することが可能である。たとえば、一実施形態では、図示したステップに従って、ブロックを構成する複数のストリングが並列的に同時に消去される。

【 0 0 5 0 】

ステップ 5 0 2 では、1 つまたは複数のセクタに消去電圧パルスを印加する。各種実施形態に従って、任意の数のメモリセル消去手段を用いることが可能である。ステップ 5 0 4 4 では、図 6 の列 3 8 0 に従って、記憶素子のストリングの消去状態をベリファイする。ステップ 5 0 4 では、ストリング内のすべての消去されたメモリセルをターンオンする条件の下で、ストリングの第 1 方向の導通を確認する。ステップ 5 0 6 では、消去ベリファイのステータスを判定する。ストリングに最低限の導通がない場合（たとえば適用された条件の下でビット線が十分に充電されていなかった場合）はステップ 5 0 8 に移る。ステップ 5 0 8 では、ベリファイ回数をベリファイ試行の閾値回数（たとえば 2 0 ）と比較する。ベリファイ回数が閾値に満たない場合はステップ 5 0 2 に移る。ステップ 5 0 2 では、選択されたセクタに消去パルスまたは消去電圧を再度印加する。ベリファイ回数が閾値を超えている場合は、ストリングおよび/またはブロックが十分に消去されていないと判定し、ステップ 5 1 0 において、初期ベリフィケーションの失敗のステータスをレポートする。ステップ 5 0 6 において消去ベリフィケーションをパスしたと判定された場合はステップ 5 1 4 に移る。ステップ 5 1 4 では、図 6 の列 3 8 2 に従って消去状態読み出し動作をストリングに対して実行する。一実施形態では、ステップ 5 1 4 でのストリングの消去状態の読み出しは、ステップ 5 0 4 でのテストと反対の方向について、ストリング内の導通または電流をテストすることを含む。一実施形態のステップ 5 1 4 では、ストリング内の各メモリセルの消去状態の読み出しが同時に行われる（すなわち NAND ストリング全体の消去状態の読み出しが 1 回の動作で行われる）。ステップ 5 1 6 では、消去状態読み出し動作のステータスを判定する。ストリングが消去されていると読み出されなかった場合は、ステップ 5 1 0 において消去動作の失敗のステータスをレポートする。ストリングが消去されていると読み出された場合は、ステップ 5 1 8 においてパスのステータスを

【 0 0 5 1 】

セルのブロックの 1 つまたは複数のストリングについて消去ベリフィケーション動作および消去状態読み出し動作を実行した後に、ステップ 5 6 4 において消去動作のステータスを判定する。（ステップ 5 1 8 で示されるように）消去ベリフィケーション動作でストリングが消去されているとベリファイされ、かつ、消去状態読み出し動作でストリングが消去されていると読み出された場合は、消去動作が成功したと判定し、消去動作のパスのステータスをレポートする。ステップ 5 6 6 では、消去動作の成功にตอบสนองしてストリングまたはブロックを書き込み可能にする。一方において、（ステップ 5 1 0 で示されるように）消去ベリフィケーション動作でストリングが消去されていると確認できない場合、又

10

20

30

40

50

は、消去ベリフィケーション動作でストリングが消去されていると確認され、かつ、消去状態読み出し動作でストリングの少なくとも1つの素子が書き込まれていると読み出された場合は、消去動作が失敗したと判定する。ステップ568では、ストリングに欠陥があると判定する。ステップ570では、欠陥があるストリングを吸収する手法を実施することが可能である。たとえば、欠陥のあるストリングをブロック内の代替ストリングにマッピングすることや、そのブロック全体を使用しないようにマッピングすることが可能である。

#### 【0052】

欠陥のあるセル、ストリング、またはブロックを処理するために、各種の実施形態の様々な方法を用いることが可能である。たとえば、個々のメモリセル、ストリング、またはブロックを、代替使用のために確保された代替のセル、ストリング、またはブロックにマッピングすることが可能である。多くの実施形態では、欠陥マッピングに用いるためにセクタの末尾に代替のセルまたはストリングが用意される。個々のメモリセルをマッピングする手法を含む様々な欠陥マッピング方式が、米国特許第6684345号(件名「Flash EEPROM System」)に詳細に記載されている。この内容の全体は、本明細書に組み込まれる。

#### 【0053】

図9は、図8のステップ504~506を実施するための一実施形態によるフローチャートである。ステップ502においてセルのグループの消去を試行した後、ステップ530において一連の消去ベリフィケーションバイアス条件をストリングに適用する。一実施形態では、消去ベリフィケーションバイアス条件は、おおむね図6の例380に示したとおりである。これらのバイアス条件を用い、ストリングのすべての消去されたセルをターンオンするのに十分な条件の下で、ストリング内の第1方向の電流または導通が正常か否かをテストする。ステップ532は、ビット線電圧をセンスするまでの一定時間( $t$ )のディレイを示す。この時間は、実施形態によって異なるが、適用される条件の下でストリングが導通することを示すレベルまでビット線が充電されるのに十分な時間に設定される。所定の時間( $t$ )だけ待機した後、ステップ534において、電圧を判定する任意の数の手段を用いて、ビット線電圧をセンスする。

#### 【0054】

ステップ536では、センスされたビット線電圧を基準電圧レベル(たとえばV<sub>sense</sub>)と比較する。ビット線が閾値レベルを超えて充電されている場合は、ステップ538において消去ベリフィケーションプロセスのパスのステータスをレポートする。一定時間の間にビット線が基準電圧を超えて充電されない場合は、ステップ540において失敗のステータスをレポートする。ステップ538および540からは、図8のステップ514またはステップ508に移る。説明している各電圧は例示的であって、与えられた実施形態においては修正が可能であることに留意するべきである。たとえば、異なる時間における別のレベルの充電をテストするために、V<sub>sense</sub>および( $t$ )の値を修正することが可能である。V<sub>sense</sub>を大きくした場合は、ビット線電圧をセンスするまでの時間を、対応する分だけ長くすることが可能である。ビット線は、適用されたバイアス条件の下で充電されるまである程度の時間を要するので、選択された電圧レベルにビット線が到達していなければならない時間に対応するように、ビット線電圧をセンスするまでの時間を選択しなければならない。このようにして、選択されたバイアス条件の下でのストリングの正常な動作をベリファイすることが可能である。

#### 【0055】

図10は、図8のステップ514~516を実施するための一実施形態のフローチャートである。ステップ506においてストリングの消去の成功をベリファイした後に、ストリングの少なくとも1つの記憶素子の消去状態を読み出す一連のバイアス条件をストリングに適用する。一実施形態では、図6の列382に示された消去状態読み出しバイアス条件によっておおむね示されるとおりの条件を用いて、各記憶素子の消去状態を同時に読み出す(NANDストリング全体の読み出しを1回の動作で行う)。消去された記憶素子を

10

20

30

40

50

ターンオンにするのに十分なベリフィケーション電圧（たとえば0 V）をストリングの各素子のワード線に印加し、ストリング全体の消去状態を読み出すことが可能である。消去状態読み出し動作の一環として適用されたバイアス条件は、ストリング内の第2方向の電流または導通が正常か否かをテストする。ステップ552は、ビット線電圧をセンスするまでの一定時間（ $t$ ）のディレイを示す。この時間は、実施形態によって異なる場合があるが、消去ベリフィケーション動作の場合と同様に、適用される条件の下でストリングが導通および正常動作することを示すレベルまでビット線が放電するのに十分な時間に設定される。一実施形態では、たとえば、この時間は6.7マイクロ秒である。

**【0056】**

時間（ $t$ ）だけ待機した後に、ステップ554においてビット線電圧をセンスする。ステップ556では、センスされたビット線電圧を閾値電圧 $V_{sense}$ （たとえば0.45 V）と比較する。一定時間（ $t$ ）が経過した後にビット線が $V_{sense}$ を下回るまで放電していれば、ステップ558において、消去状態読み出し動作の消去されているステータスをレポートする。一定時間（ $t$ ）が経過した後にビット線が $V_{sense}$ を下回るまで放電していなければ、ステップ560において、消去状態読み出し動作の書き込まれているステータスをレポートする。ステップ558および560から、ステップ518または510に移る。

**【0057】**

図8～10の方法によれば、不揮発性メモリの包括的な消去ベリフィケーションを達成することが可能である。メモリセルのストリング内の2方向の導通をテストすることによって、ストリングが十分に消去されていることをより完全にベリファイすることが可能である。さらに、通常の消去ベリフィケーション動作においてブレイクダウンがマスクされる可能性のあるストリングの欠陥素子を検出することが可能である。たとえば、通常の消去ベリフィケーション動作では破損状態がマスクされる欠陥のある選択ゲートを検出することが可能である。消去ベリフィケーション動作をパスしても、その後少なくとも1つのセルが書き込まれていると読まれるストリングを、ストリング内に少なくとも1つの欠陥素子があると判定することが可能である。ストリング、ストリングの列、またはストリングのブロックは、検出された欠陥を吸収するために、メモリ内の代替場所にマッピングされることが可能である。

**【0058】**

各種実施形態では、消去シーケンス中の1つまたは複数のステップにおいて、消去状態読み出し動作を消去ベリフィケーション動作と組み合わせることが可能である。たとえば、不揮発性記憶素子を動作させる多くのマルチステート手法では、消去されたメモリセルは、選択されたターゲット物理状態に書き込まれる前に、ソフト書き込み動作を受ける。一実施形態に従ってフラッシュメモリセルが消去される場合、消去されたすべてのセルが負の閾電圧のあらかじめ設定された範囲の負の閾電圧を有することがゴールである。しかしながら、実際には、消去プロセスの結果、いくつかのセルが、あらかじめ設定された範囲を下回る負の閾電圧を有する場合がある。閾電圧が低すぎるメモリセルは、その後、書き込みが正常に行われられない可能性がある。したがって、デバイスによっては、いわゆるソフト書き込みを実施する場合がある。すなわち、あらかじめ定義された範囲内で閾電圧の値が著しく低いメモリセルに対して少量の書き込みを行い、閾電圧をあらかじめ設定された範囲内まで引き上げる。ソフト書き込み後にメモリセルを再度テストし、ソフト書き込み動作の結果として、メモリセルがあらかじめ設定された消去範囲にあるのか否かを判定する。

**【0059】**

そのようなソフト書き込み手法を利用する実施形態では、たとえば、セルを適切にテストするのは、1回の消去状態読み出し動作で十分である。消去状態読み出し動作を実施できるのは、最初の消去ベリフィケーション動作が成功した後（すなわちソフト書き込みの前）だけである。消去ベリフィケーション動作は、セルを含むストリング内の第1方向の導通を確認する。消去状態読み出し動作は、反対方向のストリングの導通、即ち、正常な

10

20

30

40

50

動作状態を確認する。1回の消去状態読み出し動作で正常動作がベリファイされるので、ソフト書き込み後の消去ベリフィケーション動作の後に第2の消去状態読み出し動作を実施する必要はない。別の実施形態では、ソフト書き込みの前ではなく後に消去状態読み出し動作を実施することが可能である。さらに別の実施形態では、消去状態読み出し動作を前と後の両方で実施することが可能である。

#### 【0060】

本開示の大部分は、メモリデバイスのユーザ操作時の消去ベリフィケーションおよび欠陥検出を対象としてきたが、その原理および手法を製造時にも用いることによって、一層包括的な消去ベリフィケーションおよび欠陥検出を実現することが可能である。前述のように、製造時のテストプロセスは、通常、デバイスの各ビットまたは各メモリセルを読み出すことを含む。メモリセルのレイにランダムパターンを書き込んだ後に各セルを読み出すことが可能である。セルから読み出された状態と、書き込まれた状態とが一致しない場合は、そのセルに欠陥があると判断することが可能である。さらに、レイを消去した後に各セルを読み出すことが可能である。セルが、消去後に、書き込まれていると読み出された場合は、欠陥があると判定することが可能である。一実施形態では、製造時にテストを行うために、テストピンを用いてメモリデバイスのコントローラをバイパスする。

#### 【0061】

テストプロセス時に各セルを読み出す処理には時間がかかる。一実施形態によれば、製造プロセス時に、図6の列382に示したバイアス条件を用いて、ストリングの消去状態を読み出す。レイのストリングの消去状態を読み出すことは、レイの各セルを個別に読み出すこれまでのプロセスに取って代わることが可能である。たとえば、テストプロセス時にセルレイを消去した後に、列382のバイアス条件の下で個々のストリングの消去状態を読み出す（すなわちストリングの各セルの消去状態を同時に読み出す）。書き込まれていると読み出されたストリングを、欠陥があると判定することが可能である。個々のセル単位ではなくストリング単位で読み出しを行うと、消去状態読み出しにかかる時間を大幅に短縮することが可能である。実際、各セルを個別に読み出す場合に必要な時間をストリングのセル数で割った時間まで短縮することが可能である。

#### 【0062】

一実施形態では、レイのストリングの消去状態を読み出すことが、テストプロセス時の消去ベリフィケーションに組み込まれる。たとえば、列380のバイアス条件だけを用いてレイの消去をベリファイするのではなく、列382のバイアス条件の下で追加のベリフィケーションステップを実施することができる。レイの個々のストリングは、列380のバイアス条件の下では消去ベリフィケーションをパスした場合に消去されているとベリファイされるだけであり、列382の条件の下で消去状態にあると読み出される。消去ベリフィケーション時にストリングの消去状態が読み出されている場合は、消去ベリフィケーション時に各セルが既にテストされているので、各セルの消去状態の個別読み出しをバイパスすることが可能である。

#### 【0063】

本開示の大部分は、制御ゲートに特定の電圧を印加し、メモリセルがオンになるかオフになるかを判定することによってベリフィケーションプロセスが実施されるという前提で説明されている。しかしながら、メモリセルの状態を判定するために本発明の趣旨の範囲内で用いることが可能な、メモリセルのベリフィケーション（および読み出し）を行う他の手段、ならびに他のベリフィケーションパラメータも存在する。たとえば、特定の読み出し条件の下で記憶ユニットの電流を一連の基準電流と比較する電流センスシステムを用いることが可能である。別の実施形態では、記憶ユニットの状態を、いくつかの異なるパラメータを用いて判定することが可能である。たとえば、セルに蓄えられた電荷のレベルの判定を電流センスによって実施することが可能であり、この場合、一定のバイアス条件を用いてセルの導通の程度がセンスされる。また、そのような判定を閾電圧をセンスすることによって行うことが可能であり、この場合、様々なステアリングゲートバイアス条件を用いてそのような導通の開始がセンスされる。また、セルの充電レベルで決定されるド

10

20

30

40

50

ライバ強度を用いて、（たとえばプリチャージされたコンデンサによって）動的に保持されるセンスノードの放電率を制御することによって、判定を動的に実施することが可能である。所定の放電レベルに達するまでの時間をセンスすることによって、蓄えられた電荷のレベルが判定される。この場合、セルの状態を表すパラメータは時間である。この方式は、米国特許第6222762号に記載されている。この内容の全体は、本明細書に組み込まれる。別の手法では、周波数をパラメータとして用いて記憶ユニットの状態を判定する。これについては、米国特許第6044019号に記載されている。この内容の全体は、本明細書に組み込まれる。電流センス方式については、米国特許第5172338号に、より詳細に記載されている。この内容の全体も本明細書に組み込まれる。

【0064】

ここまでの各例は、NAND型フラッシュメモリに関するものであった。しかしながら、本発明の原理は、現行の不揮発性メモリや、開発中の新技術を用いることが予想される不揮発性メモリを含む、他のタイプの不揮発性メモリにも適用することができる。

【0065】

本発明の実施形態のこれまでの記載は、例示および説明を目的としたものであり、網羅的であること、および本発明を開示された形態に限定することを意図するものではない。様々な修正および変形は、当業者にとって自明であろう。本発明の原理およびその実際的な応用を最も良く説明できるように実施形態を選択および記載したので、当業者であれば、本発明、各種実施形態、および想定される具体的な用途に適合する様々なモディフィケーションを達成することができる。本発明の範囲は、特許請求の範囲およびその等価物によって定義されるものとする。

【図面の簡単な説明】

【0066】

【図1】NANDストリングの平面図である。

【図2】図1に示したNANDストリングの等価回路図である。

【図3】3個のNANDストリングを示す回路図である。

【図4】本発明の各種態様を実装することが可能な不揮発性メモリシステムの一実施形態のブロック図である。

【図5】メモリアレイの構成を例示する。

【図6】各種実施形態に従って用いることが可能な各種バイアス条件の表である。

【図7】図1に示したようなNANDストリングの断面図である。

【図8】一実施形態に従ってユーザ操作時に記憶素子を消去する場合のフローチャートである。

【図9】一実施形態に従って消去ベリフィケーション動作を実施する場合のフローチャートである。

【図10】一実施形態に従ってメモリセル群の消去状態を読み出す場合のフローチャートである。

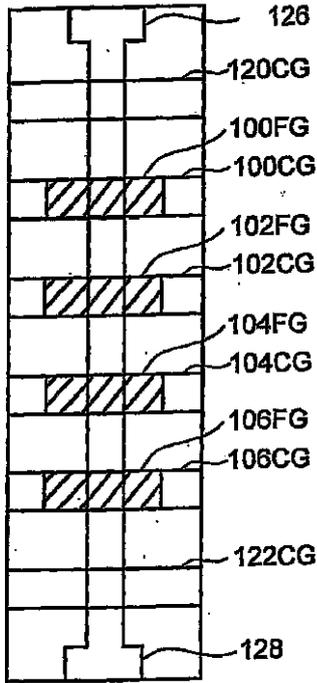
10

20

30

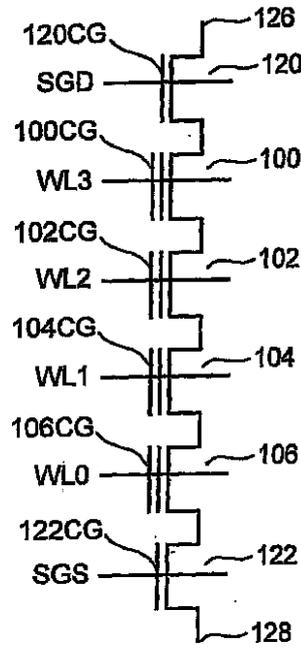
【図1】

Fig. 1



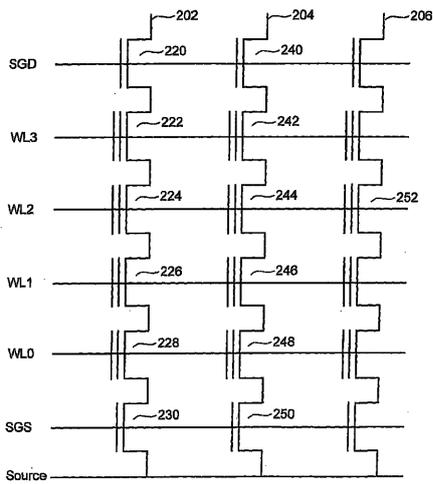
【図2】

Fig. 2

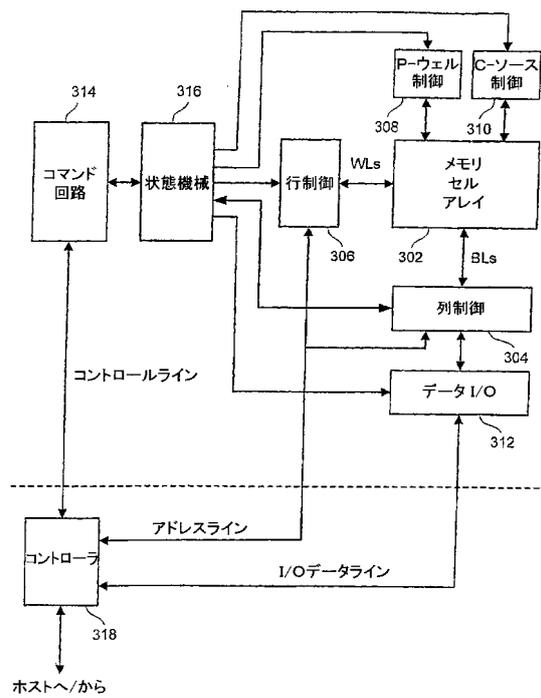


【図3】

Fig. 3



【図4】



【図5】

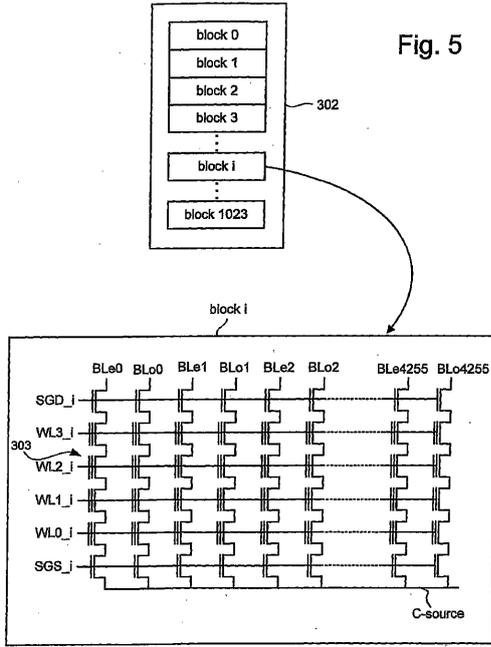


Fig. 5

【図6】

オペレーション	380 消去ベリファイ	382 消去状態の読み出し	384 読み出し
$V_{\text{bitline}}$	0V	0.7V	0.7V
$V_{\text{sgd}}$	$V_{\text{read}}$ (5.0V)	$V_{\text{cc}}+V_t$ (4.1V)	$V_{\text{cc}}+V_t$ (4.1V)
WL <sub>3</sub>	0V	$V_{\text{verify}}$	Vread (5.0V)
WL <sub>2</sub>	0V	$V_{\text{verify}}$	Vread (5.0V)
WL <sub>1</sub>	0V	$V_{\text{verify}}$	Vread (5.0V)
WL <sub>0</sub>	0V	$V_{\text{verify}}$	0V
$V_{\text{sgs}}$	$V_{\text{read}}$ (5.0V)	$V_{\text{cc}}+V_t$ (4.1V)	$V_{\text{cc}}+V_t$ (4.1V)
$V_{\text{source}}$	$V_{\text{dd}}$ (2.7V)	0V	0V
評価時間	9.2μsec	6.7μsec	6.7μsec
評価電圧	$V_{\text{sense}}$ (~1.5V)	$V_{\text{sense}}$ (~0.45V)	$V_{\text{sense}}$ (~0.45V)

【図7】

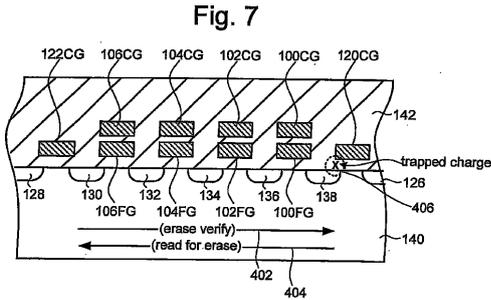
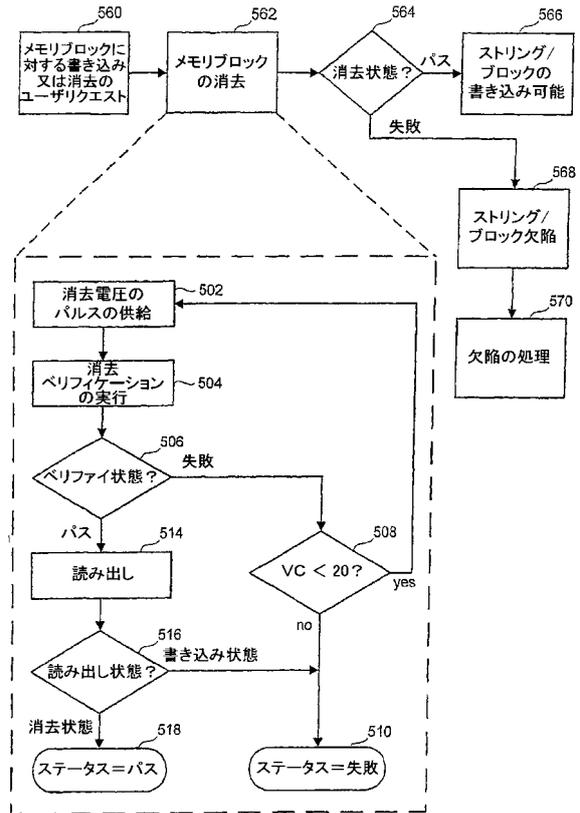
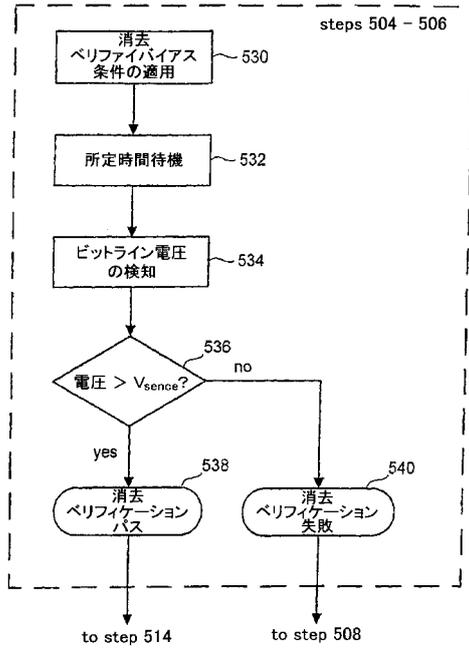


Fig. 7

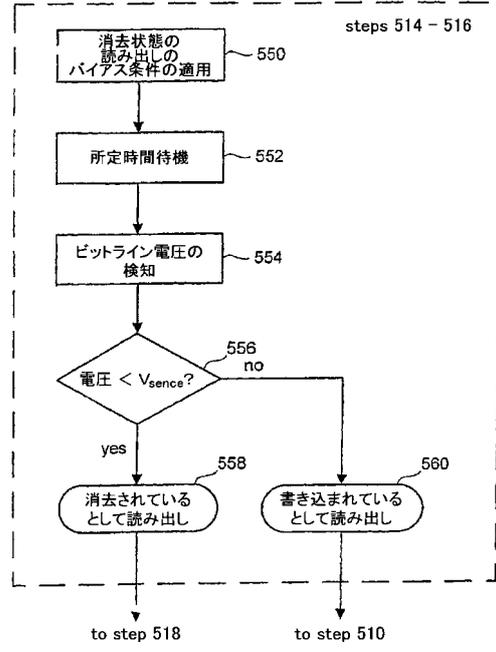
【図8】



【図9】



【図10】



---

フロントページの続き

- (72)発明者 ボンヌル、キラン  
アメリカ合衆国、94086、カリフォルニア州、サニーヴェール、ノース マシルド アベニュー  
220、ナンバー16
- (72)発明者 チェン、ジアン  
アメリカ合衆国、95129、カリフォルニア州、サンノゼ、キャッスル グレン アベニュー  
5476
- (72)発明者 ルツツェ、ジェフリー ダブリュー .  
アメリカ合衆国、95125、カリフォルニア州、サンノゼ、アデレ プレイス 1906
- (72)発明者 ワン、ジュン  
アメリカ合衆国、94086、カリフォルニア州、サニーヴェール、アスター アベニュー 10  
35、ナンバー2022

審査官 園田 康弘

- (56)参考文献 特開平06-124595(JP,A)  
特開2004-030897(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 16/02

G11C 16/04