



(12) 发明专利

(10) 授权公告号 CN 101866922 B

(45) 授权公告日 2015. 01. 07

(21) 申请号 201010172659. 7

CN 101283452 A, 2008. 10. 08,

(22) 申请日 2010. 05. 12

审查员 毕长栋

(73) 专利权人 上海华虹宏力半导体制造有限公司

地址 201203 上海市张江高科技园区祖冲之路 1399 号

(72) 发明人 胡剑

(74) 专利代理机构 上海思微知识产权代理事务所 (普通合伙) 31237

代理人 郑玮

(51) Int. Cl.

H01L 27/088 (2006. 01)

H01L 29/78 (2006. 01)

H01L 29/06 (2006. 01)

(56) 对比文件

US 2007/0159754 A1, 2007. 07. 12,

CN 1983588 A, 2007. 06. 20,

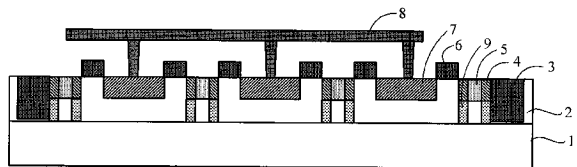
权利要求书1页 说明书4页 附图1页

(54) 发明名称

一种用于 ESD 保护电路的 GGNMOS 器件

(57) 摘要

本发明提供一种用于 ESD 保护的 GGNMOS 器件,包括:衬底,位于所述衬底上的 P 阱区,在所述 P 阱区中设有的若干漏极区,在所述 P 阱区表面、所述漏极区两侧设有的栅极区,在所述 P 阱区、所述栅极区的另一侧设有的源极区,在所述源极区之间设有的 P 型掺杂区,在所述源极区下方、紧挨所述源极区处设有的 N 阱区。所述用于 ESD 保护的 GGNMOS 器件既能解决非一致触发问题,又能解决泄漏通道中电阻降低、触发电压升高,静电电流不易泄漏的问题。



1. 一种用于 ESD 保护的 GGNMOS 器件,其特征在于,包括:衬底,位于所述衬底上的 P 阱区,在所述 P 阱区中设有的若干漏极区,在所述 P 阱区表面、所述漏极区的两侧设有的栅极区,在所述 P 阱区中、所述栅极区的另一侧设有的源极区,在所述源极区之间设有的 P 型掺杂区,在所述源极区的下方、紧挨所述源极区设有的 N 阱区;其中,所述漏极区与 ESD 输入端电性相连,所述源极区、所述栅极区和所述 P 型掺杂区接地。

2. 如权利要求 1 所述的用于 ESD 保护的 GGNMOS 器件,其特征在于,在所述 GGNMOS 器件边缘、所述 N 阱中还设有 STI 结构。

3. 如权利要求 1 所述的用于 ESD 保护的 GGNMOS 器件,其特征在于,所述 P 阱区的掺杂浓度为  $10^{12}/\text{cm}^2 \sim 10^{13}/\text{cm}^2$ 。

4. 如权利要求 1 所述的用于 ESD 保护的 GGNMOS 器件,其特征在于,所述 N 阱区的掺杂浓度为  $10^{12}/\text{cm}^2 \sim 10^{13}/\text{cm}^2$ 。

5. 如权利要求 1 所述的用于 ESD 保护的 GGNMOS 器件,其特征在于,所述 P 型掺杂区的浓度为  $10^{12}/\text{cm}^2 \sim 10^{13}/\text{cm}^2$ 。

6. 如权利要求 1 所述的用于 ESD 保护的 GGNMOS 器件,其特征在于,所述 N 阱区的深度等于所述源极区的深度。

7. 如权利要求 1 所述的用于 ESD 保护的 GGNMOS 器件,其特征在于,所述 N 阱区的宽度等于所述源极区的宽度。

8. 如权利要求 1 所述的用于 ESD 保护的 GGNMOS 器件,其特征在于,所述 P 阱区的深度等于所述 N 阱区与所述源极区深度之和。

## 一种用于 ESD 保护电路的 GGNMOS 器件

### 技术领域

[0001] 本发明涉及 ESD 保护电路,尤其涉及一种用于 ESD 保护电路的 GGNMOS 器件。

### 背景技术

[0002] 在集成电路 IC 芯片制造和最终应用系统中,随着超大规模集成电路工艺技术的不断提高,目前 CMOS 集成电路已经进入了超深亚微米阶段,MOS 器件的尺寸不断缩小,栅氧化层厚度越来越薄,其栅耐压能力显著下降,静电放电 (Electrostatic Discharge,ESD) 对集成电路的危害变得越来越显著。据统计,集成电路失效的产品中有 35%是由于 ESD 问题所引起的。因此,对集成电路进行 ESD 保护设计也变得尤为重要。

[0003] ESD 保护电路是为芯片电路提供静电电流的放电路径,以避免静电将内部电路击穿。由于静电一般来自外界,例如人体、机器等,因此 ESD 保护电路通常在芯片的压焊盘 (PAD) 的周围。输出压焊盘一般与驱动电路相连,即与大尺寸的 PMOS 和 NMOS 管的漏极区相连,因此这类器件本身可以用于 ESD 保护放电,一般情况下为了保险,输出端也加 ESD 保护电路;而输入压焊盘一般连接到 MOS 管的栅极区上,因此在芯片的输入端,必须加 ESD 保护电路。另外,在芯片的电源 (Udd) 和地 (Uss) 端口上也要加 ESD 保护电路,以保证 ESD 电流可以从 Udd 安全地释放到 Uss。

[0004] 当使用器件对集成电路进行 ESD 保护时,常用的器件为栅极区接地 NMOS 管 (GGNMOS)、GDPMOS (栅极区接 VDD 电源的 P 型 MOS 管) 和 SCR (可控硅) 等等。由于 GGNMOS 与集成电路 CMOS 工艺很好的兼容性,GGNMOS 得到了广泛的应用。

[0005] 图 1 为现有技术中一种用于 ESD 保护电路的 GGNMOS 器件,如图 1 所示,包括:衬底 1a,位于所述衬底上的 P 阱区 2a,在所述 P 阱区 2a 中设有的若干漏极区 7a,在所述漏极区 7a 的两侧以及所述 P 阱区 2a 的表面设有的栅极区 6a,在所述栅极区 6a 的另一侧以及所述 P 阱区 2a 中设有的源极区 4a,位于边缘的所述源极区 4a 外侧设有的 STI (浅沟槽隔离) 3a 以及位于 STI 外侧的 P 型掺杂区 5a。所述漏极区 7a 与 ESD 输入端 8a 电性相连,所述源极区 4a 和所述栅极区 6a 接地,所述 P 型掺杂区 5a 接地。所述漏极区 7a 与 ESD 输入端 8a 电性相连,所述源极区 4a、所述栅极区 6a 和所述 P 型掺杂区 5a 接地。

[0006] 当 ESD 来临时,电流通过 ESD 输入端 8a 流入所述漏极区 7a,所述电流通过所述 P 阱区 2a 流过所述 P 型掺杂区 5a,则此时在所述 P 阱区 2a 产生电压差,当电压差超过阈值电压时,就形成 NPN 三极管导通的状态 (所述源极区 4a 相当于发射极区,所述栅极区 6a 于基区,所述漏极区 7a 于集电极区),此时电流就从所述漏极区 7a 流入所述栅极区 6a,最后流过所述源极区 4a 流出,放走 ESD,这样避免了静电损坏电路。

[0007] 从图 1 中可以看到,这种 GGNMOS 结构采用多指条晶体管,其结构相当于多个单指条的 NMOS 并联在一起,增加了 ESD 保护的面积。然而,这种 GGNMOS 结构会引起非一致触发问题:位于中间的单指条 NMOS 的漏区距离所述 P 型掺杂区比周围的单指条 NMOS 的到所述 P 型掺杂区的距离大,中间的单指条 NMOS 的泄漏通道中的寄生电阻比周围的单指条 NMOS 的泄漏通道中的寄生电阻大,或者由于工艺不平整性或衬底电阻大小不一,导致当 ESD 应力

某个或某几个指条 NMOS 先导通,导致静电电流只能从该指条泄放,其他指条形同虚设;甚至 ESD 流过每个指条的电流不均匀,因而降低了多指条晶体管的 ESD 保护电路性能。甚至造成 ESD 保护的损坏。

[0008] 图 2 为现有技术中另一种用于 ESD 保护的 GGNMOS 器件,如图 2 所示,包括:衬底 1b,位于所述衬底上的 P 阱区 2b,在所述 P 阱区 2b 中设有的若干漏极区 7b,在所述漏极区 7b 的两侧以及所述 P 阱区 2b 的表面设有的栅极区 6b,在所述栅极区 6b 的另一侧以及所述 P 阱区 2b 中设有的源极区 4b,位于所述源极区之间的 P 型掺杂区 5b,以及位于边缘的所述源极区 4b 外侧设有的 STI(浅沟槽隔离)3b。所述漏极区与 ESD 输入端电性相连,所述源极区和所述栅极区接地,所述 P 型掺杂区 5b 接地。从图中可以看到,同样采用多指条晶体管结构,但这种 GGNMOS 结构 P 掺杂区插入所有源极区端之间,使每个单指条 NMOS 的泄漏通道的泄漏电阻相同,这种结构能够解决非一致触发问题,但是大大降低了在 P 阱区的泄漏通道的长度,减小了泄漏通道中的寄生电阻,进而降低了 P 阱区中的电压差值,则只有更大的静电流入时才能达到阈值电压,才能进而导通、泄漏掉静电,因此,这又造成触发电压的大大提高,静电电流不易泄漏的问题。

[0009] 综上所述,需要提供一种用于 ESD 保护的 GGNMOS 器件既能解决非一致触发问题,又能解决泄漏通道中电阻降低、触发电压升高的问题。

## 发明内容

[0010] 本发明要解决现有技术中用于 ESD 保护的 GGNMOS 器件的非一致触发问题,和解决泄漏通道中电阻降低、触发电压升高、静电电流不易泄漏的问题。

[0011] 为解决上述问题,本发明提供一种用于 ESD 保护的 GGNMOS 器件,包括:衬底,位于所述衬底上的 P 阱区,在所述 P 阱区中设有的若干漏极区,在所述漏极区的两侧以及所述 P 阱区的表面设有的栅极区,在所述栅极区的另一侧以及所述 P 阱区中设有的源极区,在所述源极区之间设有的 P 型掺杂区,在所述源极区的下方,紧挨所述源极区处设有的 N 阱区。

[0012] 进一步的,所述漏极区与 ESD 输入端电性相连,所述源极区、所述栅极区接地和所述 P 型掺杂区接地。

[0013] 进一步的,在所述 GGNMOS 器件边缘、所述 N 阱中还设有 STI 结构。

[0014] 进一步的,所述 P 阱区的掺杂浓度为  $10^{12}/\text{cm}^2 \sim 10^{13}/\text{cm}^2$ 。

[0015] 进一步的,所述 N 阱区的掺杂浓度为  $10^{12}/\text{cm}^2 \sim 10^{13}/\text{cm}^2$ 。

[0016] 进一步的,所述 P 型掺杂区的浓度为  $10^{12}/\text{cm}^2 \sim 10^{13}/\text{cm}^2$ 。

[0017] 优选的,所述 N 阱区的深度等于所述源极区的深度。

[0018] 优选的,所述 N 阱区的宽度等于所述源极区的宽度。

[0019] 进一步的,所述 P 阱区的深度等于所述 N 阱区与源极区深度之和。

[0020] 优选的,所述 P 型掺杂区的宽度为满足工艺要求的最小宽度。

## 附图说明

[0021] 图 1 为现有技术中一种用于 ESD 保护电路的 GGNMOS 器件。

[0022] 图 2 为现有技术中另一种用于 ESD 保护的 GGNMOS 器件。

[0023] 图 3 为本发明中的一种用于 ESD 保护的 GGNMOS 器件。

## 具体实施方式

[0024] 为使本发明的内容更加清楚易懂,以下结合说明书附图,对本发明新型的内容作进一步说明。当然本发明并不局限于该具体实施例,本领域内的普通及说人员所熟知的一般替换也涵盖在本发明的保护范围内。

[0025] 其次,本发明利用示意图进行了详细的表述,在详述本发明实例时,为了便于说明,示意图不依照一般比例局部放大,不应以此作为对本发明的限定。

[0026] 本发明的中心思想是,在所述源极区之间设置 P 型掺杂区可以解决一致性问题,同时在所述源极区的正下方,紧挨源极区的位置处设置 N 阱区,提高泄漏通道中的电阻,从而解决触发电压升高的问题。

[0027] 本发明提出一种用于 ESD 保护的 GGNMOS 器件,包括:衬底 1,位于所述衬底 1 上的 P 阱区 2,在所述 P 阱区 2 中设有的若干漏极区 7,在所述漏极区 7 的两侧以及所述 P 阱区 2 的表面设有的栅极区 6,在所述栅极区 6 的另一侧以及所述 P 阱区 2 中设有的源极区 4,在所述源极区 4 之间设有的 P 型掺杂区 5,在所述源极区 4 的下方,紧挨所述源极区 4 处设有的 N 阱区 9。

[0028] 进一步的,所述漏极区 7 与 ESD 输入端 8 电性相连,所述源极区 4、所述栅极区 6 接地和所述 P 型掺杂区 5 接地。

[0029] 在本实施例中,所述 P 阱区 1 为硼掺杂,掺杂浓度为  $10^{12}/\text{cm}^2 \sim 10^{13}/\text{cm}^2$ ;所述 N 阱区 9 为磷掺杂,掺杂浓度为  $10^{12}/\text{cm}^2 \sim 10^{13}/\text{cm}^2$ ,所述 P 型掺杂区 5 为硼掺杂,掺杂浓度为  $10^{12}/\text{cm}^2 \sim 10^{13}/\text{cm}^2$ 。采用上述掺杂浓度,符合工艺要求,能够有效提高泄漏通道的寄生电阻。

[0030] 优选的,所述 N 阱区 9 的深度等于所述源极区 4 的深度。

[0031] 优选的,所述 N 阱区 9 的宽度等于所述源极区 4 的宽度。

[0032] 进一步的,所述 P 阱区 1 的深度等于所述 N 阱区 9 与所述源极区 4 深度之和。

[0033] 优选的,所述 P 型掺杂区 5 的宽度为满足工艺要求的最小宽度。上述掺杂区的宽度和深度是在满足 GGNMOS 性能的情况下,便于工艺制造。

[0034] 进一步的。所述 GGNMOS 器件的有源极区的掺杂浓度,掺杂面积和掺杂厚度随工艺、器件要求改变,其他掺杂区都随器件要求改变,在实施例中不作限定。

[0035] 综上所述,当 ESD 来临时,电流通过 ESD 输入端 8 流入所述漏极区 7,所述电流通过所述 P 阱区 2 流过所述 P 型掺杂区 5,由于所述 P 阱区 2 中有寄生电阻,则流经电流在所述 P 阱区 2 中产生电压差,当电压差超过阈值电压时,就形成 NPN 三极管导通的状态(所述源极区 4 相当于发射极区,所述栅极区 6 于基区,所述漏极区 7 于集电极区),此时电流就从所述漏极区流入所述栅极区,最后流过所述源极区 4 流出,放走静电,这样避免了静电损坏电路。在本实用新型中,所述用于 ESD 保护的 GGNMOS 器件具有多指条 NMOS 结构,其结构就相当于多个单指条的 NMOS 并联在一起,在所述源极区 4 之间设置 P 型掺杂区 5,使每个单指条 NMOS 的泄漏通道长度相同,进而可以解决一致性问题;同时在所述源极区 4 的正下方,紧挨源极区 4 的位置处设置 N 阱区 9,使电流的泄漏从需要漏极区 7 绕过所述 N 阱区 9 流入到 P 型掺杂区 5,这样增加了泄漏通道的长度,提高泄漏通道的寄生电阻值,进而提高电压差值,从而相对较小静电即可使所述 GGNMOS 导通,排放静电,从而解决触发电压升高、

静电不易泄漏的问题。

[0036] 虽然本发明已以较佳实施例揭露如上,然其并非用以限定本发明,任何所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的保护范围当视权利要求书所界定者为准。

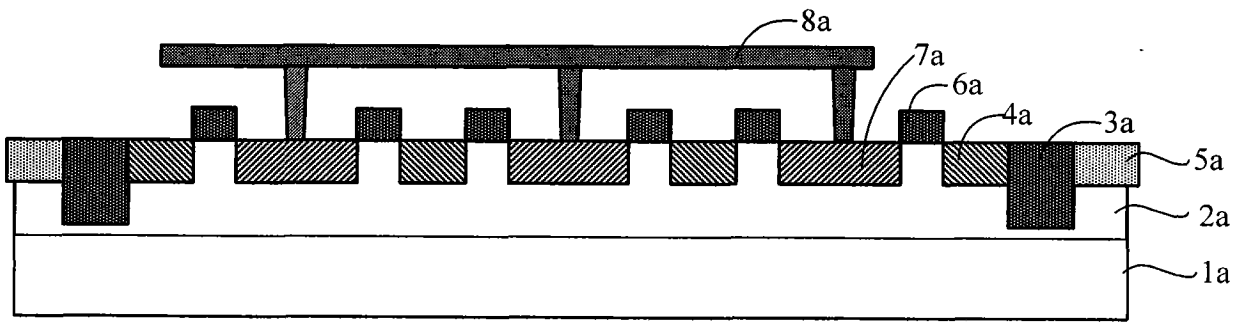


图 1

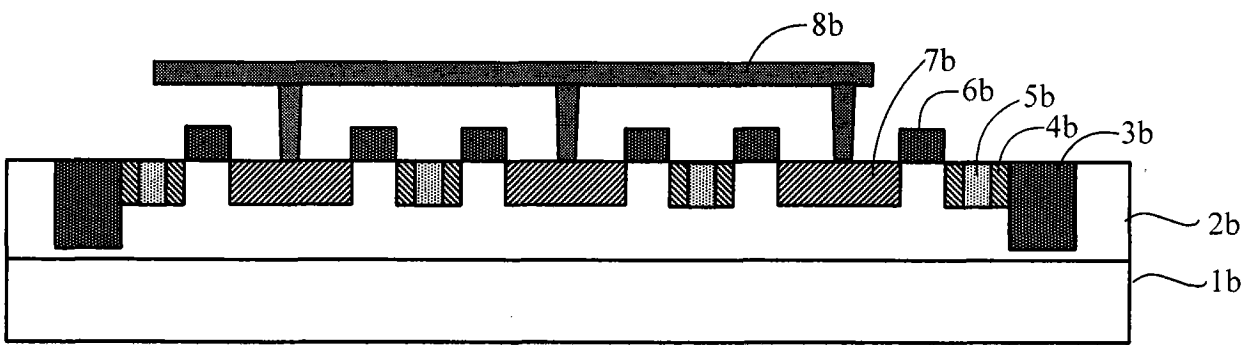


图 2

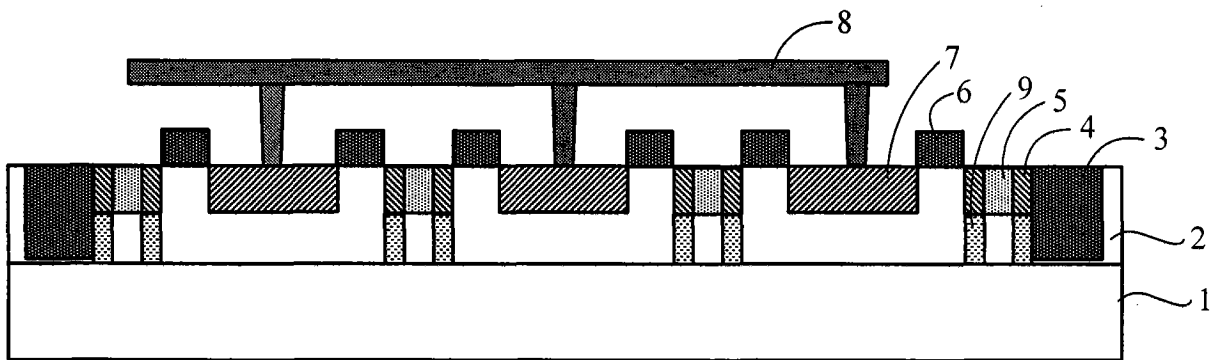


图 3