



(12)发明专利申请

(10)申请公布号 CN 113035698 A

(43)申请公布日 2021.06.25

(21)申请号 201911351590.1

H01L 29/423(2006.01)

(22)申请日 2019.12.24

(71)申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区中国(上海)自由贸易试验区张江路18号

申请人 中芯国际集成电路制造(北京)有限公司

(72)发明人 韩亮 王海英

(74)专利代理机构 上海德禾翰通律师事务所 31319

代理人 侯莉

(51)Int.Cl.

H01L 21/28(2006.01)

H01L 27/11524(2017.01)

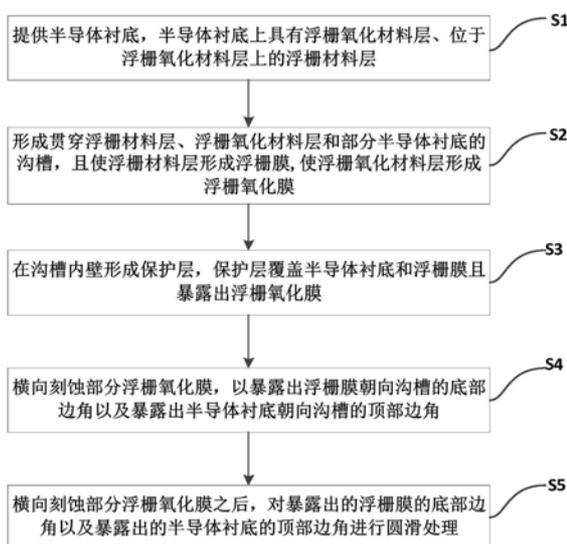
权利要求书2页 说明书7页 附图7页

(54)发明名称

一种NAND闪存的形成方法及NAND闪存

(57)摘要

本发明公开了一种NAND闪存的形成方法,包括提供半导体衬底,半导体衬底上具有浮栅氧化材料层、位于浮栅氧化材料层上的浮栅材料层;形成贯穿浮栅材料层、浮栅氧化材料层和部分半导体衬底的沟槽,且使浮栅材料层形成浮栅膜,使浮栅氧化材料层形成浮栅氧化膜;在沟槽内壁形成保护层,保护层覆盖半导体衬底和浮栅膜且暴露出浮栅氧化膜;横向刻蚀部分所述浮栅氧化膜,以暴露出浮栅膜朝向沟槽的底部边角以及暴露出半导体衬底朝向沟槽的顶部边角;横向刻蚀部分所述浮栅氧化膜之后,对暴露出的浮栅膜的底部边角以及暴露出的半导体衬底的顶部边角进行圆滑处理,以提高NAND闪存的性能。本发明还提供了一种性能更好的NAND闪存。



1. 一种NAND闪存的形成方法,其特征在于,包括:

提供半导体衬底,所述半导体衬底上具有浮栅氧化材料层、位于所述浮栅氧化材料层上的浮栅材料层;

形成贯穿所述浮栅材料层、所述浮栅氧化材料层和部分所述半导体衬底的沟槽,且使所述浮栅材料层形成浮栅膜,使所述浮栅氧化材料层形成浮栅氧化膜;

在所述沟槽内壁形成保护层,所述保护层覆盖所述半导体衬底和浮栅膜且暴露出所述浮栅氧化膜;

横向刻蚀部分所述浮栅氧化膜,以暴露出所述浮栅膜朝向所述沟槽的底部边角以及暴露出所述半导体衬底朝向所述沟槽的顶部边角;

横向刻蚀部分所述浮栅氧化膜之后,对暴露出的所述浮栅膜的底部边角以及暴露出的所述半导体衬底的顶部边角进行圆滑处理。

2. 根据权利要求1所述的NAND闪存的形成方法,其特征在于,在所述圆滑处理中,去除了所述浮栅膜的底部边角处的部分材料以及所述半导体衬底的顶部边角处的部分材料。

3. 根据权利要求1所述的NAND闪存的形成方法,其特征在于,所述圆滑处理包括各向同性刻蚀工艺。

4. 根据权利要求1所述的NAND闪存的形成方法,其特征在于,所述圆滑处理包括湿法刻蚀工艺,所述湿法刻蚀工艺采用的刻蚀溶液为氢氟酸溶液。

5. 根据权利要求1所述的NAND闪存的形成方法,其特征在于,进行所述圆滑处理后,所述浮栅膜朝向所述沟槽的底部边角呈圆角,所述半导体衬底朝向所述沟槽的顶部边角呈圆角。

6. 根据权利要求1所述的NAND闪存的形成方法,其特征在于,横向刻蚀部分所述浮栅氧化膜的刻蚀量为30埃至50埃。

7. 根据权利要求1所述的NAND闪存的形成方法,其特征在于,进行所述圆滑处理之后,还包括:

去除所述保护层;

去除所述保护层之后,在所述沟槽中形成隔离结构。

8. 根据权利要求1所述的NAND闪存的形成方法,其特征在于,形成所述保护层的方法包括:对所述沟槽内壁的所述浮栅膜的材料以及所述半导体衬底的材料进行氮化处理。

9. 根据权利要求1所述的NAND闪存的形成方法,其特征在于,在形成所述浮栅膜和所述浮栅氧化膜之前,所述浮栅材料层的表面上具有掩膜材料层;在形成所述沟槽的过程中,所述沟槽贯穿所述掩膜材料层,且使所述掩膜材料层形成掩膜层。

10. 根据权利要求1所述的NAND闪存的形成方法,其特征在于,所述保护层的材料包括氮化硅。

11. 根据权利要求1所述的NAND闪存的形成方法,其特征在于,所述保护层的厚度为20埃至50埃。

12. 根据权利要求1所述的NAND闪存的形成方法,其特征在于,在形成所述沟槽之前,所述半导体衬底包括第一阱区和位于第一阱区上且与所述第一阱区邻接的第二阱区,所述第一阱区的导电类型和所述第二阱区的导电类型相反;形成所述沟槽之后,所述沟槽贯穿所述第二阱区且延伸至部分所述第一阱区中。

13. 根据权利要求7所述的NAND闪存的形成方法,其特征在于,还包括:形成所述隔离结构之后,在所述半导体衬底上形成横跨所述浮栅膜和隔离结构的控制栅极结构;刻蚀去除控制栅极结构侧部的所述浮栅膜和所述浮栅氧化膜,使所述浮栅膜形成浮栅层,使所述浮栅氧化膜形成浮栅氧化层。

14. 一种NAND闪存,其特征在于,包括:

半导体衬底;

位于所述半导体衬底上的浮栅膜;

位于所述半导体衬底和浮栅膜之间的浮栅氧化膜;

位于部分所述半导体衬底中的沟槽,且所述沟槽延伸至相邻的所述浮栅氧化膜之间、以及相邻的所述浮栅膜之间,且所述浮栅氧化膜朝向所述沟槽的侧壁相对于所述浮栅膜的侧壁凹进;

所述浮栅膜朝向所述沟槽的底部边角圆滑,所述半导体衬底朝向所述沟槽的顶部边角圆滑。

15. 根据权利要求14所述的NAND闪存,其特征在于,所述浮栅膜朝向所述沟槽的底部边角呈圆角,所述半导体衬底朝向所述沟槽的顶部边角呈圆角。

16. 根据权利要求14所述的NAND闪存,其特征在于,

所述浮栅氧化膜朝向所述沟槽的侧壁相对于所述浮栅膜的侧壁凹进的尺寸为30埃至50埃。

17. 根据权利要求14所述的NAND闪存,其特征在于,所述半导体衬底包括第一阱区和位于第一阱区上且与第一阱区邻接的第二阱区,所述第一阱区的导电类型和所述第二阱区的导电类型相反;所述沟槽贯穿所述第二阱区且延伸至部分所述第一阱区中。

18. 一种NAND闪存,其特征在于,包括:

半导体衬底;

位于所述半导体衬底上的浮栅层;

位于所述半导体衬底和浮栅层之间的浮栅氧化层;

位于部分所述半导体衬底中的隔离结构,且所述隔离结构延伸至相邻的浮栅氧化层之间、以及相邻的浮栅层之间,且所述浮栅氧化层朝向隔离结构的侧壁相对于浮栅层的侧壁凹进;

所述浮栅层朝向隔离结构的底部边角圆滑,所述半导体衬底朝向隔离结构的顶部边角圆滑。

19. 根据权利要求18所述的NAND闪存,其特征在于,还包括:横跨所述浮栅层和所述隔离结构的控制栅极结构。

20. 根据权利要求18所述的NAND闪存,其特征在于,所述浮栅层朝向所述隔离结构的底部边角呈圆角,所述半导体衬底朝向所述隔离结构的顶部边角呈圆角。

一种NAND闪存的形成方法及NAND闪存

技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种NAND闪存的形成方法及NAND闪存。

背景技术

[0002] 随着NAND闪存设备的尺寸越来越小,很多器件或闪存的有源区域的隔离层已采用浅沟道隔离(shallow trench isolation,STI)工艺来制作。

[0003] 在STI工艺中,通常包括先在衬底上形成沟槽,将元件与元件隔开,然后利用化学气相沉积(Chemical Vapor Deposition,CVD)在沟槽中填入介电材料,在侧壁氧化和介电材料填入之后,用化学机械研磨(chemical mechanical polish,CMP)的方法进行平坦化等处理。

[0004] 比如现有技术中NAND(NAND闪存设备)的形成过程如图1至图4所示。具体的,如图1所示,先提供半导体衬底1,并在半导体衬底1上依次形成浮栅氧化材料层20和浮栅材料层30,并在浮栅材料层30上形成掩膜材料层50;接着如图2所示,刻蚀掩膜材料层50和浮栅材料层30,并停止于浮栅氧化材料层20;接下来继续刻蚀浮栅氧化材料层20和半导体衬底1,以形成如图3所示的沟槽7,同时形成了掩膜层51、浮栅膜31和浮栅氧化膜21;最后如图4所示,在刻蚀形成的沟槽7中形成隔离结构6并进行CMP,以最终形成NAND闪存。且最终形成的NAND闪存包括半导体衬底1,及位于半导体衬底上的浮栅层32,位于半导体衬底1和浮栅层32之间的浮栅氧化层22。

[0005] 但是现有的NAND闪存因其内部结构中存在如图3和图4示出的尖角Z,会使得NAND闪存的性能不佳。

发明内容

[0006] 本发明的目的在于解决现有技术中,因浮栅层朝向沟槽的底部边角以及半导体衬底朝向沟槽的顶部边角为尖角而导致的NAND闪存性能不佳的问题。本发明提供了一种NAND闪存的形成方法及NAND闪存,可提高NAND闪存的性能。

[0007] 为解决上述技术问题,本发明实施例提供一种NAND闪存的形成方法,包括:

[0008] 提供半导体衬底,所述半导体衬底上具有浮栅氧化材料层、位于所述浮栅氧化材料层上的浮栅材料层;

[0009] 形成贯穿所述浮栅材料层、所述浮栅氧化材料层和部分所述半导体衬底的沟槽,且使浮栅材料层形成浮栅膜,使浮栅氧化材料层形成浮栅氧化膜;

[0010] 在所述沟槽内壁形成保护层,所述保护层覆盖所述半导体衬底和浮栅层且暴露出所述浮栅氧化膜;

[0011] 横向刻蚀部分所述浮栅氧化膜,以暴露出浮栅膜朝向所述沟槽的底部边角以及暴露出半导体衬底朝向所述沟槽的顶部边角;

[0012] 横向刻蚀部分所述浮栅氧化膜之后,对暴露出的所述浮栅膜的底部边角以及暴露出的半导体衬底的顶部边角进行圆滑处理。

[0013] 优选的,在所述圆滑处理中,去除了所述浮栅膜的底部边角处的部分材料以及所述半导体衬底的顶部边角处的部分材料。

[0014] 优选的,所述圆滑处理包括各向同性刻蚀工艺。

[0015] 优选的,所述圆滑处理包括湿法刻蚀工艺,所述湿法刻蚀工艺采用的刻蚀溶液为氢氟酸溶液。

[0016] 优选的,进行所述圆滑处理后,所述浮栅膜朝向所述沟槽的底部边角呈圆角,所述半导体衬底朝向沟槽的顶部边角呈圆角。

[0017] 优选的,横向刻蚀部分所述浮栅氧化膜的刻蚀量为30埃至50埃。

[0018] 优选的,进行所述圆滑处理之后,还包括:

[0019] 去除所述保护层;

[0020] 去除所述保护层之后,在所述沟槽中形成隔离结构。

[0021] 优选的,形成所述保护层的方法包括:对所述沟槽内壁的所述浮栅膜的材料以及所述半导体衬底的材料进行氮化处理。

[0022] 优选的,在形成所述浮栅膜和所述浮栅氧化膜之前,所述浮栅材料层的表面上具有掩膜材料层;在形成所述沟槽的过程中,所述沟槽贯穿所述掩膜材料层,且使所述掩膜材料层形成掩膜层。

[0023] 优选的,所述保护层材料包括氮化硅。

[0024] 优选的,所述保护层的厚度为20埃至50埃。

[0025] 优选的,在形成所述沟槽之前,所述半导体衬底包括第一阱区和位于第一阱区上且与第一阱区邻接的第二阱区,所述第一阱区的导电类型和所述第二阱区的导电类型相反;形成所述沟槽之后,所述沟槽贯穿所述第二阱区且延伸至部分所述第一阱区中。

[0026] 优选的,还包括:形成所述隔离结构之后,在所述半导体衬底上形成横跨所述浮栅膜和隔离结构的控制栅极结构;刻蚀去除控制栅极结构侧部的所述浮栅膜和所述浮栅氧化膜,使所述浮栅膜形成浮栅层,使所述浮栅氧化膜形成浮栅氧化层。

[0027] 本发明的实施方式还提供一种NAND闪存,包括:

[0028] 半导体衬底;

[0029] 位于所述半导体衬底上的浮栅膜;

[0030] 位于所述半导体衬底和浮栅膜之间的浮栅氧化膜;

[0031] 位于部分所述半导体衬底中的沟槽,且所述沟槽延伸至相邻的所述浮栅氧化膜之间、以及相邻的所述浮栅膜之间,且所述浮栅氧化膜朝向所述沟槽的侧壁相对于所述浮栅膜的侧壁凹进;

[0032] 所述浮栅膜朝向所述沟槽的底部边角圆滑,所述半导体衬底朝向所述沟槽的顶部边角圆滑。

[0033] 优选的,所述浮栅膜朝向所述沟槽的底部边角呈圆角,所述半导体衬底朝向所述沟槽的顶部边角呈圆角。

[0034] 优选的,所述浮栅氧化膜朝向所述沟槽的侧壁相对于所述浮栅膜的侧壁凹进的尺寸为30埃至50埃。

[0035] 优选的,所述半导体衬底包括第一阱区和位于第一阱区上且与第一阱区邻接的第二阱区,所述第一阱区的导电类型和所述第二阱区的导电类型相反;所述沟槽贯穿所述第

二阱区且延伸至部分所述第一阱区中。

[0036] 本发明的实施方式还提供另一种NAND闪存,包括:

[0037] 半导体衬底;

[0038] 位于所述半导体衬底的浮栅层;

[0039] 位于所述半导体衬底和浮栅层之间的浮栅氧化层;

[0040] 位于部分所述半导体衬底中的隔离结构,且所述隔离结构延伸至相邻的浮栅氧化层之间、以及相邻的浮栅层之间,且所述浮栅氧化层朝向隔离结构的侧壁相对于浮栅层的侧壁凹进;

[0041] 所述浮栅层朝向隔离结构的底部边角圆滑,所述半导体衬底朝向隔离结构的顶部边角圆滑。

[0042] 优选的,还包括:横跨所述浮栅层和所述隔离结构的控制栅极结构。

[0043] 优选的,还包括:所述浮栅层朝向所述隔离结构的底部边角呈圆角,所述半导体衬底朝向所述隔离结构的顶部边角呈圆角。

[0044] 本发明技术方案提供的NAND闪存的形成方法中,横向刻蚀部分所述浮栅氧化膜之后,对暴露出的浮栅膜的底部边角以及半导体衬底的顶部边角进行圆滑处理,最终使得浮栅膜朝向沟槽的底部边角圆滑(即使得最终形成的NAND闪存的浮栅层朝向沟槽的底部边角圆滑),半导体衬底朝向沟槽的顶部边角圆滑,这样使得NAND不会容易发生尖端放电的现象,在写入数据时准确度较高,从而提高了NAND闪存的工作性能。

附图说明

[0045] 图1至图4是现有技术中NAND闪存的形成方法的结构示意图;

[0046] 图5是本发明实施例提供的NAND闪存的形成方法的流程图;

[0047] 图6至图12是本发明实施例提供的NAND闪存的形成方法的结构示意图。

[0048] 附图标记:

[0049] 1. 半导体衬底;20. 浮栅氧化材料层;21. 浮栅氧化膜;22. 浮栅氧化层;30. 浮栅材料层;31. 浮栅膜;32. 浮栅层;4. 保护层;50. 掩膜材料层;51. 掩膜层;6. 隔离结构;7. 沟槽;A. 第二阱区;B. 第一阱区;Z. 尖角。

具体实施方式

[0050] 以下由特定的具体实施例说明本发明的实施方式,本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其他优点及功效。虽然本发明的描述将结合较佳实施例一起介绍,但这并不代表此发明的特征仅限于该实施方式。恰恰相反,结合实施方式作发明介绍的目的是为了覆盖基于本发明的权利要求而有可能延伸出的其它选择或改造。为了提供对本发明的深度了解,以下描述中将包含许多具体的细节。本发明也可以不使用这些细节实施。此外,为了避免混乱或模糊本发明的重点,有些具体细节将在描述中被省略。需要说明的是,在不冲突的情况下,本发明中的实施例及实施例中的特征可以相互组合。

[0051] 应注意的是,在本说明书中,相似的标号和字母在下面的附图中表示类似项,因此,一旦某一项在一个附图中被定义,则在随后的附图中不需要对其进行进一步定义和解释。

[0052] 在本实施例的描述中,需要说明的是,术语“上”、“下”、“内”、“底”等指示的方位或位置关系为基于附图所示的方位或位置关系,或者是该发明产品使用时惯常摆放的方位或位置关系,仅是为了便于描述本发明和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本发明的限制。

[0053] 术语“第一”、“第二”等仅用于区分描述,而不能理解为指示或暗示相对重要性。

[0054] 在本实施例的描述中,还需要说明的是,除非另有明确的规定和限定,术语“设置”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本实施例中的具体含义。

[0055] 为使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明的实施方式作进一步地详细描述。

[0056] 正如背景技术所述,现有的NAND闪存设备性能不佳,比如现有技术中NAND(NAND闪存设备)的形成过程如图1至图4所示。具体的,如图1所示,先提供半导体衬底1,并在半导体衬底1上依次形成浮栅氧化材料层20和浮栅材料层30,并在浮栅材料层30上形成掩膜材料层50;接着如图2所示,刻蚀掩膜材料层50和浮栅材料层30,并停止于浮栅氧化材料层20;接下来继续刻蚀浮栅氧化材料层20和半导体衬底1,以形成如图3所示的沟槽7,同时形成了掩膜层51、浮栅膜31和浮栅氧化膜21;最后如图4所示,在刻蚀形成的沟槽7中形成隔离结构6并进行CMP,以最终形成NAND闪存。且最终形成的NAND闪存包括半导体衬底1,及位于半导体衬底上的浮栅层32,位于半导体衬底1和浮栅层32之间的浮栅氧化层22。

[0057] 但是,在对NAND闪存设备进行写入的时候,通常是仅仅对部分浮栅层32进行写入,剩余的浮栅层32处于悬空状态(floating)。处于悬空状态的浮栅层32的电压较高,而被写入数据的浮栅层32的电压较低。如图1-图4所示,当前的处理过程中浮栅层32朝向沟槽7的底部边角以及半导体衬底1底朝向沟槽7的顶部边角为尖角,这会导致尖端放电的现象产生,即处于悬空状态的浮栅层32一侧的电子会转移到被写入数据的浮栅层32的一侧,这样一来会降低悬空状态的浮栅层32的电压。由此,被写入数据的浮栅层32与悬空状态的浮栅层32的电压相近,写入数据时就很容易发生误操作,这会降低NAND闪存设备的性能。

[0058] 为解决现有技术中因浮栅层朝向沟槽的底部边角以及半导体衬底朝向沟槽的顶部边角为尖角而导致的NAND闪存性能不佳的问题。本发明提供了一种NAND闪存的形成方法。具体的,如图5至图10所示。

[0059] 参考图5示出的本发明实施例提供的NAND闪存的形成方法的流程图,本发明实施例提供的NAND闪存的形成方法,具体包括以下步骤:

[0060] 步骤S1:提供半导体衬底,半导体衬底上具有浮栅氧化材料层、位于浮栅氧化材料层上的浮栅材料层;

[0061] 步骤S2:形成贯穿浮栅材料层、浮栅氧化材料层和部分半导体衬底的沟槽,且使浮栅材料层形成浮栅膜,使浮栅氧化材料层形成浮栅氧化膜;

[0062] 步骤S3:在沟槽内壁形成保护层,保护层覆盖半导体衬底和浮栅膜且暴露出浮栅氧化膜;

[0063] 步骤S4:横向刻蚀部分浮栅氧化膜,以暴露出浮栅膜朝向沟槽的底部边角以及暴

露出半导体衬底朝向沟槽的顶部边角；

[0064] 步骤S5:横向刻蚀部分浮栅氧化膜之后,对暴露出的浮栅膜的底部边角以及暴露出的半导体衬底的顶部边角进行圆滑处理。

[0065] 经过上述方法形成的NAND闪存,浮栅膜朝向沟槽的底部边角圆滑,半导体衬底朝向沟槽的顶部边角圆滑,这样使得NAND不会容易发生漏电,增强了NAND的耐久性,提高了NAND的工作性能。

[0066] 下面结合附图具体描述本发明提供的NAND闪存设备的边角的形成方法。

[0067] 图6至图10是本发明实施例提供的NAND闪存的形成方法对应的各阶段的NAND闪存的结构示意图。

[0068] 参考图6,首先提供半导体衬底1,半导体衬底1上具有浮栅氧化材料层20、位于浮栅氧化材料层20上的浮栅材料层30。

[0069] 具体的,半导体衬底1的材料为硅、锗或者锗化硅。半导体衬底1的材料还可以为其它半导体材料,在此不再一一举例。

[0070] 浮栅氧化材料层20的材料可以为氧化硅;浮栅材料层30的材料可以为多晶硅等,其均为现有技术中常见的材料,在此不一一举例。

[0071] 需要说明的是,在形成浮栅膜31和浮栅氧化膜21之前,浮栅材料层30的表面上具有掩膜材料层50。

[0072] 参考图7,形成贯穿浮栅材料层30、浮栅氧化材料层20和部分半导体衬底1的沟槽7,且使浮栅材料层30形成浮栅膜31,使浮栅氧化材料层20形成浮栅氧化膜21。

[0073] 本实施例中形成沟槽7的方法为刻蚀,具体可以为干法刻蚀。

[0074] 需要说明的是,在形成浮栅膜31和浮栅氧化膜21之前,浮栅材料层30的表面上具有掩膜材料层50;在形成沟槽7的过程中,沟槽7贯穿掩膜材料层50,且使掩膜材料层50形成掩膜层51。

[0075] 如图6至图12,该掩膜层51包括与浮栅膜31接触的中间层,以及中间层上的硬掩膜层还有位于硬掩膜层上的掩膜氧化层。

[0076] 当然,本实施例仅仅是示意性地列举了这三层材料作为掩膜层51,本领域技术人员可以根据实际需要选择不同的掩膜材料层50作为掩膜层。

[0077] 还需要说明的是,在形成沟槽7之前,半导体衬底1包括第一阱区和位于第一阱区上且与第一阱区邻接的第二阱区,第一阱区的导电类型和第二阱区的导电类型相反;形成沟槽7之后,沟槽7贯穿第二阱区且延伸至部分第一阱区中。

[0078] 具体的,请参见图12,第一阱区即为图12中的第一阱区B,第二阱区即为图12中的第二阱区A。

[0079] 也就是说,半导体衬底1中具有电性相反的两个区域,分别是第一阱区B和第二阱区A,第二阱区A距离浮栅氧化材料层20较近,第一阱区B距离浮栅氧化材料层20较远,且两个阱区是相邻接的。且沟槽7是完全贯穿第二阱区A的,且有一部分在第一阱区B中。

[0080] 然后参考图8,在沟槽7内壁形成保护层4,保护层4覆盖半导体衬底1和浮栅膜31且暴露出浮栅氧化膜21。

[0081] 具体的,本实施例中,形成保护层4的方法包括:对沟槽内壁的浮栅膜31的材料以及半导体衬底1的材料进行氮化处理。

[0082] 也就是说,最开始形成的保护层4材料是覆盖半导体衬底1和浮栅膜31的,且浮栅氧化膜21在水平方向上的宽度与保护层4和浮栅膜31在水平方向上的总宽度相等。

[0083] 进一步地,本实施例中,保护层4的材料包括氮化硅。保护层4的厚度为20埃至50埃。

[0084] 当然,本实施例仅仅是示意性地列举了保护层4的材料和厚度,本领域技术人员可以根据实际情况选择合适的其他材料和厚度。

[0085] 接下来,参考图9,横向刻蚀部分浮栅氧化膜21,以暴露出浮栅膜31朝向沟槽7的底部边角以及暴露出半导体衬底1朝向沟槽7的顶部边角。

[0086] 具体的,在本实施例中,横向刻蚀部分浮栅氧化膜21的刻蚀量为30埃至50埃。

[0087] 然后参考图10,横向刻蚀部分浮栅氧化膜21之后,对暴露出的浮栅膜的底部边角以及暴露出的半导体衬底的顶部边角进行圆滑处理。

[0088] 具体的,在圆滑处理中,去除了浮栅膜31的底部边角处的部分材料以及半导体衬底1的顶部边角处的部分材料。

[0089] 在本实施例中,圆滑处理包括各向同性刻蚀工艺,当然还可以是其他工艺,本实施例对此不做具体限定。此外,圆滑处理包括湿法刻蚀工艺,且湿法刻蚀工艺采用的刻蚀溶液为氢氟酸溶液。

[0090] 更进一步,本实施例中,进行湿法刻蚀的氢氟酸溶液可以是氢氟酸的水溶液(DHF),还可以是缓冲氧化物刻蚀液(BOE),本实施例对此不作具体限定。

[0091] 在本实施例中,参考图10和图11,进行圆滑处理后,浮栅膜31朝向沟槽7的底部边角呈圆角,半导体衬底1朝向沟槽7的顶部边角呈圆角。

[0092] 参考图12,进行圆滑处理之后,还包括:

[0093] 去除保护层4(参考图11)。

[0094] 去除保护层4之后,在沟槽7中形成隔离结构6。

[0095] 需要说明的是,在形成隔离结构6之后,在半导体衬底1上形成横跨浮栅膜31和隔离结构6的控制栅极结构;刻蚀去除控制栅极结构侧部的浮栅膜31和浮栅氧化膜21,使浮栅膜31形成浮栅层32,使浮栅氧化膜21形成浮栅氧化层22。

[0096] 采用上述方案,横向刻蚀部分所述浮栅氧化膜之后,对暴露出的浮栅膜的底部边角以及半导体衬底的顶部边角进行圆滑处理,最终使得浮栅膜朝向沟槽的底部边角圆滑(即使得最终形成的NAND闪存的浮栅层朝向沟槽的底部边角圆滑),半导体衬底朝向沟槽的顶部边角圆滑,这样使得NAND不会容易发生尖端放电的现象,在写入数据时准确度较高,从而提高了NAND闪存设备的工作性能。

[0097] 基于上述NAND闪存的形成方法,本实施例还提供一种NAND闪存,包括:

[0098] 半导体衬底;

[0099] 位于半导体衬底上的浮栅膜;

[0100] 位于半导体衬底和浮栅膜之间的浮栅氧化膜;

[0101] 位于部分半导体衬底中的沟槽,且沟槽延伸至相邻的浮栅氧化膜之间、以及相邻的浮栅膜之间,且浮栅氧化膜朝向沟槽的侧壁相对于浮栅膜的侧壁凹进;

[0102] 浮栅膜朝向沟槽的底部边角圆滑,半导体衬底朝向沟槽的顶部边角圆滑。

[0103] 需要说明的是,本实施例中的半导体衬底、浮栅膜、浮栅氧化膜的材料与上述NAND

闪存的形成方法中相同,在此不再赘述。

[0104] 进一步地,本实施例提供的NAND闪存,浮栅膜朝向沟槽的底部边角呈圆角,半导体衬底朝向沟槽的顶部边角呈圆角。

[0105] 更进一步,浮栅氧化膜朝向沟槽的侧壁相对于浮栅膜的侧壁凹进的尺寸为30埃至50埃。

[0106] 更进一步,半导体衬底包括第一阱区和位于第一阱区上且与第一阱区邻接的第二阱区,第一阱区的导电类型和第二阱区的导电类型相反;沟槽贯穿第二阱区且延伸至部分第一阱区中。

[0107] 采用上述方案,横向刻蚀部分所述浮栅氧化膜之后,对暴露出的浮栅膜的底部边角以及半导体衬底的顶部边角进行圆滑处理,最终使得浮栅膜朝向沟槽的底部边角圆滑(即使得最终形成的NAND闪存的浮栅层朝向沟槽的底部边角圆滑),半导体衬底朝向沟槽的顶部边角圆滑,这样使得NAND不会容易发生尖端放电的现象,在写入数据时准确度较高,从而提高了NAND闪存设备的工作性能。

[0108] 本实施例还提供另一种NAND闪存,包括:

[0109] 半导体衬底;

[0110] 位于半导体衬底上的浮栅层;

[0111] 位于半导体衬底和浮栅层之间的浮栅氧化层;

[0112] 位于部分半导体衬底中的隔离结构,且隔离结构延伸至相邻的浮栅氧化层之间、以及相邻的浮栅层之间,且浮栅氧化层朝向隔离结构的侧壁相对于浮栅层的侧壁凹进;

[0113] 浮栅层朝向隔离结构的底部边角圆滑,半导体衬底朝向隔离结构的顶部边角圆滑。

[0114] 进一步地,该另一种NAND闪存还包括:横跨浮栅层和隔离结构的控制栅极结构。

[0115] 更进一步,该另一种NAND闪存的浮栅层朝向隔离结构的底部边角呈圆角,半导体衬底朝向隔离结构的顶部边角呈圆角。

[0116] 采用上述方案,横向刻蚀部分所述浮栅氧化膜之后,对暴露出的浮栅膜的底部边角以及半导体衬底的顶部边角进行圆滑处理,最终使得浮栅膜朝向隔离结构的底部边角圆滑(即使得最终形成的NAND闪存的浮栅层朝向隔离结构的底部边角圆滑),半导体衬底朝向隔离结构的顶部边角圆滑,这样使得NAND不会容易发生尖端放电的现象,在写入数据时准确度较高,从而提高了NAND闪存设备的工作性能。

[0117] 虽然通过参照本发明的某些优选实施方式,已经对本发明进行了图示和描述,但本领域的普通技术人员应该明白,以上内容是结合具体的实施方式对本发明所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。本领域技术人员可以在形式上和细节上对其作各种改变,包括做出若干简单推演或替换,而不偏离本发明的精神和范围。

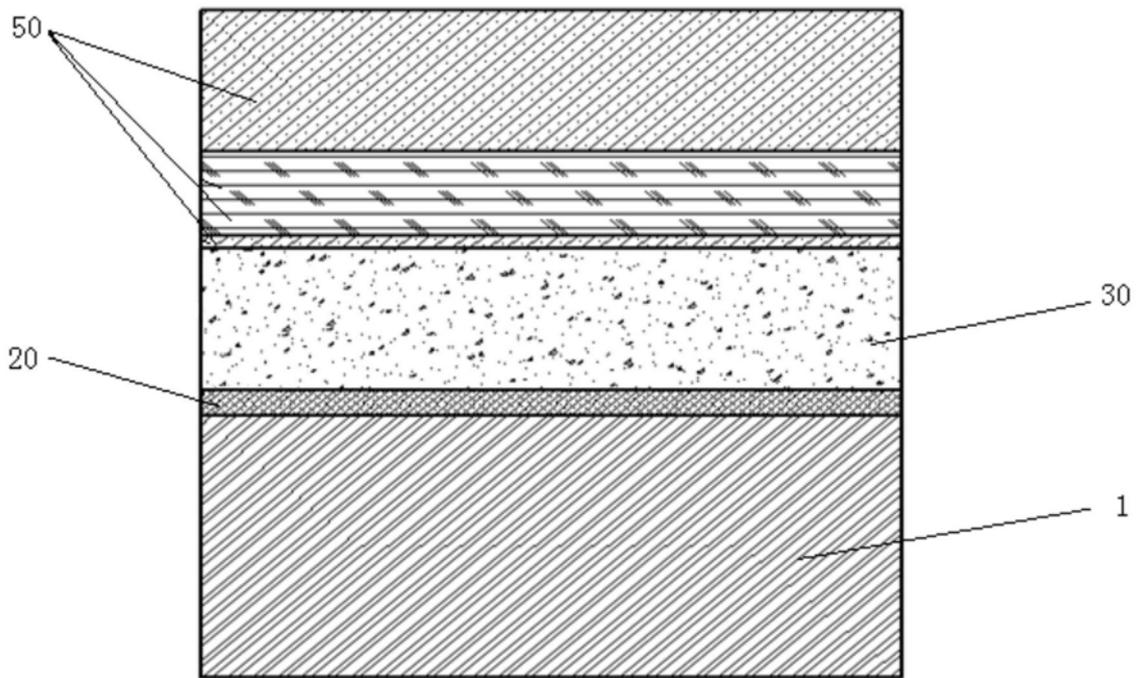


图1

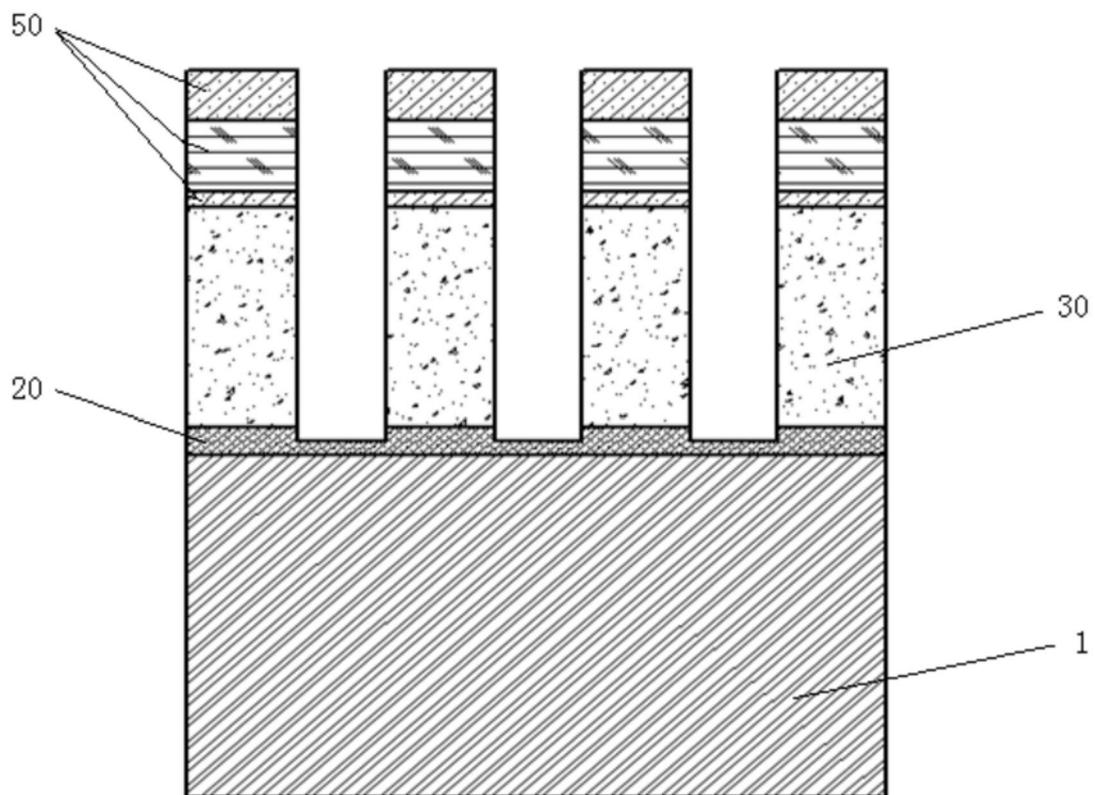


图2

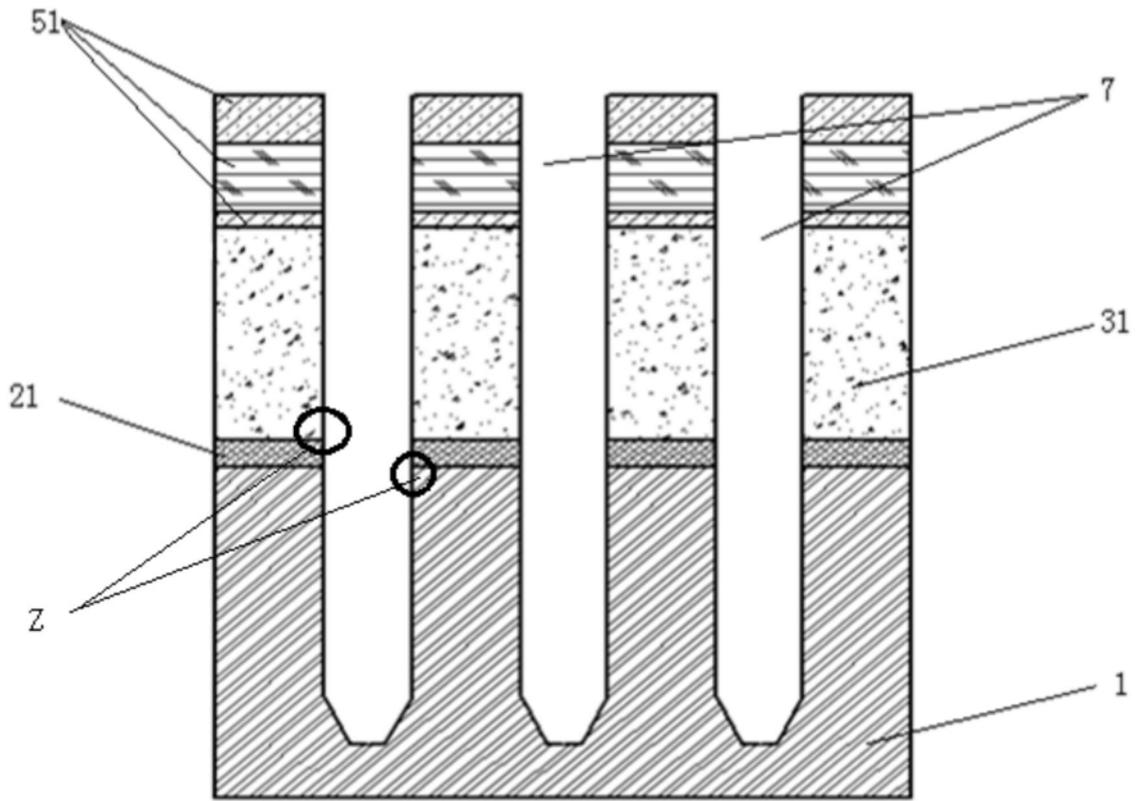


图3

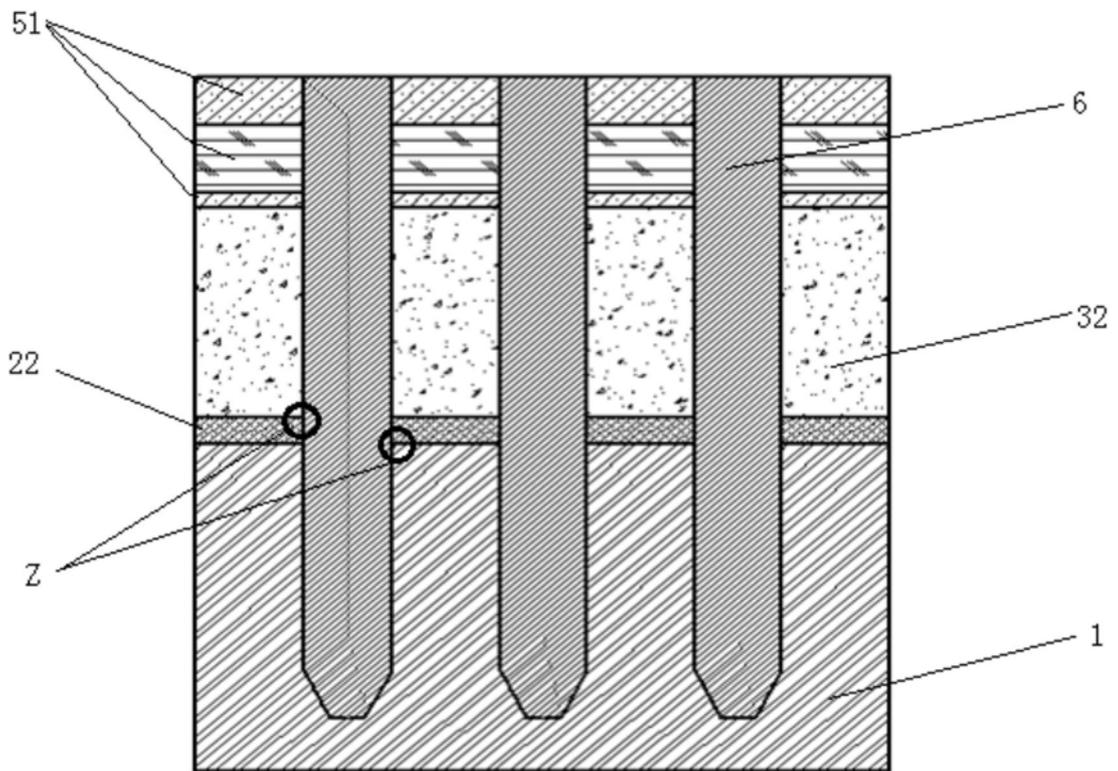


图4

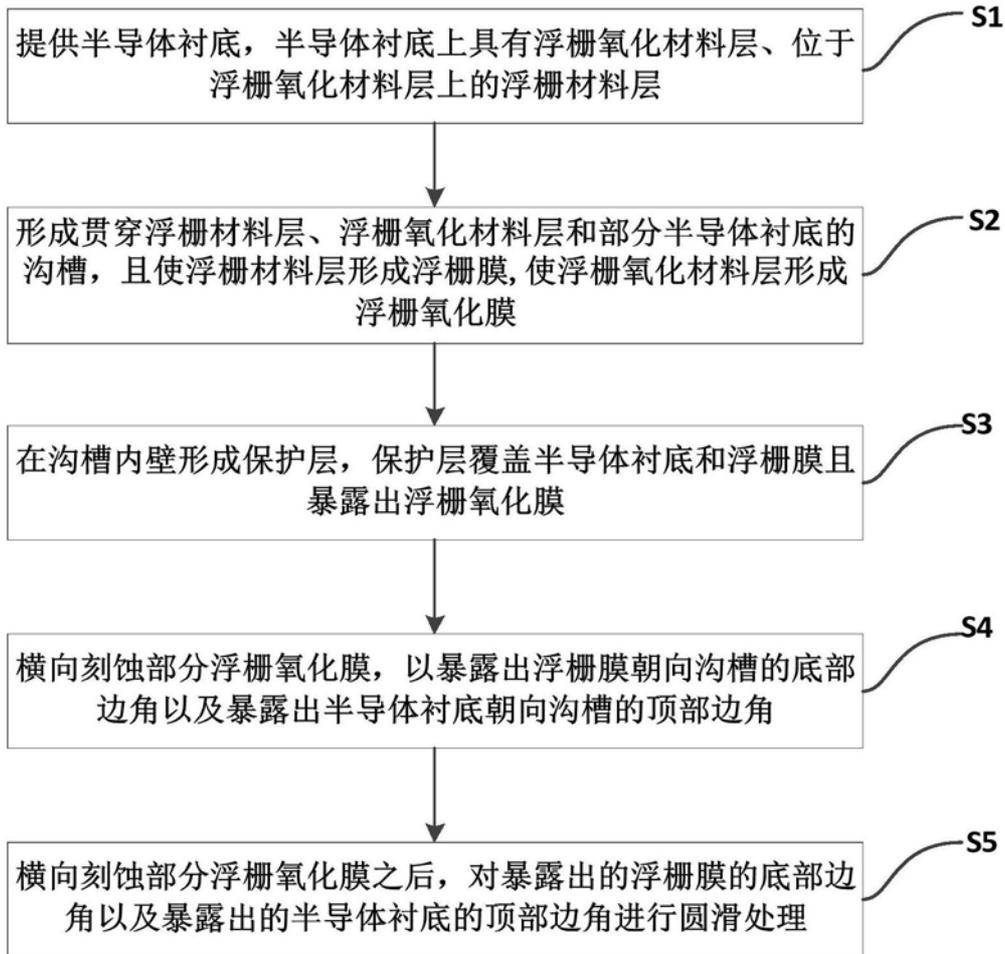


图5

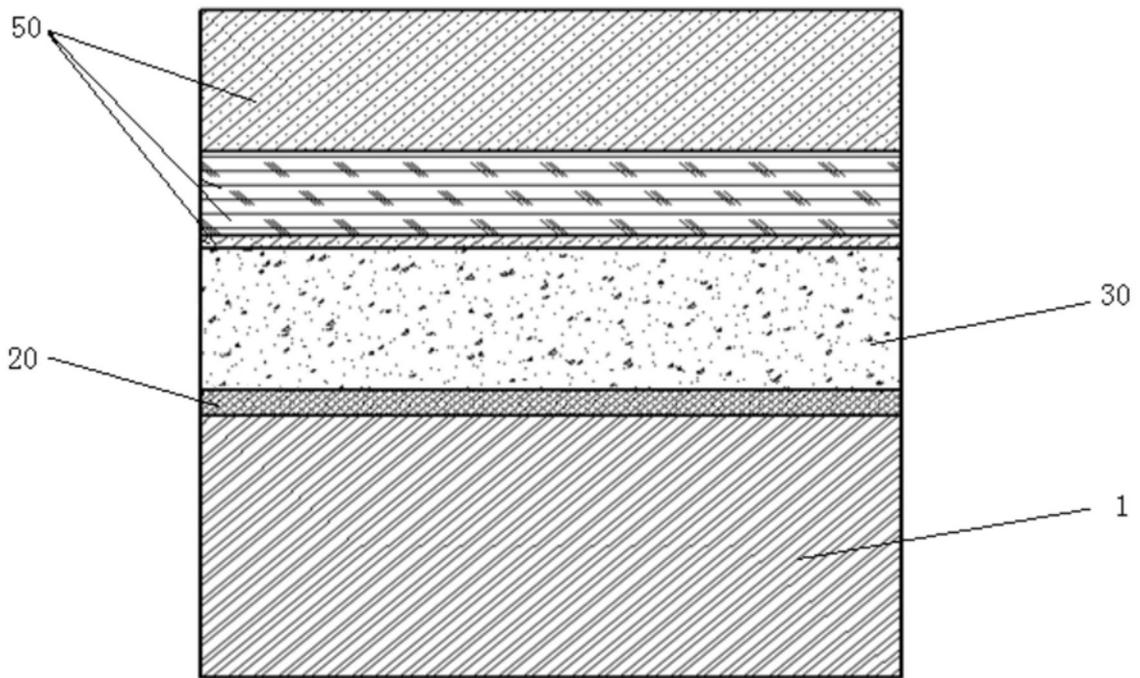


图6

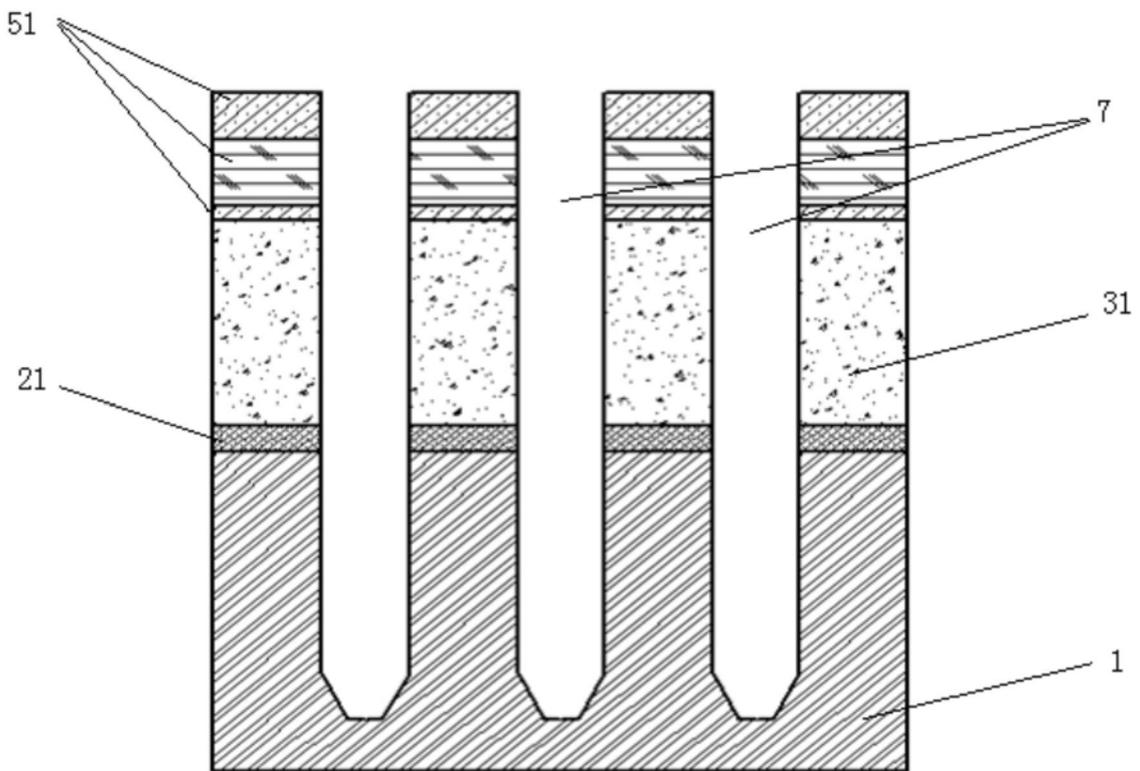


图7

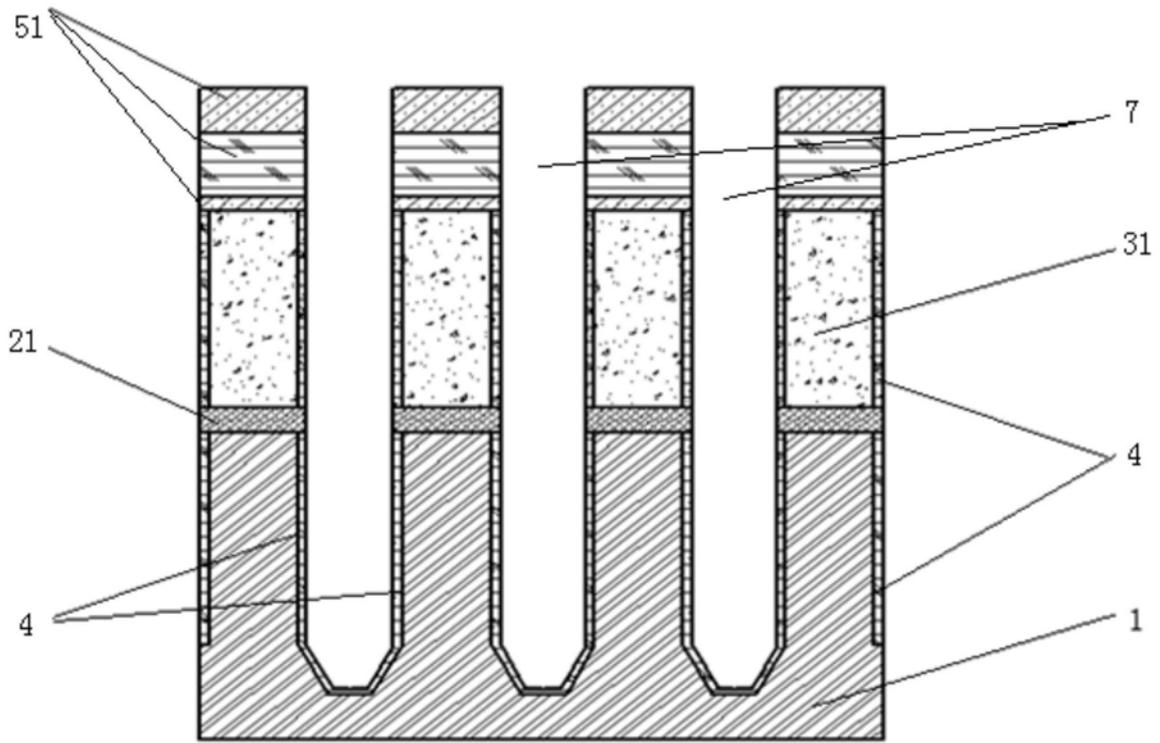


图8

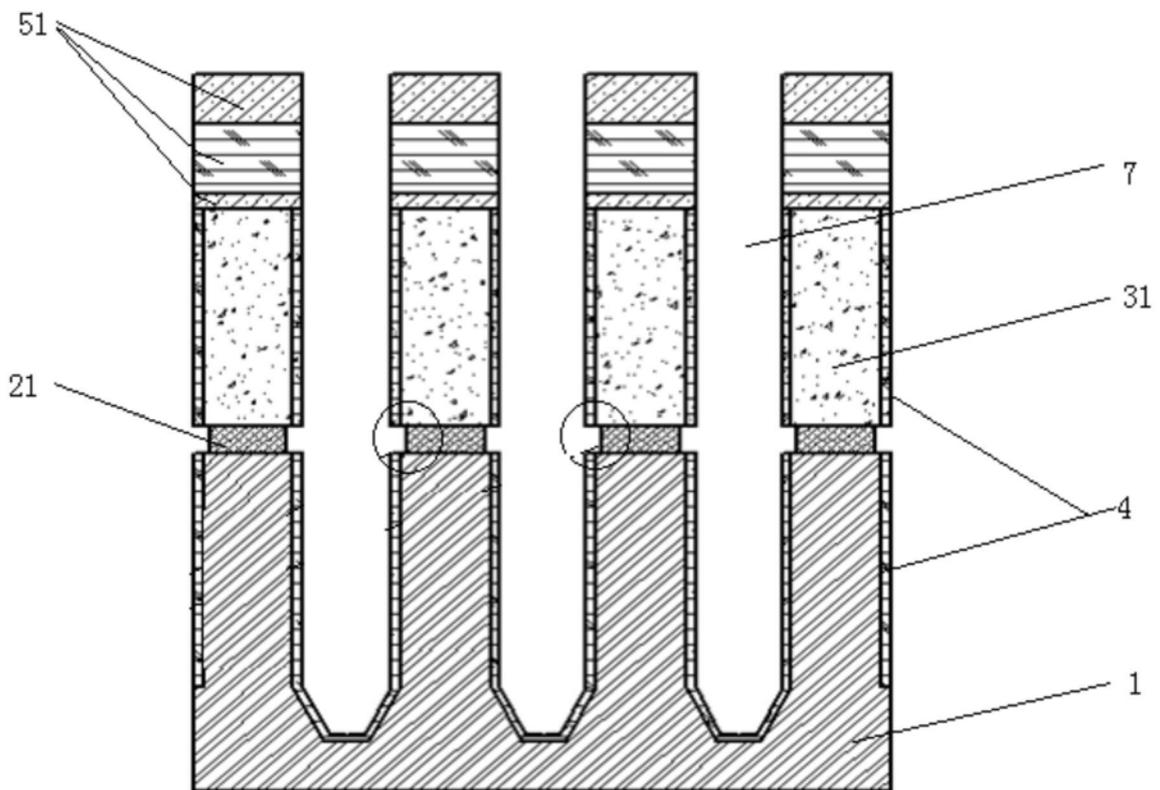


图9

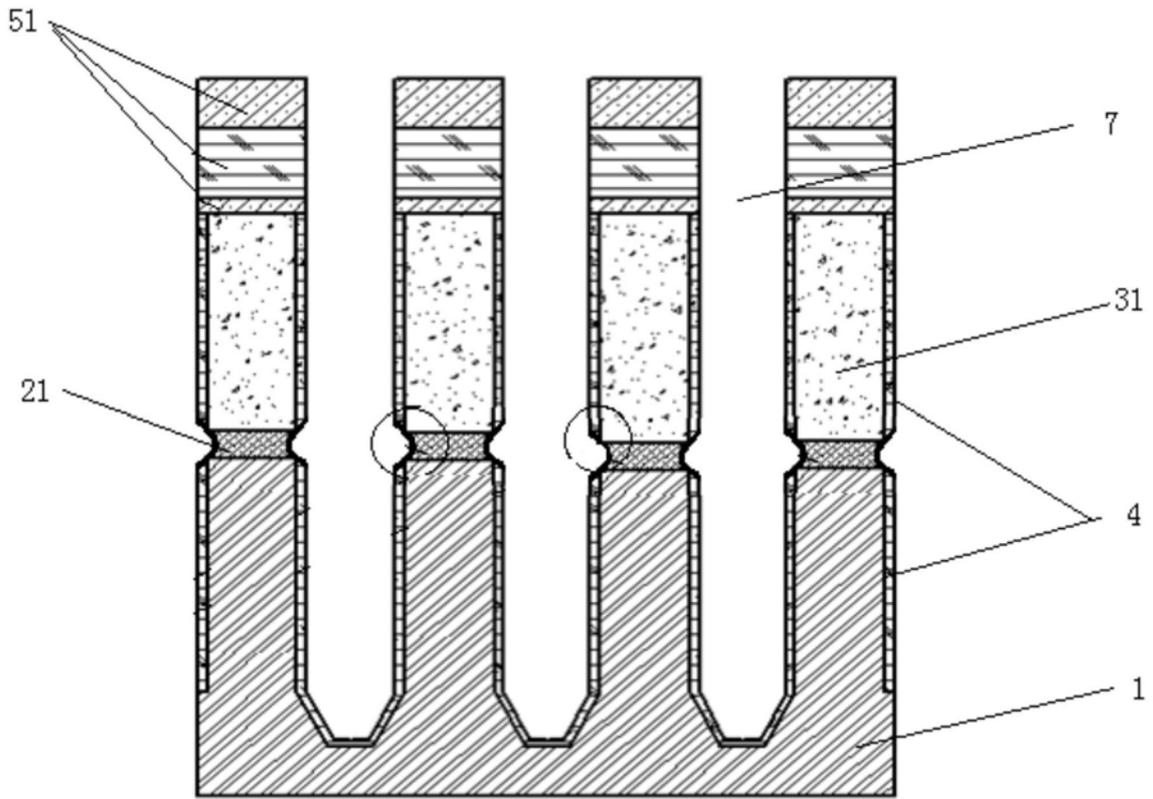


图10

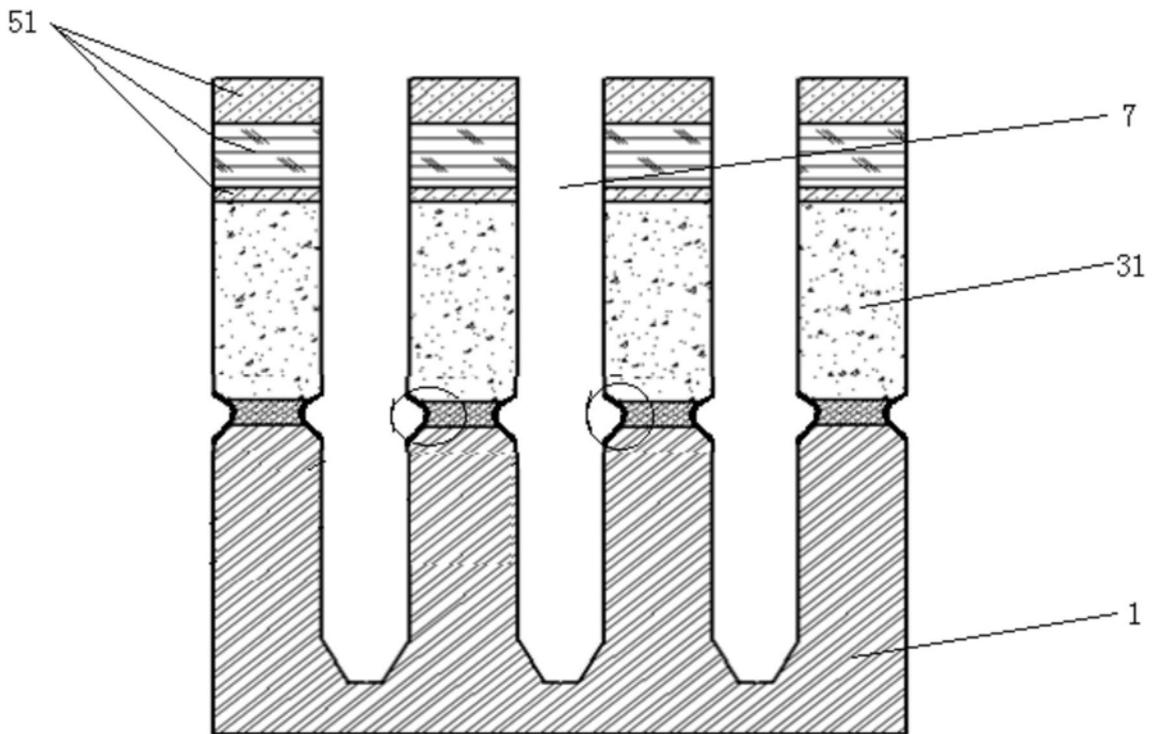


图11

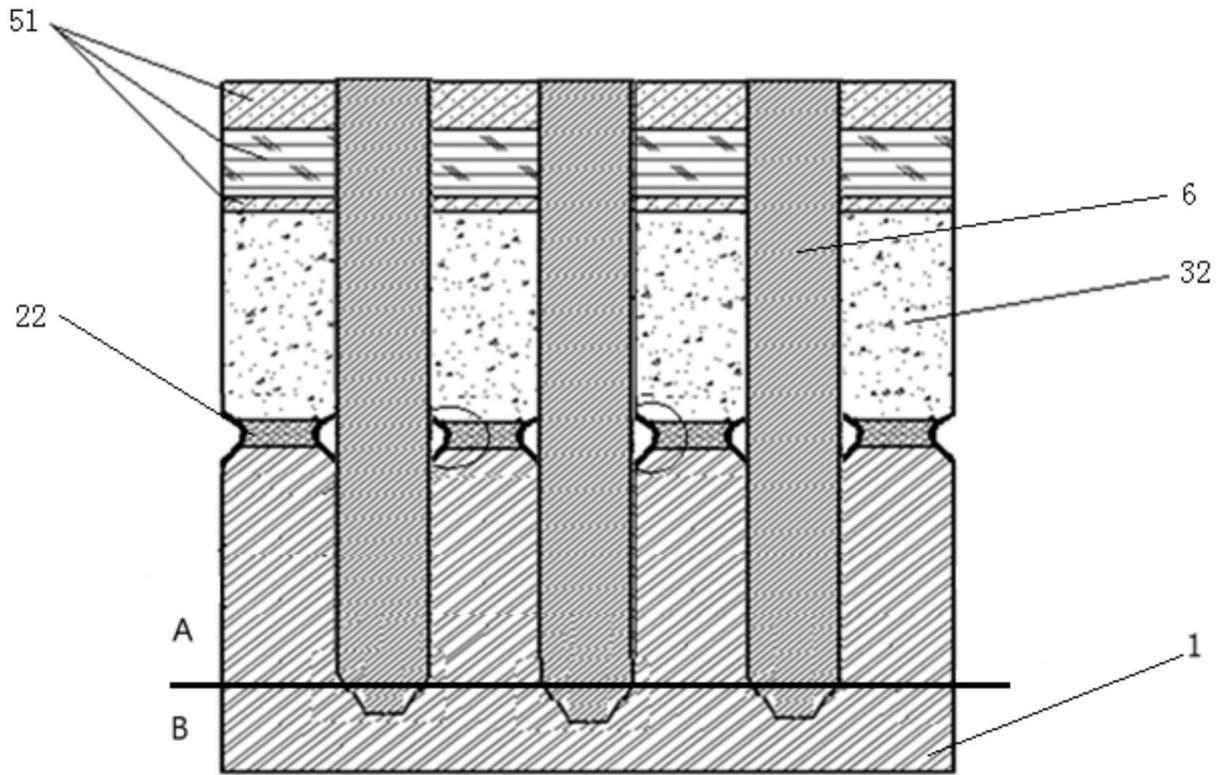


图12