



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I556252 B

(45)公告日：中華民國 105 (2016) 年 11 月 01 日

(21)申請案號：104114562

(22)申請日：中華民國 104 (2015) 年 05 月 07 日

(51)Int. Cl. : **G11C29/02 (2006.01)**

(71)申請人：華邦電子股份有限公司 (中華民國) WINBOND ELECTRONICS CORP. (TW)

臺中市大雅區科雅一路 8 號

(72)發明人：張昆輝 CHANG, KUEN HUEI (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

TW 434561

TW 201034019A1

US 2009/0016128A1

US 2014/0122948A1

WO 99/04327

審查人員：劉耀允

申請專利範圍項數：10 項 圖式數：4 共 20 頁

(54)名稱

記憶體測試系統及其測試方法

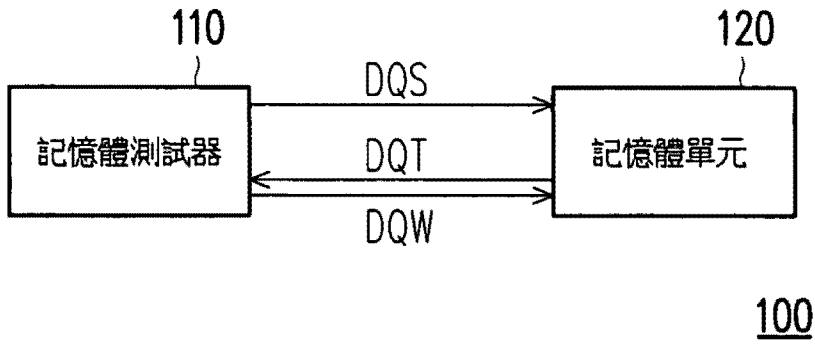
MEMORY TEST SYSTEM AND METHOD THEREOF

(57)摘要

一種記憶體測試系統及其測試方法。其中，記憶體測試系統包括記憶體測試器以及記憶體單元。記憶體測試器在測試期間產生資料選通訊號。記憶體單元在測試期間偵測資料選通訊號的致能而輸出具備所儲存的測試資料的測試資料訊號至記憶體測試器。記憶體測試器依據測試資料判斷記憶體單元是否損壞。

A memory test system and a method thereof are provided. The memory test system includes a memory tester and a memory unit. The memory tester generates a data strobe signal during a test period. The memory unit detects whether the data strobe signal is enable or not during the test period to output a test data signal with a stored test data to the memory tester. The memory tester determines whether the memory unit is damage or not according to the test data.

指定代表圖：



符號簡單說明：

100 . . . 記憶體測試系統

110 . . . 記憶體測試器

120 . . . 記憶體單元

DQS . . . 資料選通訊號

DQT . . . 測試資料訊號

DQW . . . 寫入資料訊號

圖 1

發明摘要

※ 申請案號： 104114562

※ 申請日： 104. 5. 07

※IPC 分類：G11C 29/02 (2006.01)

【發明名稱】

記憶體測試系統及其測試方法

MEMORY TEST SYSTEM AND METHOD THEREOF

【中文】

一種記憶體測試系統及其測試方法。其中，記憶體測試系統包括記憶體測試器以及記憶體單元。記憶體測試器在測試期間產生資料選通訊號。記憶體單元在測試期間偵測資料選通訊號的致能而輸出具備所儲存的測試資料的測試資料訊號至記憶體測試器。記憶體測試器依據測試資料判斷記憶體單元是否損壞。

【英文】

A memory test system and a method thereof are provided. The memory test system includes a memory tester and a memory unit. The memory tester generates a data strobe signal during a test period. The memory unit detects whether the data strobe signal is enable or not during the test period to output a test data signal with a stored test data to the memory tester. The memory tester determines whether the memory unit is damage or not according to the test data.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

100：記憶體測試系統

110：記憶體測試器

120：記憶體單元

DQS：資料選通訊號

DQT：測試資料訊號

DQW：寫入資料訊號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

記憶體測試系統及其測試方法

MEMORY TEST SYSTEM AND METHOD THEREOF

【技術領域】

【0001】 本發明是有關於一種測試系統以及測試方法，且特別是有關於一種記憶體測試系統及其測試方法。

【先前技術】

【0002】 雙倍資料率 (DDR) 記憶體是一種基於同步動態隨機存取記憶體 (SDRAM) 的革命性記憶體技術，其提供一種高性能、低成本的記憶體解決方案。並且，在新世代的低功率動態記憶體 (Low Power DRAM) 的規格下，提供了功率更低、更高速的運作能力，進而滿足現今高速系統所需的性能要求。

【0003】 在進行記憶體測試時，傳統上記憶體單元可依據外部的時脈訊號產生有效的資料窗 (Data Window)，並由記憶體測試器擷取資料以進行測試。然而，隨著記憶體運作速度的提昇縮短了資料窗有效期間。並且時脈訊號與資料訊號通道 (資料輸出端) 之間的延遲時間受到溫度、體積及壓力 (簡稱 PVT) 的影響而相對增加。導致記憶體單元所產生的資料窗，在其資料有效期間產生的位移誤差範圍過大。因此，記憶體測試器便難以正確地擷取

到受到 PVT 影響而位移的資料窗所具有的有效資料，造成記憶體測試的失敗。

【發明內容】

【0004】 有鑑於此，本發明提供一種記憶體測試系統及其測試方法，可降低資料窗位移誤差的範圍，以避免記憶體測試的失敗。

【0005】 本發明的記憶體測試系統，包括記憶體測試器以及記憶體單元。其中，記憶體測試器在測試期間產生資料選通訊號。記憶體單元在測試期間偵測資料選通訊號的致能而輸出具備所儲存的測試資料的測試資料訊號至記憶體測試器。記憶體測試器依據測試資料判斷記憶體單元是否損壞。

【0006】 在本發明的一實施例中，上述的記憶體單元包括資料選通訊號通道、第一輸入緩衝器、資料訊號通道以及先進先出暫存器。資料選通訊號通道用以接收資料選通訊號。第一輸入緩衝器耦接資料選通訊號通道，用以暫存資料選通訊號。資料訊號通道用以輸出測試資料訊號。先進先出暫存器耦接第一輸入緩衝器以及資料訊號通道，用以在測試期間接收測試資料訊號，並偵測第一輸入緩衝器所提供的資料選通訊號是否致能。當資料選通訊號致能時先進先出暫存器傳送測試資料訊號至資料訊號通道，以輸出至記憶體測試器。

【0007】 在本發明的一實施例中，上述的記憶體單元更包括時脈通道、第二輸入緩衝器、延遲控制器。時脈通道用以接收時脈訊

號。第二輸入緩衝器耦接時脈通道，用以暫存時脈訊號。延遲控制器耦接第二輸入緩衝器以及先進先出暫存器，用以調整時脈訊號並提供至先進先出暫存器。其中，在讀取期間先進先出暫存器接收具備讀取資料的讀取資料訊號，並且先進先出暫存器依據時脈訊號傳送讀取資料訊號至資料訊號通道。

【0008】 在本發明的一實施例中，上述的記憶體測試器輸出具備測試資料的寫入資料訊號至記憶體單元以將測試資料儲存至記憶體單元。

【0009】 在本發明的一實施例中，上述的記憶體測試器包括比較器。比較器用以判斷由記憶體單元所取得的測試資料是否與寫入記憶體單元時相等，並據以判斷記憶體單元是否損壞。

【0010】 本發明的記憶體測試方法適用於由電子裝置測試記憶體單元。此方法在測試期間產生資料選通訊號並傳送至記憶體單元。並且，在測試期間偵測資料選通訊號的致能而由記憶體單元輸出具備所儲存的測試資料的測試資料訊號，並依據測試資料判斷記憶體單元是否損壞。

【0011】 在本發明的一實施例中，上述的記憶體單元包括資料選通訊號通道以及資料訊號通道。上述偵測資料選通訊號的致能而由記憶體單元輸出具備所儲存的測試資料的測試資料訊號的步驟包括在測試期間偵測資料選通訊號通道所接收的資料選通訊號是否致能。並且，當資料選通訊號致能時傳送測試資料訊號至資料訊號通道。

【0012】 在本發明的一實施例中，上述的記憶體單元更包括時脈通道。上述的記憶體測試方法更包括在讀取期間依據時脈通道所接收的時脈訊號傳送具備讀取資料的讀取資料訊號至資料訊號通道。

【0013】 在本發明的一實施例中，在上述產生資料選通訊號並傳送至記憶體單元的步驟之前包括輸出具備測試資料的寫入資料訊號至記憶體單元以將測試資料儲存至記憶體單元。

【0014】 在本發明的一實施例中，上述依據測試資料判斷記憶體單元是否損壞的步驟包括判斷由記憶體單元所取得的測試資料是否與寫入記憶體單元時相等，並據以判斷記憶體單元是否損壞。

【0015】 基於上述，本發明的記憶體測試系統，可透過距離資料訊號通道較近的資料選通訊號來取代時脈訊號觸發產生有效的資料窗。藉此，可減少受到 PVT 影響而相對增加的延遲時間，降低資料窗的位移誤差。在不增加測試成本的情況下，順利地擷取有效資料，以完成記憶體測試。

【0016】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式做詳細說明如下。

【圖式簡單說明】

【0017】

圖 1 是依照本發明一實施例所繪示之記憶體測試系統示意圖。

圖 2 為依據本發明一實施例所繪示之資料選通訊號與測試資

料訊號的波形圖。

圖 3 是依照本發明一實施例所繪示之記憶體單元示意圖。

圖 4 是依照本發明一實施例所繪示之記憶體測試方法流程圖。

【實施方式】

【0018】 首先請參照圖 1，圖 1 是依照本發明一實施例所繪示之記憶體測試系統示意圖。在本實施例中，記憶體測試系統 100 包括記憶體測試器 110 以及記憶體單元 120。其中受測的記憶體單元 120 可例如為雙倍資料率（DDR）記憶體、第二代雙倍資料率（DDR2）記憶體、低功率第二代雙倍資料率（LPDDR2）記憶體或第三代雙倍資料率（DDR3）記憶體等記憶體裝置。

【0019】 在圖 1 中，記憶體測試器 110 可在測試期間產生資料選通訊號 DQS。並且，記憶體測試器 110 可將資料選通訊號 DQS 傳送至記憶體單元 120。詳細來說，記憶體測試器 110 會預先輸出具備測試資料 DT 的寫入資料訊號 DQW 至記憶體單元 120。並且，記憶體單元 120 中的受測記憶胞可依據寫入資料訊號 DQW 而儲存測試資料 DT（邏輯 0 或 1），以進行後續的記憶體測試。其中，在記憶體單元 120 中受測記憶胞的個數端視實際測試需求而論/決定，本發明實施例並不加以限制。

【0020】 接著，在測試期間，記憶體測試器 110 可產生致能的資料選通訊號 DQS。並且傳送至記憶體單元 120，以觸發記憶體單元 120 輸出儲存於受測記憶胞的測試資料 DT。

【0021】此外，記憶體單元 120 耦接記憶體測試器 110。記憶體單元 120 在測試期間會持續偵測資料選通訊號 DQS 的致能而輸出具備所儲存的測試資料 DT 的測試資料訊號 DQT 至記憶體測試器 110。記憶體測試器 110 便可依據測試資料 DT 判斷記憶體單元 120 是否損壞。詳細來說，當資料選通訊號 DQS 致能時，記憶體單元 120 便會將包含此時儲存於受測記憶胞的測試資料 DT 的測試資料訊號 DQT 輸出至記憶體測試器 110，以讓記憶體測試器 110 判斷經由記憶體單元 120 儲存後測試資料 DT 的正確性，藉此判斷記憶體單元 120（受測記憶胞）是否損壞。舉例來說，記憶體測試器 110 可包括比較器。比較器可用以判斷由記憶體單元 120 所取得的測試資料 DT 是否與預先經由寫入資料訊號 DQW 寫入記憶體單元 120 時相等。若所取得的測試資料 DT 與預先寫入記憶體單元 120 時相同，記憶體測試器 110 可判斷記憶體單元 120 正常。若所取得的測試資料 DT 與預先寫入記憶體單元 120 時不同，則記憶體測試器 110 可判斷記憶體單元 120 損壞。

【0022】以下舉例以進一步說明資料選通訊號與測試資料訊號的關係。圖 2 為依據本發明一實施例所繪示之資料選通訊號與測試資料訊號的波形圖。請參照圖 1 及圖 2，在本實施例中，繪示了在受 PVT 影響下，不同情況的測試資料訊號 DQT1 及 DQT2。在記憶體單元 120 運作較快的情況（例如受 PVT 的影響較小的情況）下，記憶體單元 120 可反應於記憶體測試器 110 所產生的資料選通訊號 DQS 而輸出測試資料訊號 DQT1。在記憶體單元 120 運作

較慢的情況（例如受 PVT 的影響較大的情況）下，記憶體單元 120 可反應於資料選通訊號 DQS 而輸出測試資料訊號 DQT2。

【0023】具體來說，在圖 2 中，在時間 t_1 時資料選通訊號 DQS 開始致能。換言之，在時間 t_1 時，記憶體測試器 110 致能資料選通訊號 DQS 並傳送至記憶體單元 120。在資料選通訊號 DQS 致能經過週期 T 的時間 t_2 之後，在運作較快情況下，在時間 t_3 時記憶體單元 120 開始反應於資料選通訊號 DQS 而透過測試資料訊號 DQT1 依序輸出測試資料 $D_0 \sim D_3$ 。在運作較慢情況下，在時間 t_4 時記憶體單元 120 開始反應於資料選通訊號 DQS 而透過測試資料訊號 DQT2 依序輸出測試資料 $D_0 \sim D_3$ 。如圖 2 所繪示，資料選通訊號 DQS 的週期 T 可例如為 1.875ns 。時間 t_3 與時間 t_4 的差距（位移誤差）大約為資料選通訊號 DQS 週期的四分之一（ 0.46875ns ）。相較於傳統上時利用時脈訊號觸發測試資料訊號的方式，在不同程度 PVT 影響的情況下資料窗之間可能會動輒超過 0.6ns 以上的位移誤差，本發明實施例的記憶體測試系統 100 降低了因受到 PVT 影響所產生的位移誤差。因此，如圖 2 所示，以測試資料 D_0 為範例，不論記憶體單元 120 受到 PVT 影響而運作較快（測試資料訊號 DQT1）或較慢（測試資料訊號 DQT2），記憶體測試器 110 皆可在時間 t_4 至 t_5 的期間擷取到正確的測試資料 D_0 ，以克服傳統上記憶體測試器受到 PVT 影響導致無法正確擷取有效資料的缺陷。

【0024】圖 3 是依照本發明一實施例所繪示之計憶體單元示意

圖。請參照圖 3，在圖 3 中標示了記憶體單元 120 在進行測試操作以及讀取操作時的處理路徑。在本實施例中，記憶體單元 120 包括資料選通訊號通道 121、輸入緩衝器 122、資料訊號通道 123、先進先出暫存器 124、延遲控制器 125、輸入緩衝器 126 以及時脈通道 127。本實施例的記憶體單元 120 在用以進行記憶體測試操作的測試期間以及用以對儲存資料進行普通讀取操作的讀取期間分別採取不同的處理路徑（處理路徑 P1 及 P2）來進行訊號的傳輸，以減少記憶體測試時訊號傳輸的距離，降低資料窗受到 PVT 影響所產生的位移誤差。

【0025】 請參照圖 1 及圖 3，在本實施例中，在測試期間，記憶體測試器 110 可產生資料選通訊號 DQS，並傳送至記憶體單元 120 的資料選通訊號通道 121。接著，如處理路徑 P1 所示，資料選通訊號通道 121 可接收資料選通訊號 DQS 並傳送至輸入緩衝器 122。輸入緩衝器 122 耦接資料選通訊號通道 121，並且暫存由資料選通訊號通道 121 所接收的資料選通訊號 DQS。

【0026】 此外，在測試期間，記憶體單元 120 可將包含此時儲存於受測記憶胞的測試資料 DT 的測試資料訊號 DQT 傳送至先進先出暫存器 124。先進先出暫存器 124 耦接輸入緩衝器 122 以及資料訊號通道 123。如處理路徑 P1 所示，在測試期間先進先出暫存器 124 可接收測試資料訊號 DQT，並且持續偵測輸入緩衝器 122 所提供的資料選通訊號 DQS 是否致能。當資料選通訊號 DQS 致能時，先進先出暫存器 124 即可依據資料選通訊號 DQS 傳送具備測

試資料 DT 的測試資料訊號 DQT 至資料訊號通道 123，以輸出測試資料訊號 DQT 至記憶體測試器 110 來判斷記憶體單元 120（受測記憶胞）是否損壞。

【0027】 另一方面，在讀取期間，如處理路徑 P2 所示，記憶體單元 120 可由時脈通道 127 接收外部的時脈訊號 CLK 來觸發輸出具備讀取資料 DR 的讀取資料訊號 DQR。具體來說，時脈通道 127 可接收時脈訊號 CLK 並傳送至輸入緩衝器 126。輸入緩衝器 126 耦接時脈通道 127。輸入緩衝器 126 可暫存由時脈通道 127 所接收的時脈訊號 CLK。並且，延遲控制器 125 耦接輸入緩衝器 126 以及先進先出暫存器 124。延遲控制器 125 可調整時脈訊號 CLK 的時脈以匹配記憶體單元 120 的電路結構，並將調整後的時脈訊號 CLK' 提供至先進先出暫存器 124。

【0028】 此外，在讀取期間，記憶體單元 120 可將包含所儲存的讀取資料 DR 的讀取資料訊號 DQR 傳送至先進先出暫存器 124。如處理路徑 P2 所示，在讀取期間先進先出暫存器 124 可接收具備讀取資料 DR 的讀取資料訊號 DQR，並且持續偵測輸入緩衝器 126 所提供的時脈訊號 CLK'。藉此，先進先出暫存器 124 可依據時脈訊號 CLK' 傳送讀取資料訊號 DQR 至資料訊號通道 123，以例如輸出讀取資料訊號 DQR 至外部的記憶體控制器。

【0029】 圖 4 是依照本發明一實施例所繪示之記憶體測試方法流程圖。請同時參照圖 1 及圖 4，本實施例的記憶體測試方法適用於圖 1 的記憶體測試系統 100，以下即搭記憶體測試系統 100 中的各

項元件說明本發明實施例之記憶體測試方法的各個步驟。

【0030】 在步驟 S410 中，在測試期間記憶體測試器 110 可產生資料選通訊號 DQS 並傳送至記憶體單元 120。

【0031】 在步驟 S420 中，在測試期間記憶體單元 120 可偵測資料選通訊號 DQS 的致能而由記憶體單元 120 輸出具備所儲存的測試資料 DT 的測試資料訊號 DQT 至記憶體測試器 110。並且，記憶體測試器 110 可依據測試資料判斷記憶體單元 120 是否損壞。其中，上述步驟 S410 及 S420 的細節可參照圖 1 至圖 3 的實施例，在此則不再贅述。

【0032】 綜上所述，本發明的記憶體測試系統及其測試方法，在進行記憶體測試時，記憶體單元可透過距離資料訊號通道較近的資料選通訊號來取代時脈訊號觸發產生有效的資料窗。藉此，可縮短記憶體單元內部的延遲時間，以減少受到 PVT 影響而相對增加的資料窗位移誤差。在不增加測試成本的情況下，順利地擷取有效資料，以完成記憶體測試。

【0033】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】**【0034】**

100：記憶體測試系統

110：記憶體測試器

120：記憶體單元

121：資料選通訊號通道

122、126：輸入緩衝器

123：資料訊號通道

124：先進先出暫存器

125：延遲控制器

127：時脈通道

CLK、CLK'：時脈訊號

D0、D1、D2、D3：測試資料

DQR：讀取資料訊號

DQS：資料選通訊號

DQT、DQT1、DQT2：測試資料訊號

DQW：寫入資料訊號

P1、P2：處理路徑

T：週期

t1、t2、t3、t4、t5：時間

S410、S420：記憶體測試方法的各步驟

申請專利範圍

1. 一種記憶體測試系統，包括：

一記憶體測試器，在一測試期間產生一資料選通訊號；以及
一記憶體單元，耦接該記憶體測試器，在該測試期間偵測該資料選通訊號的致能而輸出具備所儲存的一測試資料的一測試資料訊號至該記憶體測試器，該記憶體測試器依據該測試資料判斷該記憶體單元是否損壞，其中當該記憶體單元運作較快時，反應於該資料選通訊號的致能輸出該測試資料訊號的反應時間小於該資料選通訊號的週期的二分之一，當該記憶體單元運作較慢時，反應於該資料選通訊號的致能輸出該測試資料訊號的反應時間小於該資料選通訊號的週期。

2. 如申請專利範圍第 1 項所述之記憶體測試系統，其中該記憶體單元包括：

一資料選通訊號通道，接收該資料選通訊號；
一第一輸入緩衝器，耦接該資料選通訊號通道，暫存該資料選通訊號；
一資料訊號通道，輸出該測試資料訊號；以及
一先進先出暫存器，耦接該第一輸入緩衝器以及該資料訊號通道，在該測試期間接收該測試資料訊號，並偵測該第一輸入緩衝器所提供的該資料選通訊號是否致能，當該資料選通訊號致能時該先進先出暫存器傳送該測試資料訊號至該資料訊號通道，以輸出至該記憶體測試器。

3. 如申請專利範圍第 2 項所述之記憶體測試系統，其中該記憶體單元更包括：

一時脈通道，接收一時脈訊號；

一第二輸入緩衝器，耦接該時脈通道，暫存該時脈訊號；

一延遲控制器，耦接該第二輸入緩衝器以及該先進先出暫存器，調整該時脈訊號並提供至該先進先出暫存器，

其中，在一讀取期間該先進先出暫存器接收具備一讀取資料的一讀取資料訊號，並且該先進先出暫存器依據該時脈訊號傳送該讀取資料訊號至該資料訊號通道。

4. 如申請專利範圍第 1 項所述之記憶體測試系統，其中該記憶體測試器輸出具備該測試資料的一寫入資料訊號至該記憶體單元以將該測試資料儲存至該記憶體單元。

5. 如申請專利範圍第 1 項所述之記憶體測試系統，其中該記憶體測試器包括：

一比較器，判斷由該記憶體單元所取得的該測試資料是否與寫入該記憶體單元時相等，並據以判斷該記憶體單元是否損壞。

6. 一種記憶體測試方法，適用於由一電子裝置測試一記憶體單元，該方法包括下列步驟：

在一測試期間產生一資料選通訊號並傳送至該記憶體單元；
以及

在該測試期間偵測該資料選通訊號的致能而由該記憶體單元輸出具備所儲存的一測試資料的一測試資料訊號，並依據該測試

資料判斷該記憶體單元是否損壞，其中當該記憶體單元運作較快時，反應於該資料選通訊號的致能輸出該測試資料訊號的反應時間小於該資料選通訊號的週期的二分之一，當該記憶體單元運作較慢時，反應於該資料選通訊號的致能輸出該測試資料訊號的反應時間小於該資料選通訊號的週期。

7. 如申請專利範圍第 6 項所述之記憶體測試方法，其中該記憶體單元包括一資料選通訊號通道以及一資料訊號通道，且偵測該資料選通訊號的致能而由該記憶體單元輸出具備所儲存的該測試資料的該測試資料訊號的步驟包括：

在該測試期間偵測該資料選通訊號通道所接收的該資料選通訊號是否致能；以及

當該資料選通訊號致能時傳送該測試資料訊號至該資料訊號通道。

8. 如申請專利範圍第 7 項所述之記憶體測試方法，其中該記憶體單元更包括一時脈通道，且該方法更包括：

在一讀取期間依據該時脈通道所接收的一時脈訊號傳送具備一讀取資料的一讀取資料訊號至該資料訊號通道。

9. 如申請專利範圍第 6 項所述之記憶體測試方法，其中在產生該資料選通訊號並傳送至該記憶體單元的步驟之前包括：

輸出具備該測試資料的一寫入資料訊號至該記憶體單元以將該測試資料儲存至該記憶體單元。

10. 如申請專利範圍第 6 項所述之記憶體測試方法，其中依據

105-8-15

該測試資料判斷該記憶體單元是否損壞的步驟包括：

判斷由該記憶體單元所取得的該測試資料是否與寫入該記憶體單元時相等，並據以判斷該記憶體單元是否損壞。

圖式

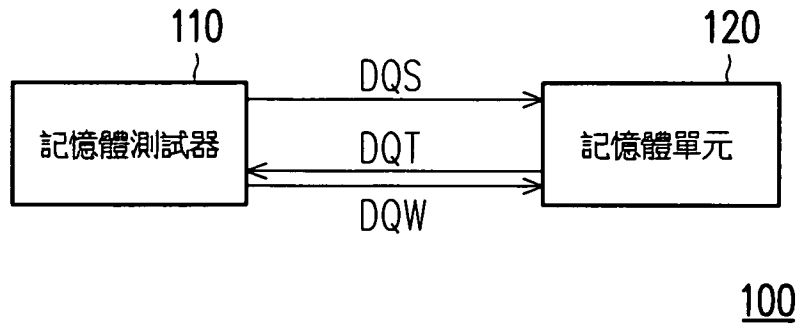


圖 1

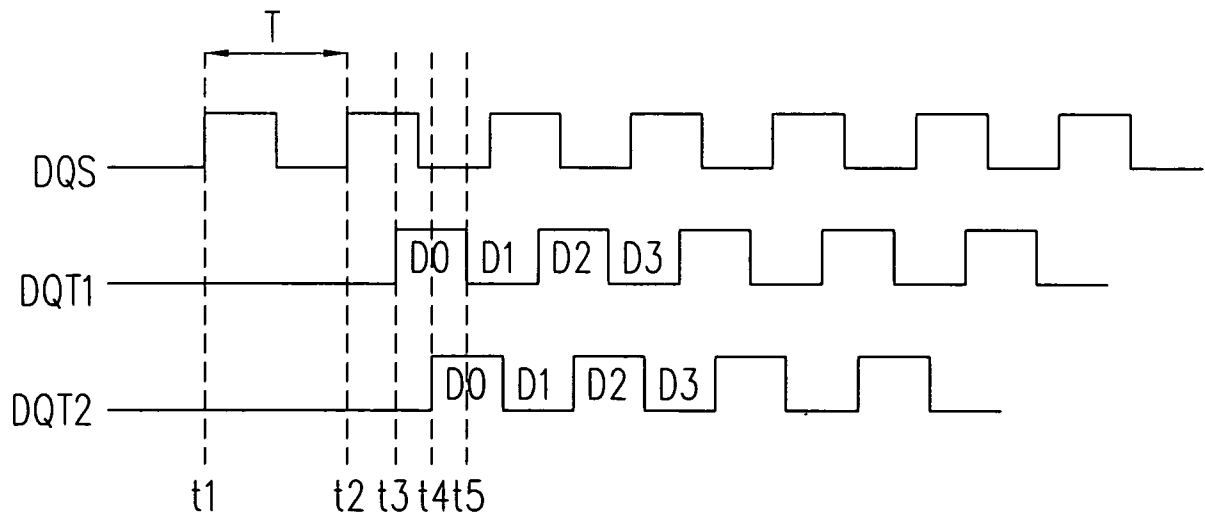


圖 2

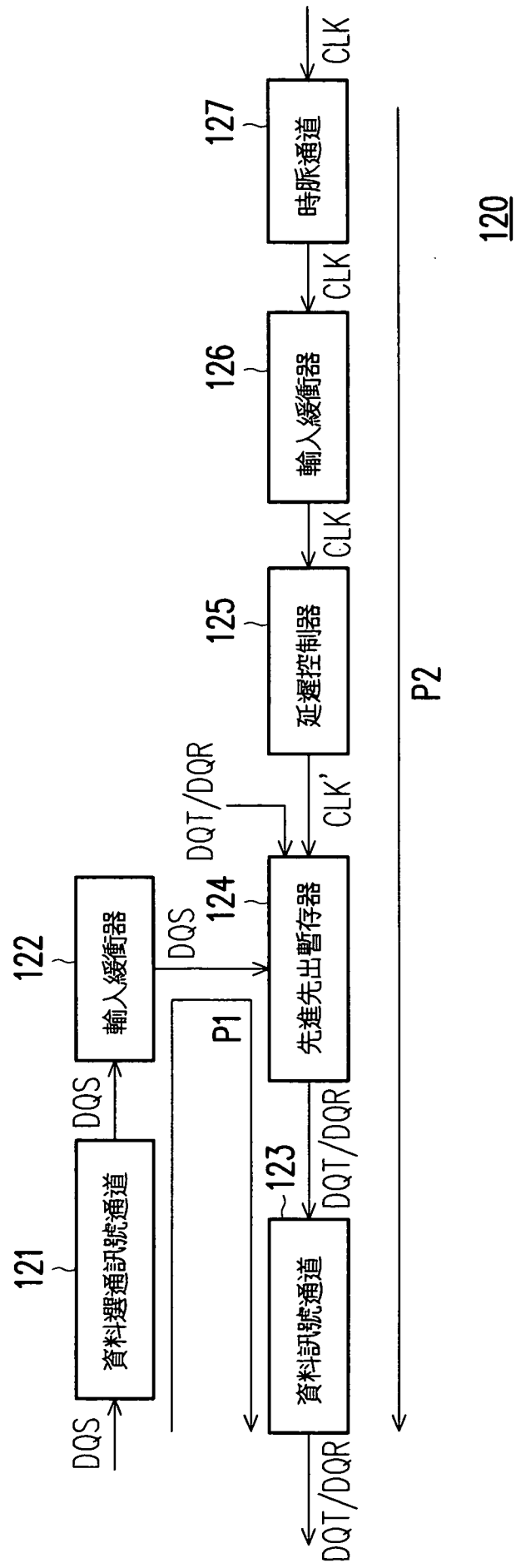


圖3

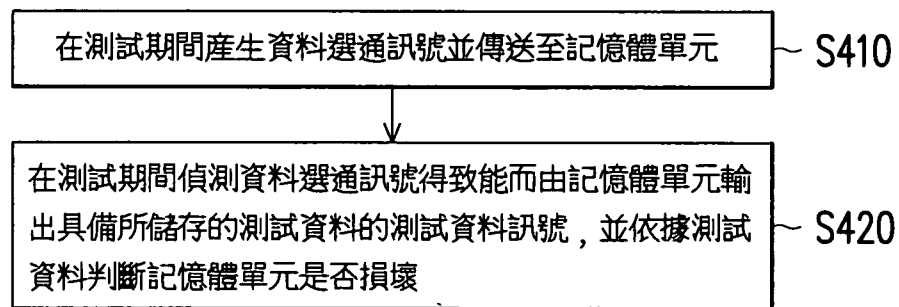


圖 4