

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-79734
(P2012-79734A)

(43) 公開日 平成24年4月19日(2012.4.19)

(51) Int.Cl.		F I	テーマコード (参考)
HO 1 L 25/10	(2006.01)	HO 1 L 25/14	Z
HO 1 L 25/11	(2006.01)	HO 1 L 23/12	5 O 1 S
HO 1 L 25/18	(2006.01)		
HO 1 L 23/12	(2006.01)		

審査請求 未請求 請求項の数 17 O L (全 21 頁)

(21) 出願番号 特願2010-220617 (P2010-220617)
(22) 出願日 平成22年9月30日 (2010.9.30)

(71) 出願人 311014314
株式会社テラミクロス
東京都青梅市今井3丁目10番地の6
(74) 代理人 110001254
特許業務法人光陽国際特許事務所
(72) 発明者 伊藤 智宏
東京都青梅市今井3丁目10番地の6 カ
シオ計算機株式会社青梅事業所第一工場内

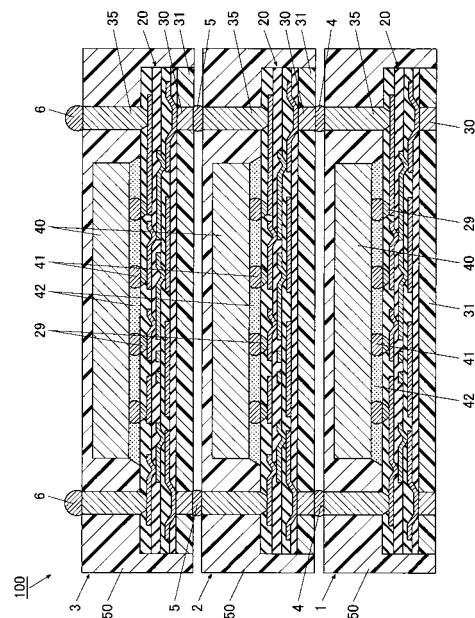
(54) 【発明の名称】 半導体装置及び半導体デバイス並びにそれらの製造方法

(57) 【要約】 (修正有)

【課題】半導体デバイスの大型化を抑られる手段を提供する。

【解決手段】上面に端子29を有する多層配線板20を作成し、多層配線板20の端子となるコンタクト導体30を多層配線板20の下面に形成し、多層配線板20の端子となる柱状導体35を多層配線板20の上面に形成し、半導体チップ40を多層配線板20の上面に搭載して、半導体チップ40の外部接続用電極41を端子29に接続し、封止材50によって半導体チップ40を覆い、柱状導体35を封止材50から露出させる。このようにして作成した半導体デバイス1~3の積み重ねに際しては、半導体デバイス1の柱状導体35と、半導体デバイス2のコンタクト導体30とをバンプ4によって半田付けし、半導体デバイス2の柱状導体35と、半導体デバイス3のコンタクト導体30とをバンプ5によって半田付けする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

一方の面に端子を有する配線板の他方の面にコンタクト導体を形成し、
前記配線板の前記一方の面に、柱状導体と、半導体チップと、を形成し、
前記半導体チップを覆うようにして封止材を前記配線板の前記一方の面上に形成し、前記柱状導体を前記封止材から露出させることを特徴とする半導体デバイスの製造方法。

【請求項 2】

前記半導体チップは、外部接続用電極を有し、前記外部接続用電極を前記端子に接続することを特徴とする請求項 1 に記載の半導体デバイスの製造方法。

【請求項 3】

前記柱状導体の形成に際しては、前記配線板の作成後に前記配線板の前記一方の面にレジストを形成し、そのレジストをマスクとして電解メッキ法を行うことで前記柱状導体を成長させることを特徴とする請求項 1 又は 2 に記載の半導体デバイスの製造方法。

【請求項 4】

前記封止材の形成に際しては、前記半導体チップに加えて前記柱状導体も前記封止材で覆い、

前記封止材の上層部分を研削することによって前記柱状導体を露出させることを特徴とする請求項 1 から 3 の何れか一項に記載の半導体デバイスの製造方法。

【請求項 5】

前記配線板の作成前に、支持体の表側の面にバリアメタル層を成膜し、そのバリアメタル層の上に保護層をパターンニングしてその保護層に開口部を形成し、

前記コンタクト導体の形成に際しては、前記バリアメタル層を電極として電解メッキを行うことによって前記開口部内に前記コンタクト導体を成長させ、

前記コンタクト導体の形成後に前記保護層の上に前記配線板を作成し、

前記封止材の形成後に、前記支持体及び前記バリアメタル層を除去することを特徴とする請求項 1 から 4 の何れか一項に記載の半導体デバイスの製造方法。

【請求項 6】

前記配線板の前記一方の面のうち前記端子の周囲に前記柱状導体を形成することを特徴とする請求項 1 から 5 の何れか一項に記載の半導体デバイスの製造方法。

【請求項 7】

前記半導体デバイスは複数あって並んで配置され、前記封止材が、並んで配置された前記半導体デバイスの前記配線板を跨って形成され、跨った部分の前記封止材を切断して前記半導体デバイスを分割することを特徴とする請求項 1 から 6 の何れか一項に記載の半導体デバイスの製造方法。

【請求項 8】

前記封止材は前記配線板の周側面を覆っていることを特徴とする請求項 7 に記載の半導体デバイスの製造方法。

【請求項 9】

請求項 1 から 6 の何れか一項に記載の半導体デバイスが複数あって、前記半導体デバイスを積み重ね、一方の半導体デバイスの柱状導体又はコンタクト導体と、他方の半導体デバイスのコンタクト導体又は柱状導体と、をバンプによって接続することを特徴とする半導体装置の製造方法。

【請求項 10】

各前記半導体デバイスは前記配線板を複数有し、前記封止材は前記配線板の周側面を覆っており、前記封止材を格子状に切断して分割することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

一方の面に端子を有する配線板と、

前記配線板の前記一方の面に形成された柱状導体及び半導体チップと、

前記配線板の他方の面に形成されたコンタクト導体と、

10

20

30

40

50

前記半導体チップを覆うようにして前記配線板の前記一方の面上に形成され、前記柱状導体を露出させる封止材と、

を備えることを特徴とする半導体デバイス。

【請求項 1 2】

前記半導体チップは、前記端子に接続された外部接続用電極を有し、前記配線板の前記一方の面から前記柱状導体の上面までの高さが、前記配線板の前記一方の面から前記半導体チップの上面までの厚さよりも大きいことを特徴とする請求項 1 1 に記載の半導体デバイス。

【請求項 1 3】

前記柱状導体は、前記配線板の前記一方の面のうち前記端子の周囲に配置されていることを特徴とする請求項 1 1 又は 1 2 に記載の半導体デバイス。

10

【請求項 1 4】

前記半導体デバイスは複数あって並んで配置され、前記封止材が、並んで配置された前記半導体デバイスの前記配線板を跨って形成され、跨った部分の前記封止材を切断して前記半導体デバイスを分割することを特徴とする請求項 1 1 から 1 3 の何れか一項に記載の半導体デバイス。

【請求項 1 5】

前記封止材は前記配線板の周側面を覆っていることを特徴とする請求項 1 4 に記載の半導体デバイス。

【請求項 1 6】

請求項 1 1 から 1 3 の何れか一項に記載の半導体デバイスが複数あって、前記半導体デバイスが積み重ねられ、一方の半導体デバイスの柱状導体又はコンタクト導体と、他方の半導体デバイスのコンタクト導体又は柱状導体と、がパンプによって接続されていることを特徴とする半導体装置。

20

【請求項 1 7】

各前記半導体デバイスは前記配線板を複数有し、前記封止材は前記配線板の周側面を覆っており、前記封止材は格子状に切断されて分割されていることを特徴とする請求項 1 6 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

30

【0 0 0 1】

本発明は、半導体装置及び半導体デバイス並びにそれらの製造方法に関する。

【背景技術】

【0 0 0 2】

半導体パッケージとしては、C S P (C S P : Chip Size Package)、W L P (Wafer Level Package) 等がある。C S P とは、内蔵するダイと同じサイズか僅かに大きめのサイズのパッケージである。W L P とは、集積回路が形成された半導体ウエハを個片化する前に、その集積回路が形成された面に配線・端子・封止層等の加工を行い、その後個片化する方法で作成されたパッケージである (例えば、特許文献 1)。C S P や W L P 以外のパッケージもある。

40

【0 0 0 3】

パッケージされた半導体デバイスの実装技術として三次元実装が開発されている。三次元実装は、複数の半導体デバイスをプリント基板の上に積み重ねて、これら半導体デバイスを実装する技術である。

【0 0 0 4】

各段の半導体デバイスとプリント基板との間で導通を取るために、レーザー光を用いる方法がある。具体的には、レーザー光を各半導体デバイスに照射することによって各半導体デバイスにスルーホールを形成し、スルーホール内に導体を埋めたり、スルーホールの壁面にメッキを形成したりする。これにより、半導体デバイスの上面と下面との間で導通を取ることができ、これら半導体デバイスを積み重ねれば、スルーホールを通じて各段の

50

半導体デバイスとプリント基板との間で導通を取ることができる。

【0005】

また、ワイヤボンディング法によっても、各段の半導体デバイスとプリント基板との間で導通を取ることができる。具体的には、複数の半導体デバイスの端子面を上にして、これら半導体デバイスをサイズの大きい順にプリント基板の上に積み重ね、各半導体デバイスの端子とプリント基板の端子をボンディングワイヤで接続する。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2009-135420号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0007】

また、ワイヤボンディング法を用いた方法では、半導体デバイスのサイズに制約が出てしまう。つまり、半導体デバイスをサイズの大きい順に積み重ねる必要があり、半導体デバイスをそれ以下のサイズの半導体デバイスの上に積み重ねることができなかつた。

そこで、本発明が解決しようとする課題は、半導体デバイスの大型化を抑えられるようにすること、半導体デバイスの製造時間の短縮を図れるようにすること、積み重ねる半導体デバイスのサイズに関する制約をなくすことである。

【課題を解決するための手段】

20

【0008】

以上の課題を解決するために、本発明に係る半導体デバイスの製造方法は、一方の面に端子を有する配線板の他方の面にコンタクト導体を形成し、前記配線板の前記一方の面に、柱状導体と、半導体チップと、を形成し、前記半導体チップを覆うようにして封止材を前記配線板の前記一方の面上に形成し、前記柱状導体を前記封止材から露出させる方法である。

【0009】

好ましくは、前記半導体チップは、外部接続用電極を有し、前記外部接続用電極を前記端子に接続する。

好ましくは、前記柱状導体の形成に際しては、前記配線板の作成後に前記配線板の前記一方の面にレジストを形成し、そのレジストをマスクとして電解メッキ法を行うことで前記柱状導体を成長させる。

30

好ましくは、前記封止材の形成に際しては、前記半導体チップに加えて前記柱状導体も前記封止材で覆い、前記封止材の上層部分を研削することによって前記柱状導体を露出させる。

好ましくは、前記配線板の作成前に、支持体の表側の面にバリアメタル層を成膜し、そのバリアメタル層の上に保護層をパターンニングしてその保護層に開口部を形成し、前記コンタクト導体の形成に際しては、前記バリアメタル層を電極として電解メッキを行うことによって前記開口部内に前記コンタクト導体を成長させ、前記コンタクト導体の形成後に前記保護層の上に前記配線板を作成し、前記封止材の形成後に、前記支持体及び前記バリアメタル層を除去する。

40

好ましくは、前記配線板の前記一方の面のうち前記端子の周囲に前記柱状導体を形成する。

好ましくは、前記半導体デバイスは複数あって並んで配置され、前記封止材が、並んで配置された前記半導体デバイスの前記配線板を跨って形成され、跨った部分の前記封止材を切断して前記半導体デバイスを分割する。

好ましくは、前記封止材は前記配線板の周側面を覆っている。

【0010】

本発明に係る半導体装置の製造方法は、前記半導体デバイスが複数あって、前記半導体デバイスを積み重ね、一方の半導体デバイスの柱状導体又はコンタクト導体と、他方の半

50

導体デバイスのコンタクト導体又は柱状導体と、をバンプによって接続する方法である。

【0011】

好ましくは、各前記半導体デバイスは前記配線板を複数有し、前記封止材は前記配線板の周側面を覆っており、前記封止材を格子状に切断して分割する。

【0012】

本発明に係る半導体デバイスは、一方の面に端子を有する配線板と、

前記配線板の前記一方の面に形成された柱状導体及び半導体チップと、

前記配線板の他方の面に形成されたコンタクト導体と、

前記半導体チップを覆うようにして前記配線板の前記一方の面上に形成され、前記柱状導体を露出させる封止材と、

を備える。

【0013】

好ましくは、前記半導体チップは、前記端子に接続された外部接続用電極を有し、前記配線板の前記一方の面から前記柱状導体の上面までの高さが、前記配線板の前記一方の面から前記半導体チップの上面までの厚さよりも大きい。

好ましくは、前記柱状導体は、前記配線板の前記一方の面のうち前記端子の周囲に配置されている。

好ましくは、前記半導体デバイスは複数あって並んで配置され、前記封止材が、並んで配置された前記半導体デバイスの前記配線板を跨って形成され、跨った部分の前記封止材を切断して前記半導体デバイスを分割する。

好ましくは、前記封止材は前記配線板の周側面を覆っている。

【0014】

本発明に係る半導体装置は、

前記半導体デバイスが複数あって、前記半導体デバイスが積み重ねられ、一方の半導体デバイスの柱状導体又はコンタクト導体と、他方の半導体デバイスのコンタクト導体又は柱状導体と、がバンプによって接続されている。

【0015】

好ましくは、各前記半導体デバイスは前記配線板を複数有し、前記封止材は前記配線板の周側面を覆っており、前記封止材は格子状に切断されて分割されている。

【発明の効果】

【0016】

本発明によれば、レーザー光によってスルーホールを形成したのではなく、柱状導体を形成して、封止材を多層配線板の一方の面に形成し、その柱状導体を露出させたので、半導体デバイスの製造時間を短縮することができるとともに、柱状導体の径を小型化することができる。そのため、半導体デバイスや半導体装置の大型化を抑えることができる。

また、ワイヤボンディング法を用いずに、隣り合う半導体デバイスのうち一方の柱状導体又はコンタクト導体と、他方の柱状導体又はコンタクト導体とをバンプによって半田付けすることによって導通を取ったから、積み重ねる半導体デバイスのサイズに関する制約をなくすことができる。

【図面の簡単な説明】

【0017】

【図1】本発明の実施形態に係る半導体装置の断面図。

【図2】同実施形態に係る半導体デバイスの断面図。

【図3】同実施形態に係る半導体デバイスの平面図。

【図4】同実施形態に係る半導体デバイスの平面図。

【図5】同実施形態に係る半導体チップの断面図。

【図6】同実施形態に係る半導体装置を製造する際の一工程における断面図。

【図7】図6の後の工程における断面図。

【図8】図7の後の工程における断面図。

10

20

30

40

50

【図 9】図 8 の後の工程における断面図。

【図 10】図 9 の後の工程における断面図。

【図 11】図 10 の後の工程における断面図。

【図 12】図 11 の後の工程における断面図。

【図 13】図 12 の後の工程における断面図。

【図 14】端子及び柱状導体のパターンニング法の一例を示した断面図。

【図 15】図 14 の後の工程における断面図。

【図 16】図 15 の後の工程における断面図。

【図 17】図 16 の後の工程における断面図。

【図 18】図 17 の後の工程における断面図。

10

【図 19】図 18 の後の工程における断面図。

【図 20】図 19 の後の工程における断面図。

【図 21】変形例に係る半導体装置の断面図。

【図 22】変形例に係る半導体装置の断面図。

【図 23】変形例に係る半導体装置の断面図。

【図 24】変形例に係る半導体装置の断面図。

【発明を実施するための形態】

【0018】

以下に、本発明を実施するための形態について、図面を用いて説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているが、本発明の範囲を以下の実施形態及び図示例に限定するものではない。

20

【0019】

図 1 は、スタック型の半導体装置 100 を示した断面図である。図 1 に示すように、半導体装置 100 は、半導体デバイス 1、2、3、複数のバンプ 4、複数のバンプ 5 及び複数のバンプ 6 等を備える。

【0020】

これら半導体デバイス 1、2、3 は、これらの順に積み重ねられている。複数のバンプ 4 が半導体デバイス 1 と半導体デバイス 2 の間に介在し、半導体デバイス 1、2 がこれらバンプ 4 によって接合されている。複数のバンプ 5 が半導体デバイス 2 と半導体デバイス 3 の間に介在し、半導体デバイス 2、3 がこれらバンプ 5 によって接合されている。複数のバンプ 6 が、最上段の半導体デバイス 3 の上面に形成されている。

30

【0021】

図 1 に示された半導体装置 100 は 3 段の半導体デバイス 1、2、3 を積み重ねたものであるが、積み重ねられた半導体デバイスの段数が 2 であってもよいし、4 以上であってもよい。半導体デバイスの段数に関わらず（1 段を除く。）、隣り合う半導体デバイスが複数のバンプによって接合されている。

【0022】

この半導体装置 100 は、その最上段の半導体デバイス 3 の上面がプリント基板に向けられた状態で、そのプリント基板に表面実装される。この場合、バンプ 6 が、リフロー等によってプリント基板の接続端子に接合される。半導体デバイス 1～3 が積み重ねられているから、プリント基板への半導体装置 100 の実装面積を小さくすることができる。

40

【0023】

図 2 は、最下段の半導体デバイス 1 を示した断面図である。図 3 は、最下段の半導体デバイス 1 を示した平面図である。図 2、図 3 に示すように、半導体デバイス 1 は、多層配線板 20、保護層 31、コンタクト導体 30、柱状導体 35、半導体チップ 40 及び封止材 50 等を有する。

【0024】

多層配線板 20 はインターポーザーであり、多層配線板 20 には配線が内蔵されている。多層配線板 20 は、絶縁膜 24、導体パターン 28 及び端子 29 等を有する。多層配線板 20 に内蔵された配線は、導体パターン 28 及び端子 29 によって構成されている。

50

【0025】

多層配線板20の下面には、保護層31が成膜されているとともに、コンタクト導体30が形成されている。保護層31の下面が、半導体デバイス1の下面となっている。保護層31は、絶縁材からなる。具体的には、保護層31は、絶縁性の有機材料（例えば、ポリイミド）又は無機材料からなる。或いは、保護層41は、絶縁性の有機材料と無機材料が積層されているものでも良い。例えば、保護層31は、絶縁性の有機材料としての感光材料（例えば、感光性ポリイミド）、又は、絶縁性の無機材料としてのシリコン酸化物若しくはシリコン窒化物からなる。

【0026】

保護層31には、複数の開口部32が形成されている。開口部32は、保護層31の上面から下面に貫通するように形成されている。各開口部32内に、多層配線板20の端子となるコンタクト導体30が埋め込まれている。コンタクト導体30は、銅（Cu）、アルミ（Al）、チタン（Ti）その他の金属材料からなる。コンタクト導体30は、金属材料の単層であってもよいし、複数の金属材料層からなる積層体であってもよい。

10

【0027】

保護層31の上面には、複数層の絶縁膜24が積層されている。最上層の絶縁膜24の上面が、多層配線板20の上面となっている。絶縁膜24は、絶縁性の有機材料（例えば、ポリイミド）又は無機材料からなる。例えば、絶縁膜24は、絶縁性の有機材料としての感光材料（感光性ポリイミド）からなる。なお、絶縁膜24が、低誘電率（Low-k）膜であってもよい。

20

【0028】

これら絶縁膜24の間には、導体パターン28が形成されている。最下層の絶縁膜24に、複数のビアホール（via hole）25が形成され、最下層の導体パターン28とコンタクト導体30がビアホール25を介して接続されている。最上層の絶縁膜24以外の絶縁膜24にもビアホール25が形成され、絶縁膜24の上下にある導体パターン28、28同士がビアホール25を介して接続されている。導体パターン28は、銅、アルミ、チタンその他の金属材料からなる。導体パターン28は、金属材料の単層であってもよいし、複数の金属材料層からなる積層体であってもよい。

【0029】

最上層の絶縁膜24の中央部には、複数の第一コンタクトホール26が形成されている。これら第一コンタクトホール26は、格子状に配列されている。第一コンタクトホール26内には端子29が埋め込まれている。端子29は、多層配線板20の端子であるとともに、最上層の導体パターン28に接続されている。端子29は、銅、アルミ、チタンその他の金属材料からなる。端子29は、金属材料の単層であってもよいし、複数の金属材料層からなる積層体であってもよい。なお、第一コンタクトホール26内に端子29が埋め込まれていなくてもよい。この場合、半田パンプ41の一部が第一コンタクトホール26内に埋められ、半田パンプ41が最上層の導体パターン28の一部に接合しており、その半田パンプ41と接合した部分が端子となる。

30

【0030】

最上層の絶縁膜24の縁寄り部分には、複数の第二コンタクトホール27が形成されている。これら第二コンタクトホール27は、最上層の絶縁膜24の縁に沿って環状に配列されている。これら第二コンタクトホール27は、上から見て、複数の第一コンタクトホール26からなるグループを囲んでいる。

40

【0031】

第二コンタクトホール27内には、柱状導体35の下部が埋め込まれている。柱状導体35は、最上層の導体パターン28に接続されている。柱状導体35は、第二コンタクトホール27から最上層の絶縁膜24の上へ突き出るように設けられ、且つ、最上層の絶縁膜24の上面に対して立てた状態に設けられている。柱状導体35は、多層配線板20の端子である。柱状導体35は、銅、アルミ、チタンその他の金属材料からなる。柱状導体35は、金属材料の単層であってもよいし、複数の金属材料層からなる積層体であっても

50

よい。

【0032】

半導体チップ40は、多層配線板20の上面の中央部に表面実装されている。半導体チップ40は、ダイ(Die)を封止してなるパッケージである。具体的には、半導体チップ40は、内蔵するダイと同じサイズか僅かに大きめのチップ・サイズ・パッケージ(CSP:Chip Size Package)である。特に、半導体チップ40はBGA(Ball Grid Array)型のパッケージであり、半導体チップ40の下面には複数の半田バンプ41が形成されている。

【0033】

これら半田バンプ41は、端子29の配列と同様に、格子状に配列されている。これら半田バンプ41がそれぞれ端子29に接合され、半導体チップ40の端子と端子29が半田バンプ41によって半田付けされている。多層配線板20の上面から半導体チップ40の上面までの厚さが、多層配線板20の上面から柱状導体35の上面までの高さよりも低い。なお、半導体チップ40がLGA(Land Grid Array)型のパッケージであってもよく、この場合、複数のパッドが半導体チップ40の下面に形成され、パッドと端子29が半田バンプ41によって半田付けされていてもよい。

10

【0034】

最上層の絶縁膜24の上面(多層配線板20の上面)と半導体チップ40の下面との間の隙間にはアンダーフィル42が充填されている。なお、アンダーフィル42の代わりに封止材50の一部が最上層の絶縁膜24の上面と半導体チップ40の下面との間の隙間に充填されていてもよい。また、アンダーフィル42が無くてよい。

20

【0035】

なお、半導体チップ40がベアチップであってもよい。そのベアチップはTAB方式、ワイヤボンディング方式、フェースダウン方式、フリップチップ方式などで多層配線板20の上面に実装されていてもよい。半導体チップ40がTAB方式やワイヤボンディング方式で実装されていれば、勿論半田バンプ41は無い。

【0036】

多層配線板20及び半導体チップ40が封止材50に包み込まれている。封止材50は、半導体チップ40を覆うようにして多層配線板20の上面の上に形成されているとともに、更に多層配線板20の側面を覆っている。多層配線板20の下面は、封止材50に覆われずに露出している。柱状導体35の上面が封止材50によって覆われていないが、柱状導体35の周面が封止材50によって覆われて保護されている。封止材50の表側の面(図1では、上面)が、柱状導体35の上面と面一に設けられているか、又は柱状導体35の上面よりも高い位置にある。封止材50の表側の面が、図1に示された半導体チップ40の上面である。封止材50は、エポキシ系樹脂、ポリイミド系樹脂その他の絶縁性樹脂を含有し、好ましくは、絶縁性樹脂(エポキシ系樹脂、ポリイミド系樹脂等)にフィラー(例えば、ガラスフィラー、シリカフィラー)又は繊維(例えば、ガラス繊維)を配合した強化樹脂からなる。

30

【0037】

バンプ4が柱状導体35の上面上に形成され、バンプ4と柱状導体35が接合されている。封止材50の表側の面が柱状導体35の上面よりも高い位置にある場合、封止材50の表側の面を基準として柱状導体35の上面が凹んでいるから、バンプ4がその凹みに埋まるように設けられてもよい。この場合、多層配線板20の上面に半導体チップ40が搭載されると、封止材50の表側の面が多層配線板20の上面に接するので、アンダーフィル42は無い。

40

【0038】

図3に示すように、上から見て、複数の柱状導体35が半導体チップ40を囲むように環状に配列されている。図3では、柱状導体35の環状列の数が1であるが、柱状導体35の環状列の数が2以上であってもよい。柱状導体35の環状列が2重以上である場合、これら環状列が同心状となっている。

50

コンタクト導体 30 についても同様に環状に配列され、コンタクト導体 30 の環状列の数も 1 でもよいし、2 以上でもよい。

【0039】

なお、図 4 に示すように、上から見て、半導体チップ 40 の両脇で、複数の柱状導体 35 が半導体チップ 40 の側面に沿って配列されていてもよい。半導体チップ 40 の片側にある柱状導体 35 の列の数が 1 でなく、2 以上であってもよい。コンタクト導体 30 についても同様に半導体チップ 40 の両脇で半導体チップ 40 に沿って配列されており、コンタクト導体 30 の列の数も 1 でもよいし、2 以上でもよい。

【0040】

半導体デバイス 2 は半導体デバイス 1 と概ね同様に設けられ、半導体デバイス 2 と半導体デバイス 1 との間で互に対応する部分には、同一の符号を付し、半導体デバイス 2 の詳細についての説明を省略する。半導体デバイス 3 についても同様とする。

10

【0041】

半導体デバイス 1 の柱状導体 35 の数、図 1 に示された半導体デバイス 2 のコンタクト導体 30 の数及びパンプ 4 の数が等しい。図 1 に示すように、半導体デバイス 1 の柱状導体 35 と半導体デバイス 2 のコンタクト導体 30 がパンプ 4 によって半田付けされている。

半導体デバイス 2 の柱状導体 35 の数、半導体デバイス 3 のコンタクト導体 30 の数及びパンプ 5 の数が等しい。半導体デバイス 2 の柱状導体 35 と半導体デバイス 3 のコンタクト導体 30 がパンプ 5 によって半田付けされている。

20

【0042】

半導体デバイス 1 の半導体チップ 40 の各端子は、半導体デバイス 1 の各種導体（端子 29、導体パターン 28、柱状導体 35 及びパンプ 4 等）、半導体デバイス 2 の各種導体（コンタクト導体 30、導体パターン 28、柱状導体 35 及びパンプ 5 等）及び半導体デバイス 3 の各種導体（コンタクト導体 30、導体パターン 28 及び柱状導体 35 等）によってパンプ 6 に導通している。半導体デバイス 2 の半導体チップ 40 の各端子も、同様に、パンプ 6 に導通している。半導体デバイス 3 の半導体チップ 40 の各端子も、同様に、パンプ 6 に導通している。

【0043】

半導体デバイス 1, 2, 3 の半導体チップ 40 の端子がボンディングワイヤによってプリント基板に導通しているのではなく、端子 29、多層配線板 20 の配線、柱状導体 35、パンプ 4 ~ 6 等によってプリント基板に導通しているので、半導体デバイス 1, 2, 3 のサイズに関する制約をなくすることができる。特に、半導体デバイス 1, 2, 3 のサイズを同じすることができる。

30

【0044】

半導体デバイス 1 ~ 3 の多層配線板 20 に配線が組み込まれているから、半導体デバイス 1 ~ 3 の半導体チップ 40 の間の配線をプリント基板に組み込まなくても済む。そのため、プリント基板の配線設計の自由度が広がる。

【0045】

半導体デバイス 1, 2, 3 のコンタクト導体 30 の数は等しくてもよいし、異なってもよい。半導体デバイス 1, 2, 3 の多層配線板 20 の層数は等しくてもよいし、異なってもよい。半導体デバイス 1, 2, 3 の多層配線板 20 の配線構造（導体パターン 28 からなる）は同じでもよいし、異なってもよい。半導体デバイス 1, 2, 3 の端子 29 の数は等しくてもよいし、異なってもよい。半導体デバイス 1, 2, 3 の半導体チップ 40 の種類や集積回路は同じでもよいし、異なってもよい。半導体デバイス 1, 2, 3 の半導体チップ 40 の端子数が等しくてもよいし、異なってもよい。半導体デバイス 1, 2, 3 の柱状導体 35 の数は等しくてもよいし、異なってもよい。

40

【0046】

半導体チップ 40 が CSP の中でも特にウエハ・レベル・パッケージ（WLP : Wafer Level Package）である場合、図 5 を参照して半導体チップ 40 の構造について説明する

50

。図5は、多層配線板20の上に搭載される前の状態の半導体チップ40を示した断面図である。WLPとは、集積回路が形成された半導体ウエハを個片化する前に、その集積回路が形成された面に配線・端子・封止層等の加工を行い、その後個片化する方法で製造されたCSPである。

【0047】

半導体チップ40は、ダイ61、パッシベーション膜64、保護絶縁膜66、配線パターン68、外部接続用電極72及び封止層73等を備える。

【0048】

ダイ61は、半導体ウエハを個片化したものであって、シリコンといった半導体材料等からなる。ダイ61は、その表側の面の表層部分に集積回路領域部62を有する。集積回路領域部62には、各種の半導体素子や配線等からなる集積回路が形成されている。ダイ61の表側の面には、複数の接続パッド63が形成されている。接続パッド63は、集積回路領域部62の配線の一部であったり、集積回路領域部62の配線に接続されていたりする。

10

【0049】

ダイ61の表側の面上には、パッシベーション膜64が成膜されている。パッシベーション膜64上に保護絶縁膜66が成膜されている。

【0050】

パッシベーション膜64は、無機材料（例えば、酸化シリコン若しくは窒化シリコン又はこれらの両方）を含有する。保護絶縁膜66は、ポリイミド、エポキシ、フェノール、ビスマレイミド、アクリル、合成ゴム、ポリベンゾオキサイド等を主成分とした有機材料を含有する。

20

【0051】

パッシベーション膜64のうち接続パッド63に重なる位置には、開口65が形成されている。保護絶縁膜66のうち接続パッド63に重なる位置には、開口67が形成されている。接続パッド63の一部又は全体が開口65、67内に位置している。なお、保護絶縁膜66が形成されていなくてもよい。

【0052】

保護絶縁膜66上（保護絶縁膜66が無い場合には、パッシベーション膜64上）には、配線パターン68が形成されている。配線パターン68は下地69及び導電層70を有し、下地69が保護絶縁膜66上に形成され、導電層70が下地69上に形成されている。下地69は、シード層を所定の形状にパターニングしたものである。下地69の一部が接続パッド63上に積層され、下地69が開口65、67を介して接続パッド63に接続されている。下地69は、導体からなる。例えば、下地69は、銅の薄膜、チタンの薄膜、チタンに銅を積層した薄膜その他の金属薄膜である。導電層70は、銅その他の金属からなる。平面視して、導電層70が所定の形状にパターニングされており、導電層70の平面形状と下地69の平面形状がほぼ同じである。導電層70は、下地69よりも厚い。なお、配線パターン68が下地69と導電層70の積層体でなくてもよい。例えば、配線パターン68が導電体の単層であってもよいし、更に多くの導電層を積層したものでもよい。

30

40

【0053】

配線パターン68の一部がランド71となっている。ランド71上には、外部接続用電極72が形成されている。外部接続用電極72は、柱状に設けられたポスト電極である。外部接続用電極72は、銅その他の金属からなる。外部接続用電極72の高さ（厚さ）は、導電層70の厚さよりも大きい。外部接続用電極72は、半導体チップ40の端子である。

【0054】

遮光性の封止層73が保護絶縁膜66の上（保護絶縁膜66が無い場合には、パッシベーション膜64の上）に形成され、配線パターン68が封止層73によって覆われ、配線パターン68が封止層73によって保護されている。外部接続用電極72の上面が封止層

50

73によって覆われていないが、外部接続用電極72の周面が封止層73によって覆われて保護されている。封止層73は、エポキシ系樹脂、ポリイミド系樹脂その他の絶縁性樹脂を含有し、好ましくは、絶縁性樹脂（エポキシ系樹脂、ポリイミド系樹脂等）にフィラー（例えば、ガラスフィラー、シリカフィラー）又は繊維（例えば、ガラス繊維）を配合した強化樹脂からなる。なお、ダイ61とパッシベーション膜64と保護絶縁膜66の積層体の側面74が封止層73の一部によって覆われていてもよい。また、封止層73が無くてもよい。封止層73が無い場合、図1に示されたアンダーフィル42が無く、更に、図1に示された封止材50の一部が保護絶縁膜66（保護絶縁膜66が無い場合には、パッシベーション膜64）と多層配線板20との間に充填され、外部接続用電極72の周面が封止材50によって覆われて保護される。

10

【0055】

半田バンプ41が外部接続用電極72の上面に形成されている。半田バンプ41が外部接続用電極72の上面に結合することによって、半田バンプ41と外部接続用電極72が相互に電氣的に接続している。

【0056】

なお、外部接続用電極72が設けられていなくてもよい。外部接続用電極72が設けられていない場合、封止層73が図3の場合よりも薄く、封止層73のうちランド71と重なる部分に開口が形成され、半田バンプ41がその開口内でランド71に接合している。外部接続用電極72が設けられていない場合、ランド71が半導体チップ40の端子となる。

20

【0057】

半導体装置100の製造方法について説明する。

まず、半導体デバイス1の個片化前までの工程について説明する。個片化前の半導体デバイス1の製造に際しては、図9～図12に示すように多層配線板20を作成するとともに、図7～図8に示すように多層配線板20の裏側の面（下面）に保護層31及びコンタクト導体30を形成し、図13に示すように多層配線板20の表側の面（上面）に柱状導体35を形成する。保護層31、多層配線板20、コンタクト導体30及び柱状導体35の作成工程について以下に具体的に説明する。

【0058】

図6に示すように、まず、板状又はシート状の支持体（Substrate）81を準備する。例えばシリコンウエハを支持体81として用いることができる。支持体81のサイズは個片化された半導体デバイス1のサイズよりも大きく、一枚の支持体81を用いて複数個の半導体デバイス1を製造することができる。

30

【0059】

支持体81の表側の面の上にバリアメタル層82を形成する。バリアメタル層82の形成方法は、メッキ法（例えば、無電解メッキ法）、気相成長法（例えば、スパッタリング法）その他の成膜法である。バリアメタル層82は、電解メッキに用いられるシード層である。

【0060】

次に、図7に示すように、バリアメタル層82の上に保護層31を形成するとともに、保護層31をパターニングして保護層31に開口部32を形成する。保護層31が感光材である場合には、バリアメタル層82の上全体に形成した保護層31を露光・現像することによって保護層31のパターニングを行う。保護層31が感光材でない場合には、バリアメタル層82の上全体に形成した保護層31をフォトリソグラフィ法・エッチング法によってパターニングする。

40

【0061】

次に、図8に示すように、バリアメタル層82に電圧を引加して、バリアメタル層82を電極として電解メッキを行う。これにより、開口部32内にコンタクト導体30を成長させる。

【0062】

50

次に、図 9 に示すように、保護層 3 1 の上に絶縁膜 2 4 を形成するとともに、絶縁膜 2 4 をパターンングして絶縁膜 2 4 にビアホール 2 5 を形成する。絶縁膜 2 4 が感光材である場合には、保護層 3 1 の上全体に形成した絶縁膜 2 4 を露光・現像することによって絶縁膜 2 4 のパターンングを行う。絶縁膜 2 4 が感光材でない場合には、保護層 3 1 の上全体に形成した絶縁膜 2 4 をフォトリソグラフィ法・エッチング法によってパターンングする。

【 0 0 6 3 】

次に、図 1 0 に示すように、サブトラクト法、アディティブ法その他のパターンング法によって絶縁膜 2 4 の上に導体パターン 2 8 を形成する。導体パターン 2 8 の一部は、ビアホール 2 5 内で接触導体 3 0 上に成長する。

10

導体パターン 2 8 のパターンング法の一例について説明する。まず、例えば無電解メッキ法又はスパッタリング法によって絶縁膜 2 4 や接触導体 3 0 の上全体にシード層（バリアメタル層）を形成する。なお、シード層を形成しなくてもよい。その後、そのシード層（シード層が無い場合には、絶縁膜 2 4 及び接触導体 3 0）の上にレジストを形成し、そのレジストを露光・現像する。次に、そのシード層又はバリアメタル層 8 2 に電圧を引加して、そのシード層（シード層がない場合には、接触導体 3 0）を電極として電解メッキ法を行う。電解メッキ法によってレジストの溝や開口部内に導体パターン 2 8 の上層部分がパターンングされる。その後、レジストを除去する。次に、シード層をエッチングする。導体パターン 2 8 の上層部分はシード層と比較して厚いため、その上層部分が残留するとともに、シード層のうち上層部分によって覆われた部分も残留する。

20

【 0 0 6 4 】

最下層の導体パターン 2 8 の形成後、図 1 1 に示すように、絶縁膜 2 4 のパターンングと導体パターン 2 8 のパターンングを交互に繰り返し行う。最上層の導体パターン 2 8 のパターンング後、最上層の絶縁膜 2 4 をパターンングして、最上層の絶縁膜 2 4 に接触ホール 2 6 , 2 7 を形成する。

【 0 0 6 5 】

次に、図 1 2 に示すように、サブトラクト法、アディティブ法その他のパターンング法によって第一接触ホール 2 6 内に端子 2 9 を形成する。その後、図 1 3 に示すように、サブトラクト法、アディティブ法その他のパターンング法によって第二接触ホール 2 7 内に柱状導体 3 5 を形成するとともに、その柱状導体 3 5 を最上層の絶縁膜 2 4 の上へ突き出すように形成する。柱状導体 3 5 の形成に際しては、柱状導体 3 5 の高さを半導体チップ 4 0 の厚さよりも大きくする。

30

【 0 0 6 6 】

端子 2 9 及び柱状導体 3 5 のパターンング法の一例（セミアディティブ法）について図 1 4、図 1 5 を参照して説明する。まず、図 1 4 に示すように、例えば無電解メッキ法又はスパッタリング法によって絶縁膜 2 4 の上や接触ホール 2 6 , 2 7 内の導体パターン 2 8 の上全体にシード層（バリアメタル層）8 3 を形成する。その後、そのシード層 8 3 の上にレジスト 8 4 を形成し、そのレジスト 8 4 を露光・現像する。次に、そのシード層を電極として電解メッキ法を行う。電解メッキ法によってレジスト 8 4 の開口部 8 5 内に端子 2 9 の上層部分がパターンングされる。その後、レジスト 8 4 を除去する。続いて、図 1 5 に示すように、ドライフィルムレジスト等の厚膜レジスト 8 6 をシード層 8 3 の上や端子 2 9 の上に形成し、その厚膜レジスト 8 6 を露光・現像する。次に、シード層 8 3 を電極として電解メッキ法を行う。電解メッキ法によって厚膜レジスト 8 6 の開口部 8 7 内に柱状導体 3 5 の上層部分がパターンングされる。その後、厚膜レジスト 8 6 を除去する。次に、シード層 8 3 をエッチングする。端子 2 9 や柱状導体 3 5 の上層部分はシード層と比較して厚いため、端子 2 9 や柱状導体 3 5 の上層部分が残留するとともに、シード層 8 3 のうち上層部分によって覆われた部分も残留する。これにより、端子 2 9 や柱状導体 3 5 の下層部分がパターンングされる。柱状導体を形成する方法として、先に封止材を形成した後、レーザー光によってスルーホールを半導体デバイスに形成する場合、ス

40

50

ルーホールの径が大きくなってしまい、半導体デバイスが大型化してしまうという問題がある。また、ルーホールの形成に要する時間も長くなり、製造効率が悪くなってしまいう問題もある。本発明のように、柱状導体 35 を先に形成することで、半導体デバイスの製造時間の短縮を図れる。

【 0 0 6 7 】

端子 29 及び柱状導体 35 の形成後、図 16 に示すように、絶縁膜 24 , 24 , ... 及び保護層 31 を半導体デバイス 1 ごとに格子状に分割するよう、絶縁膜 24 , 24 , ... 及び保護層 31 をパターニングする。

【 0 0 6 8 】

以上のようにして保護層 31、多層配線板 20、コンタクト導体 30 及び柱状導体 35 を作成した後、図 17 に示すように、半導体チップ 40 を多層配線板 20 の上に実装する。BGA 実装の場合には、半導体チップ 40 の下面又は多層配線板 20 の上面に半田バンプ 41 を形成した後、半田バンプ 41 を半導体チップ 40 と多層配線板 20 との間に挟み込み、その後、半田バンプ 41 をリフローする。半田バンプ 41 を形成するに際しては、半田バンプ 41 を多層配線板 20 の端子 29 に接合するとともに、半田バンプ 41 を半導体チップ 40 の端子（半導体チップ 40 が図 5 のように設けられている場合、外部接続用電極 72）に接合する。半田バンプ 41 によって半導体チップ 40 と多層配線板 20 を半田付けしたら、半導体チップ 40 と多層配線板 20 との間にアンダーフィル 42 を注入し、アンダーフィル 42 を硬化させる。なお、アンダーフィル 42 の注入を行わなくてもよい。

【 0 0 6 9 】

半導体チップ 40 の実装後、図 18 に示すように、多層配線板 20 の上全体に封止材 50 をモールドし、半導体チップ 40 及び柱状導体 35 を封止材 50 で覆う。封止材 50 をモールドする際に、封止材 50 の一部が隣り合う多層配線板 20 の間の隙間に注入され、封止材 50 の一部がバリアメタル層 82 の上面や多層配線板 20 の側面が封止材 50 によって覆われる。なお、封止材 50 のモールドの際に封止材 50 の脱気・脱泡を行うが、先の工程でアンダーフィル 42 を形成しなかった場合、封止材 50 の脱気・脱泡処理の際に封止材 50 の一部が半導体チップ 40 と多層配線板 20 との間の隙間に注入される。

【 0 0 7 0 】

次に、図 19 に示すように、封止材 50 の上層部分を研削して、柱状導体 35 の上面を露出させる。その後、柱状導体 35 の上面にバンプ 4 を形成する。その後、支持体 81 及びバリアメタル層 82 を研削等によって除去し、コンタクト導体 30 を露出させる。封止材 50 の形成後に支持体 81 を除去したので、封止材 50 や多層配線板 20 等が撓みにくい。また、支持体 81 の除去前までの工程では、支持体 81 があるので多層配線板 20 等が撓みにくい。

【 0 0 7 1 】

以上により、半導体デバイス 1 を個片化する前の状態まで作成する。半導体デバイス 1 と同様に、半導体デバイス 2 , 3 も個片化する前の状態まで作成する。

【 0 0 7 2 】

以上のような半導体デバイス 1 , 2 , 3 の製造方法では、複数の柱状導体 35 を一括して形成し、これら柱状導体 35 の上面を研削により一括して露出させたから、レーザー光の照射によりルーホールを形成する場合と比較しても、短時間で半導体デバイス 1 , 2 , 3 を製造することができる。

また、柱状導体 35 は、レーザー光の照射によって形成されたルーホールに埋め込まれたものではなく、サブトラクト法又はアディティブ法によってパターニングされたものである。そのため、柱状導体 35 を微細化することができる。ゆえに、半導体デバイス 1 , 2 , 3 の小型化を図ることができる。

多層配線基板 20 と半導体チップ 40 とを封止材 50 で覆っているので、単に多層配線基板と半導体チップとの間にアンダーフィルを形成する場合と比べて、半導体チップ 40 を保護することができる。更に、半導体デバイス 1 を形成する際、半導体チップ 40 を封

止材 50 で覆った後、シリコンウエハ等の支持体 81 を除去しているため、薄くすることができる。

また、以上のような工程を経れば、複数の半導体デバイス 1 を一括して作成することができる。半導体デバイス 2, 3 についても同様である。

【0073】

半導体デバイス 1, 2, 3 の製造後、図 20 に示すように、個片化する前の半導体デバイス 1, 2, 3 をこれらの順に積み重ねる。この際、半導体デバイス 1 の上面を半導体デバイス 2 の下面に向け、半導体デバイス 2 の上面を半導体デバイス 3 の下面に向ける。また、パンプ 4 を半導体デバイス 1 と半導体デバイス 2 の間に挟み、パンプ 5 を半導体デバイス 2 と半導体デバイス 3 の間に挟む。具体的には、半導体デバイス 1, 2 の位置を調整し、半導体デバイス 1 の柱状導体 35 と半導体デバイス 2 のコンタクト導体 30 との位置合わせを行い、パンプ 4 を半導体デバイス 1 の柱状導体 35 と半導体デバイス 2 のコンタクト導体 30 との間に挟む。同様に、半導体デバイス 2, 3 の位置を調整し、パンプ 5 を半導体デバイス 2 の柱状導体 35 と半導体デバイス 3 のコンタクト導体 30 との間に挟む。

10

【0074】

次に、パンプ 4, 5, 6 をリフローすることによって、半導体デバイス 1 の柱状導体 35 と半導体デバイス 2 のコンタクト導体 30 をパンプ 4 によって半田付けし、半導体デバイス 2 の柱状導体 35 と半導体デバイス 3 のコンタクト導体 30 をパンプ 5 によって半田付けする。

20

【0075】

次に、図 21 に示すように、半導体デバイス 1 ~ 3 の封止材 50 をダイシングブレード等によって格子状に切断して、半導体デバイス 1 ~ 3 を個片化する。このように最後に個片化を行ったので、半導体デバイス 1 ~ 3 を先に個片化する場合よりも取り扱いが容易である。

以上のような工程を経れば、複数の半導体装置 100 を一括して製造することができる。

【0076】

〔変形例〕

本発明を適用可能な実施形態は、上述した実施形態に限定されることなく、本発明の趣旨を逸脱しない範囲で適宜変更可能である。以下、幾つかの変形例を挙げる。以下に挙げる変形例は、可能な限り組み合わせてもよい。

30

【0077】

〔変形例 1〕

図 22 ~ 図 24 に示すように、半導体デバイス 1 ~ 3 の何れかが上下逆に設けられていてもよい。

図 22 に示すように、半導体デバイス 3 が上下逆に設けられている場合、半導体デバイス 3 の柱状導体 35 の数、半導体デバイス 2 の柱状導体 35 の数及びパンプ 5 の数が等しい。そして、半導体デバイス 3 の柱状導体 35 と半導体デバイス 2 の柱状導体 35 がパンプ 5 によって半田付けされている。また、パンプ 6 は、半導体デバイス 3 のコンタクト導体 30 の上に形成されている。

40

【0078】

図 23 に示すように、半導体デバイス 2 が上下逆に設けられている場合、半導体デバイス 3 のコンタクト導体 30 の数、半導体デバイス 2 のコンタクト導体 30 の数及びパンプ 5 の数が等しい。そして、半導体デバイス 3 のコンタクト導体 30 と半導体デバイス 2 のコンタクト導体 30 がパンプ 5 によって半田付けされている。また、半導体デバイス 2 の柱状導体 35 の数、半導体デバイス 1 の柱状導体 35 の数及びパンプ 4 の数が等しい。そして、半導体デバイス 2 の柱状導体 35 と半導体デバイス 1 の柱状導体 35 がパンプ 4 によって半田付けされている。

【0079】

50

図 2 4 に示すように、半導体デバイス 1 が上下逆に設けられている場合、半導体デバイス 2 のコンタクト導体 3 0 の数、半導体デバイス 1 のコンタクト導体 3 0 の数及びバンプ 4 の数が等しい。そして、半導体デバイス 2 のコンタクト導体 3 0 と半導体デバイス 1 のコンタクト導体 3 0 がバンプ 4 によって半田付けされている。

【 0 0 8 0 】

図 2 2 ~ 図 2 4 に示された半導体装置 1 0 0 A , 1 0 0 B , 1 0 0 C の製造方法は、半導体デバイス 1 , 2 , 3 を積み重ねる際に半導体デバイス 1 ~ 3 の何れかを上下逆にするものを除いて、半導体装置 1 0 0 の製造方法と同様である。

【 0 0 8 1 】

なお、スタックした半導体デバイスの段数が 2 や 4 以上の場合でも、これら全ての半導体デバイスの上下の向きが同じである必要はなく、何れかの半導体デバイスの上下の向きが他の半導体デバイスの向きと異なってもよい。

10

【 0 0 8 2 】

〔変形例 2〕

半導体デバイス 1 の上面と半導体デバイス 2 の下面との間の隙間が充填材などによって充填されていてもよい。半導体デバイス 2 の上面と半導体デバイス 3 の下面との間の隙間についても同様である。

【 0 0 8 3 】

〔変形例 3〕

バンプが、最下段の半導体デバイス 1 の下面（コンタクト導体 3 0 ）に形成されていてもよい。この場合、バンプは、最下段の半導体デバイス 1 のコンタクト導体 3 0 に接合することになる。この場合、半導体装置 1 0 0 は、その最下段の半導体デバイス 1 の下面がプリント基板に向けられた状態で、そのプリント基板に表面実装される。また、この場合、最下段の半導体デバイス 1 の複数のコンタクト導体 3 0 は、下から見て、半導体チップ 4 0 に重なるようにして格子状に配列されていてもよい。また、この場合、バンプ 6 が無くてもよい。

20

【 0 0 8 4 】

〔変形例 4〕

半導体デバイス 1 , 2 , 3 の個片化を行った後に、半導体デバイス 1 , 2 , 3 を積み重ねて半田付けしてもよい。

30

【符号の説明】

【 0 0 8 5 】

1 , 2 , 3 半導体デバイス

4 , 5 , 6 バンプ

2 0 多層配線板

2 9 端子

3 0 コンタクト導体

3 1 保護層

3 2 開口部

3 5 柱状導体

4 0 半導体チップ

5 0 封止材

7 2 外部接続用電極

8 1 支持体

8 2 バリアメタル層

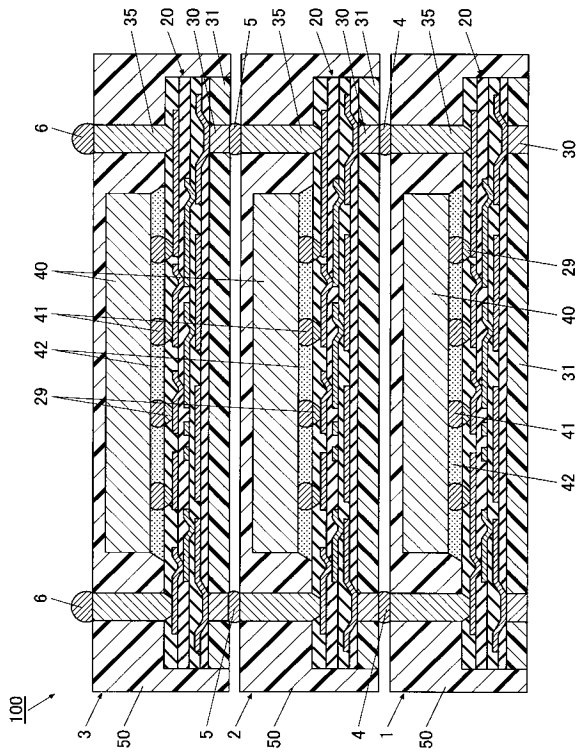
8 3 シード層

8 6 厚膜レジスト

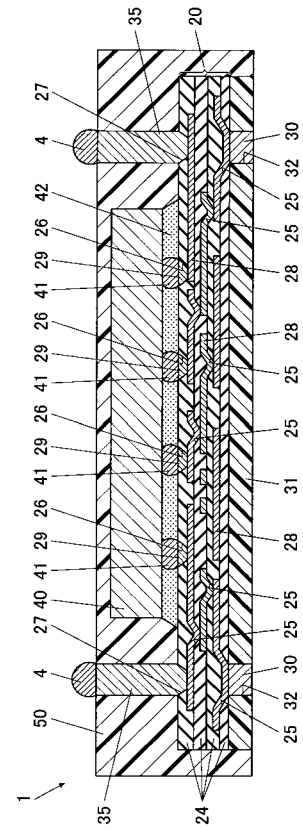
8 7 開口部

40

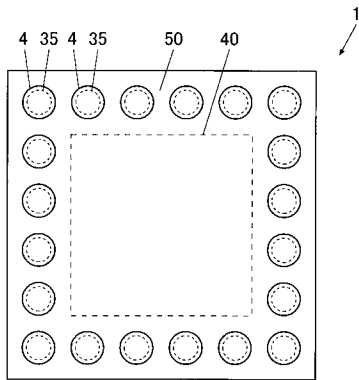
【 図 1 】



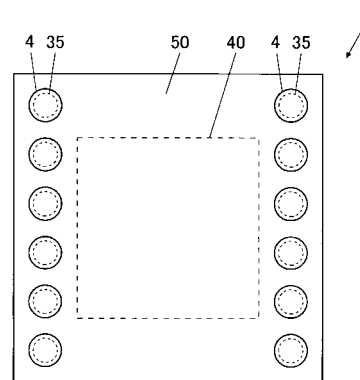
【 図 2 】



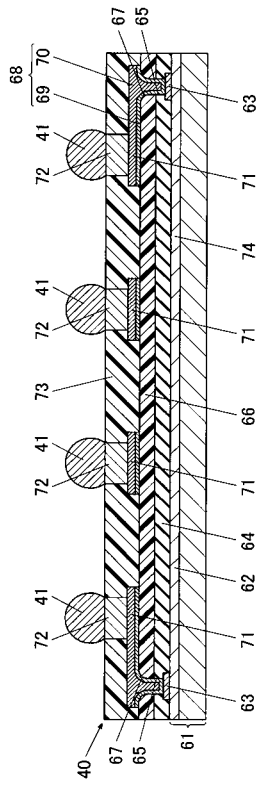
【 図 3 】



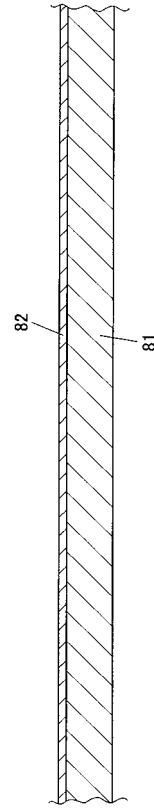
【 図 4 】



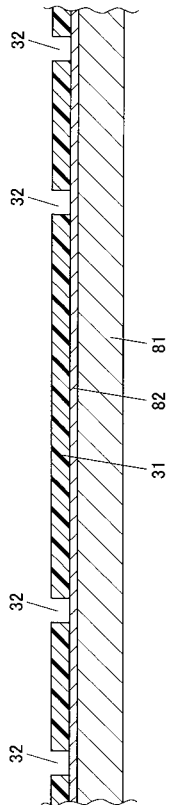
【図 5】



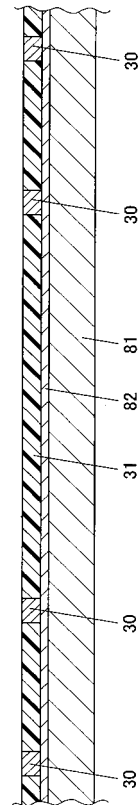
【図 6】



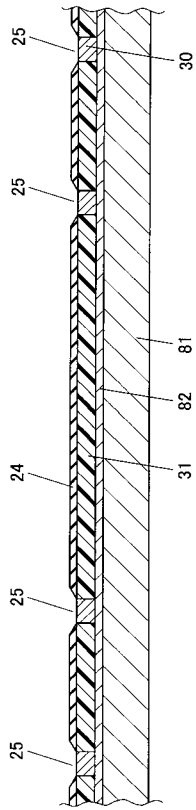
【図 7】



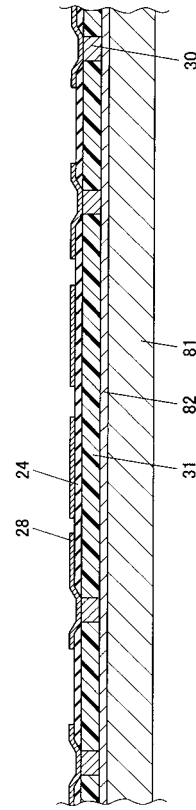
【図 8】



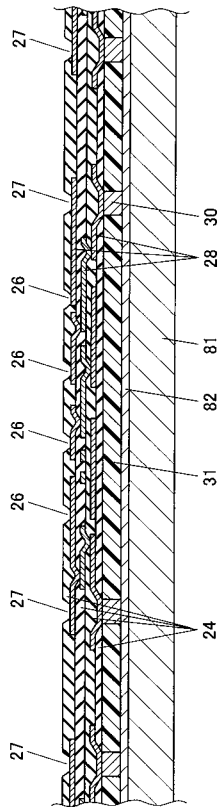
【図 9】



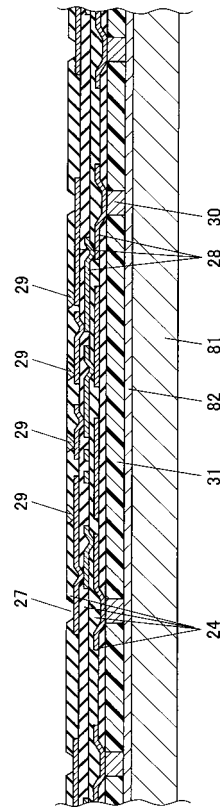
【図 10】



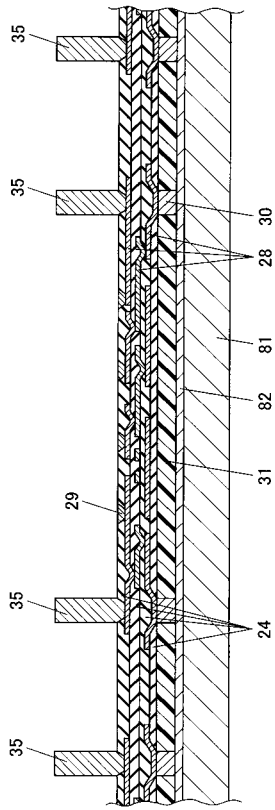
【図 11】



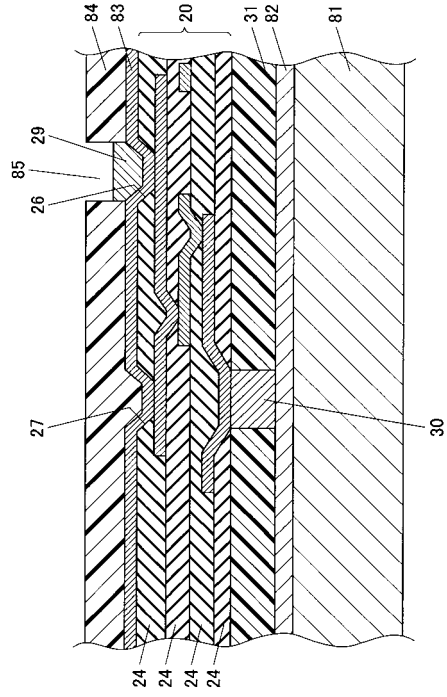
【図 12】



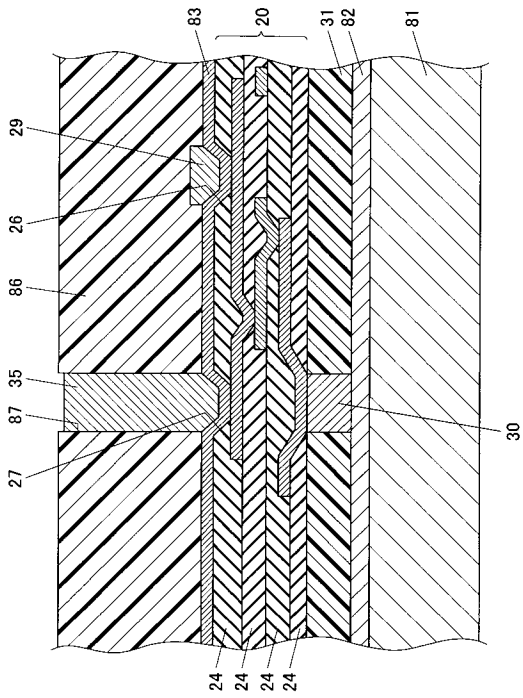
【図 13】



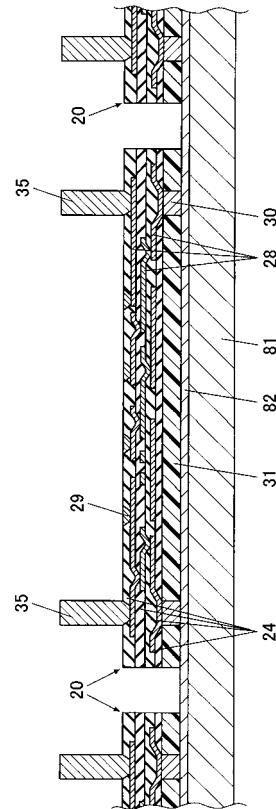
【図 14】



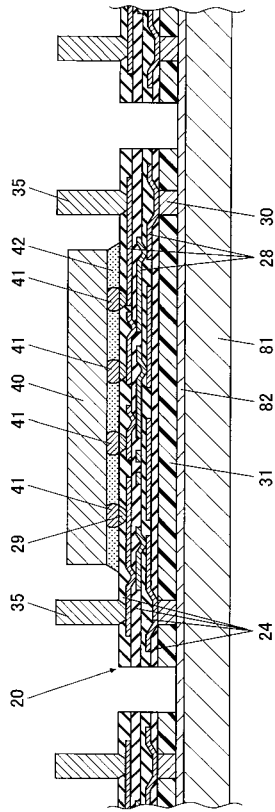
【図 15】



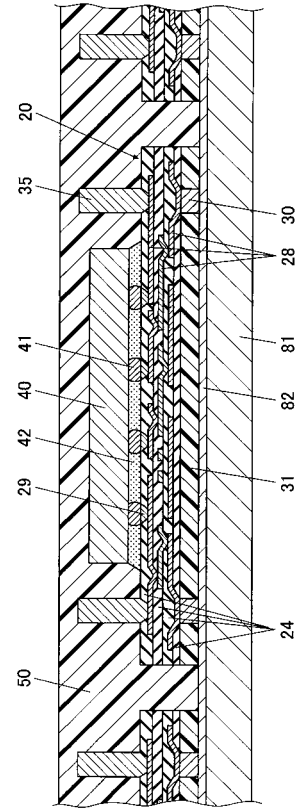
【図 16】



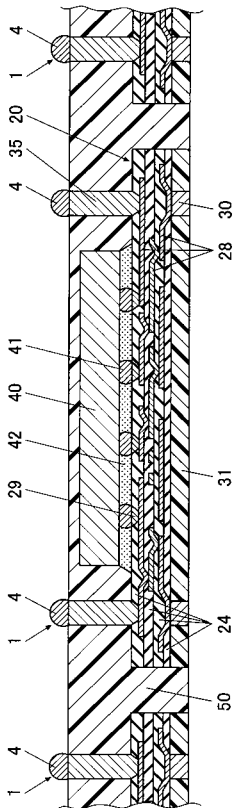
【図 17】



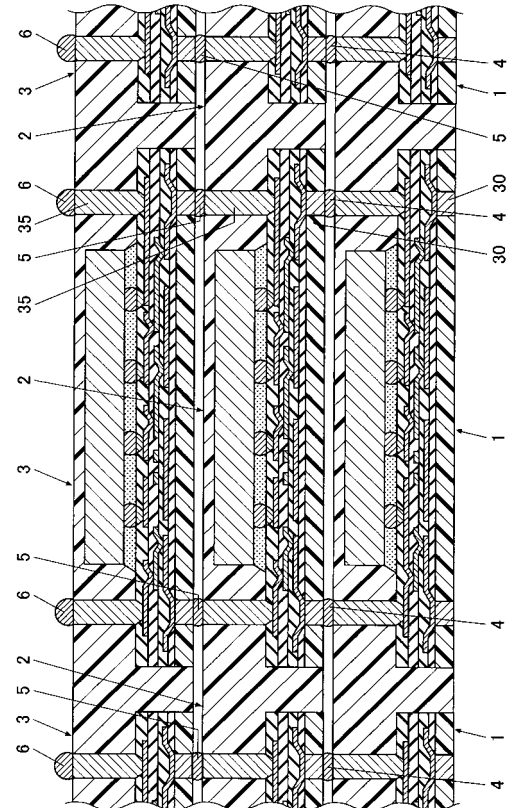
【図 18】



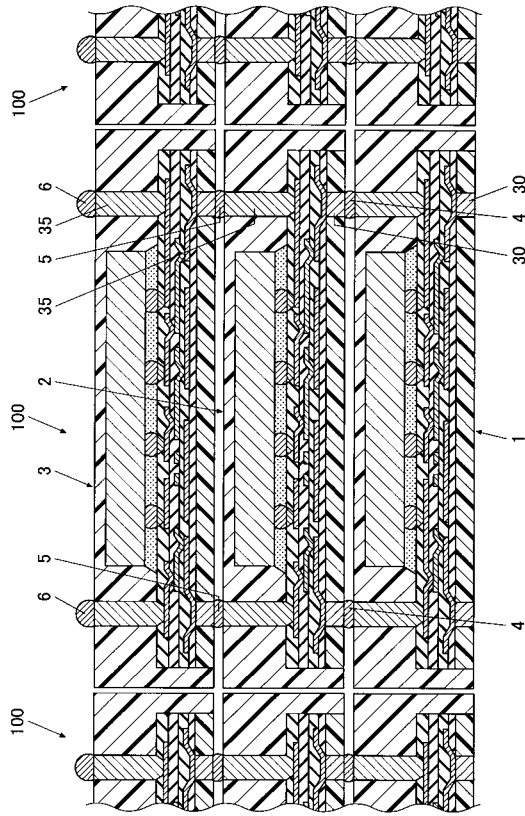
【図 19】



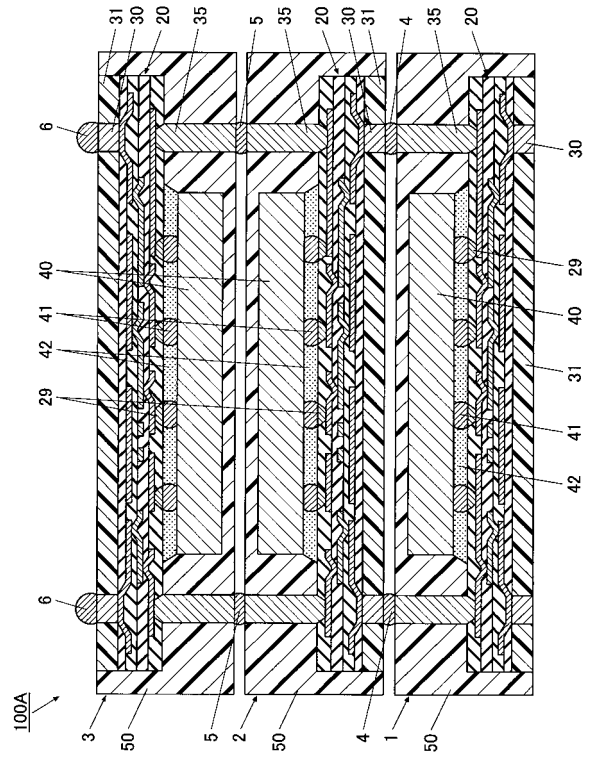
【図 20】



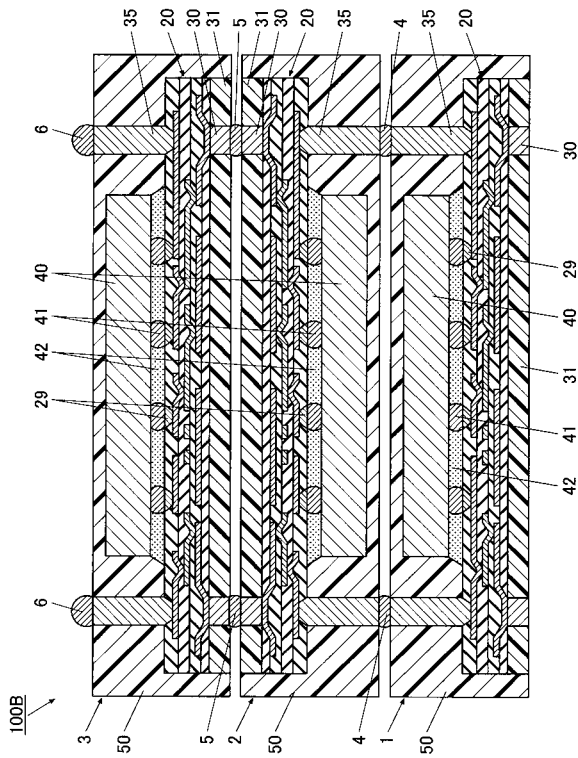
【 図 2 1 】



【 図 2 2 】



【 図 2 3 】



【 図 2 4 】

