



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0092963
(43) 공개일자 2022년07월04일

- (51) 국제특허분류(Int. Cl.)
C23C 14/02 (2006.01) C23C 14/16 (2006.01)
H01J 37/32 (2006.01) H01J 37/34 (2006.01)
H01L 23/00 (2006.01)
- (52) CPC특허분류
C23C 14/022 (2013.01)
C23C 14/165 (2013.01)
- (21) 출원번호 10-2022-7018791
- (22) 출원일자(국제) 2020년10월19일
심사청구일자 2022년06월02일
- (85) 번역문제출일자 2022년06월02일
- (86) 국제출원번호 PCT/US2020/056267
- (87) 국제공개번호 WO 2021/091684
국제공개일자 2021년05월14일
- (30) 우선권주장
16/677,891 2019년11월08일 미국(US)

- (71) 출원인
어플라이드 머티어리얼스, 인코포레이티드
미국 95054 캘리포니아 산타 클라라 바우어스 애
브뉴 3050
- (72) 발명자
오우, 유에 쉹
싱가포르 128807 싱가포르 잘란 렘펑 28 #03-08
와다, 유이치
일본 2860201 지바 지바 히요시다이 도미사토-시
쑤307 4-3-1
(뒷면에 계속)
- (74) 대리인
특허법인 남앤남

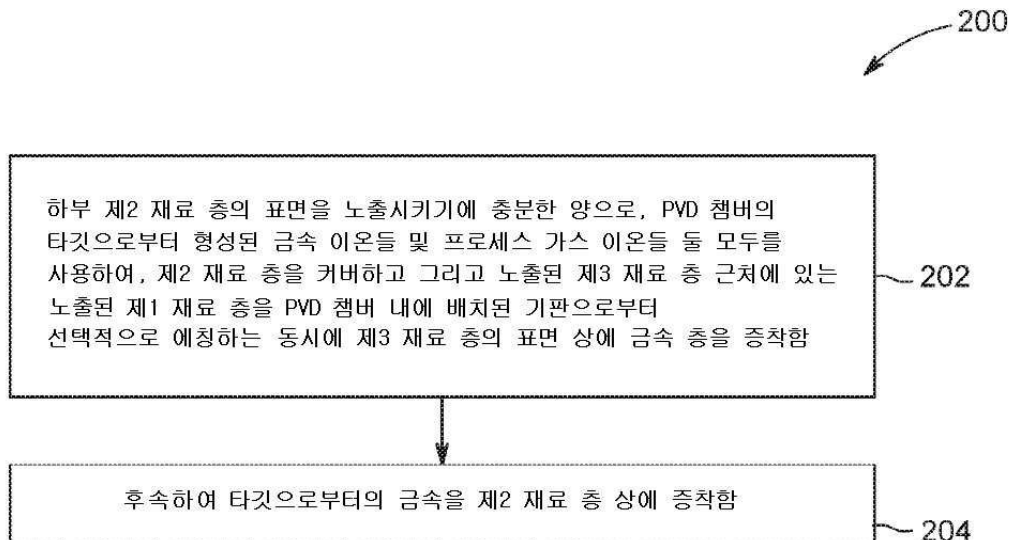
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **기판을 프로세싱하기 위한 방법들 및 장치**

(57) 요약

기판을 프로세싱하기 위한 방법들 및 장치가 본원에서 제공된다. 예컨대, 기판을 프로세싱하기 위한 방법은, 하부 제2 재료 층을 노출시키기에 충분한 양으로, PVD 챔버의 타겟으로부터 형성된 금속 이온들 및 프로세스 가스 이온들 둘 모두를 사용하여, 제2 재료 층을 커버하고 그리고 노출된 제3 재료 층 근처에 있는 노출된 제1 재료 층을 PVD 챔버 내에 배치된 기판으로부터 선택적으로 에칭하는 동시에 제3 재료 층 상에 금속 층을 증착하는 단계; 및 후속하여 타겟으로부터의 금속을 제2 재료 층 상에 증착하는 단계를 포함할 수 있다.

대표도 - 도2



(52) CPC특허분류

H01J 37/32082 (2013.01)

H01J 37/3426 (2013.01)

H01L 24/03 (2013.01)

H01J 2237/332 (2013.01)

H01J 2237/334 (2013.01)

H01J 2237/335 (2013.01)

H01L 2224/0381 (2013.01)

H01L 2224/03826 (2013.01)

(72) 발명자

웨이, 준치

싱가포르 760452 싱가포르 웨스트 코스트 로드 블
럭 519 #03-625

장, 강

싱가포르 600265 싱가포르 토 관 로드 265 #09-21

보, 켈빈

싱가포르 760312 싱가포르 이순 링 로드 블록 312
#09-1202

명세서

청구범위

청구항 1

PVD(physical vapor deposition) 챔버에서 기판을 프로세싱하기 위한 방법으로서,

하부 제2 재료 층을 노출시키기에 충분한 양으로, 상기 PVD 챔버의 타겟으로부터 형성된 금속 이온들 및 프로세스 가스 이온들 둘 모두를 사용하여, 상기 제2 재료 층을 커버하고 그리고 노출된 제3 재료 층 근처에 있는 노출된 제1 재료 층을 상기 PVD 챔버 내에 배치된 기판으로부터 선택적으로 에칭하는 동시에 상기 제3 재료 층 상에 금속 층을 증착하는 단계; 및

후속하여 상기 타겟으로부터의 금속을 상기 제2 재료 층 상에 증착하는 단계를 포함하는,

PVD 챔버에서 기판을 프로세싱하기 위한 방법.

청구항 2

제1 항에 있어서,

상기 후속하여 상기 타겟으로부터의 금속을 상기 제2 재료 층 상에 증착하는 단계는 상기 타겟으로부터의 금속을 상기 제3 재료 층 상에 증착된 재료 층 상에 증착하는 단계를 포함하는,

PVD 챔버에서 기판을 프로세싱하기 위한 방법.

청구항 3

제1 항에 있어서,

상기 제1 재료 층을 선택적으로 에칭하는 것은 DC 전력 소스 및 RF 전력 소스 둘 모두를 사용하는 것을 포함하는,

PVD 챔버에서 기판을 프로세싱하기 위한 방법.

청구항 4

제1 항에 있어서,

상기 금속을 증착하는 단계는 DC 전력 소스만을 사용하는 단계를 포함하는,

PVD 챔버에서 기판을 프로세싱하기 위한 방법.

청구항 5

제1 항에 있어서,

상기 제1 재료 층은 금속 산화물 층이고, 상기 제2 재료 층은 금속이고, 그리고 상기 제3 재료 층은 폴리머 층인,

PVD 챔버에서 기판을 프로세싱하기 위한 방법.

청구항 6

제1 항 내지 제5 항 중 어느 한 항에 있어서,

상기 금속 산화물 층은 알루미늄 산화물이고, 상기 금속 층은 알루미늄이고, 그리고 상기 폴리머 층은 폴리이미드들(PI) 또는 폴리벤족사졸들(PBO) 중 하나인,

PVD 챔버에서 기판을 프로세싱하기 위한 방법.

청구항 7

제1 항에 있어서,
 상기 타깃은 티타늄, 텅스텐, 또는 구리 중 적어도 하나로 제조되는,
 PVD 챔버에서 기판을 프로세싱하기 위한 방법.

청구항 8

제1 항에 있어서,
 상기 PVD 챔버로부터 소비된 프로세스 가스를 제거하기 위해 상기 기판을 선택적으로 에칭한 후에 아웃개싱 절차를 수행하는 단계를 더 포함하는,
 PVD 챔버에서 기판을 프로세싱하기 위한 방법.

청구항 9

제1 항 내지 제5 항, 제7 항, 또는 제8 항 중 어느 한 항에 있어서,
 상기 프로세스 가스 이온들은 아르곤 또는 질소 중 적어도 하나인,
 PVD 챔버에서 기판을 프로세싱하기 위한 방법.

청구항 10

기판을 프로세싱하기 위한 PVD(physical vapor deposition) 챔버로서,
 DC 전력 소스 및 RF 전력 소스;
 상기 PVD 챔버의 프로세싱 볼륨 내에 배치된 기판의 표면 상에 스퍼터링될 금속 이온들을 형성하기 위한 타깃;
 상기 PVD 챔버의 프로세싱 볼륨 내로 적어도 하나의 프로세스 가스를 공급하기 위한 가스 소스; 및
 상기 DC 전력 소스 및 상기 RF 전력 소스에 커플링된 제어기를 포함하고, 그리고
 상기 제어기는,
 하부 제2 재료 층을 노출시키기에 충분한 양으로, 금속 이온들 및 프로세스 가스 이온들 둘 모두를 사용하여, 상기 제2 재료 층을 커버하고 그리고 노출된 제3 재료 층 근처에 있는 노출된 제1 재료 층을 상기 기판으로부터 선택적으로 에칭하는 동시에 상기 제3 재료 층 상에 금속 층을 증착하고, 그리고
 후속하여 상기 타깃으로부터의 금속을 상기 제2 재료 층 상에 증착하도록 구성되는,
 기판을 프로세싱하기 위한 PVD 챔버.

청구항 11

제10 항에 있어서,
 상기 후속하여 상기 타깃으로부터의 금속을 상기 제2 재료 층 상에 증착하는 것은 상기 타깃으로부터의 금속을 상기 제3 재료 층 상에 증착된 재료 층 상에 증착하는 것을 포함하는,
 기판을 프로세싱하기 위한 PVD 챔버.

청구항 12

제10 항에 있어서,
 상기 제어기는 추가로, 상기 DC 전력 소스 및 상기 RF 전력 소스 둘 모두를 사용하여 상기 제1 재료 층을 선택적으로 에칭하도록 구성되는,
 기판을 프로세싱하기 위한 PVD 챔버.

청구항 13

제10 항에 있어서,

상기 제어기는 추가로, 상기 DC 전력 소스만을 사용하여 상기 금속을 증착하도록 구성되는, 기판을 프로세싱하기 위한 PVD 챔버.

청구항 14

제10 항에 있어서,
 상기 제1 재료 층은 금속 산화물 층이고, 상기 제2 재료 층은 금속이고, 그리고 상기 제3 재료 층은 폴리머 층인,
 기판을 프로세싱하기 위한 PVD 챔버.

청구항 15

제10 항 내지 제14 항 중 어느 한 항에 있어서,
 상기 금속 산화물 층은 알루미늄 산화물이고, 상기 금속 층은 알루미늄이고, 그리고 상기 폴리머 층은 폴리이미드들(PI) 또는 폴리벤족사졸들(PBO) 중 하나인,
 기판을 프로세싱하기 위한 PVD 챔버.

청구항 16

제10 항에 있어서,
 상기 타깃은 티타늄, 텅스텐, 또는 구리 중 적어도 하나인,
 기판을 프로세싱하기 위한 PVD 챔버.

청구항 17

제10 항 내지 제14 항 또는 제16 항 중 어느 한 항에 있어서,
 상기 프로세스 가스 이온들은 아르곤 또는 질소 중 적어도 하나인,
 기판을 프로세싱하기 위한 PVD 챔버.

청구항 18

프로세서에 의해 실행될 때 PVD(physical vapor deposition) 챔버에서 기판을 프로세싱하기 위한 방법을 수행하는 명령들이 저장되어 있는 비-일시적 컴퓨터 판독가능 저장 매체로서,
 상기 방법은,
 하부 제2 재료 층을 노출시키기에 충분한 양으로, 상기 PVD 챔버의 타깃으로부터 형성된 금속 이온들 및 프로세스 가스 이온들 둘 모두를 사용하여, 상기 제2 재료 층을 커버하고 그리고 노출된 제3 재료 층 근처에 있는 노출된 제1 재료 층을 상기 PVD 챔버 내에 배치된 기판으로부터 선택적으로 에칭하는 동시에 상기 제3 재료 층 상에 금속 층을 증착하는 단계; 및
 후속하여 상기 타깃으로부터의 금속을 상기 제2 재료 층 상에 증착하는 단계를 포함하는,
 비-일시적 컴퓨터 판독가능 저장 매체.

청구항 19

제18 항에 있어서,
 상기 후속하여 상기 타깃으로부터의 금속을 상기 제2 재료 층 상에 증착하는 단계는 상기 타깃으로부터의 금속을 상기 제3 재료 층 상에 증착된 재료 층 상에 증착하는 단계를 포함하는,
 비-일시적 컴퓨터 판독가능 저장 매체.

청구항 20

제18 항 또는 제19 항에 있어서,

상기 제1 재료 층을 선택적으로 에칭하는 것은 DC 전력 소스 및 RF 전력 소스 둘 모두를 사용하는 것을 포함하는,

비-일시적 컴퓨터 판독가능 저장 매체.

발명의 설명

기술 분야

[0001] [0001] 본 개시내용의 실시예들은 일반적으로, 기판을 프로세싱하기 위한 방법들 및 장치에 관한 것으로, 더 구체적으로는, 기판에 대해 PVD 및 예비세정 프로세스 둘 모두를 수행하도록 구성된 PVD(physical vapor deposition) 챔버를 사용하는 방법들 및 장치에 관한 것이다.

배경 기술

[0002] [0002] 예비세정 프로세스를 수행하도록 구성된 프로세스 챔버들이 알려져 있다. 예컨대, UBM(under bump metallization)에서, 그러한 챔버들은 기판 상에 하나 이상의 배리어 층들, 예컨대 티타늄(Ti), 구리(Cu), 텅스텐(W) 등을 증착하기 위해 PVD 전에 기판의 금속 접촉 패드들 상의 자연 산화물 및 다른 재료들을 제거하도록 구성된다. 전형적으로, 예비세정 챔버들은 금속 접촉 패드들 상의 자연 산화물을 제거하기 위해 이온 타격(RF 플라즈마에 의해 유도됨)을 사용한다. 예컨대, 예비세정 프로세스는 금속 접촉 패드들로부터 자연 산화물을 에칭할 수 있다. 예비세정 프로세스는 기판 상의 IC(integrated circuit)들의 성능 및 전력 소비를 향상시키기 위해 기판 상의 금속 접촉부들 사이의 접촉 저항을 낮추도록 구성된다.

[0003] [0003] 기판이 예비세정된 후에, 기판은 추가의 프로세싱을 위해 예비세정 챔버로부터 하나 이상의 다른 프로세스 챔버들로 이동된다. 예컨대, 위에서 언급된 바와 같이, 기판은, 하나 이상의 추가적인 배리어 층들이 기판 상에 형성될 수 있도록, 예비세정 챔버로부터 PVD 챔버로 이동될 수 있다. 그러나, 불행하게도, 기판이 예비세정 챔버로부터 PVD 챔버로 이동될 때, 기판에 대한 대기 노출은 금속 접촉부들 상에 추가적인 자연 산화물을 발생시킬 수 있으며, 이는 결국, 기판 상의 IC(integrated circuit)들의 성능 및 전력 소비에 부정적인 영향을 미칠 수 있다.

[0004] [0004] 따라서, 본 발명자들은 기판에 대해 PVD 및 예비세정 프로세스 둘 모두를 수행하도록 구성된 PVD 챔버를 사용하는 방법들 및 장치를 제공하였다.

발명의 내용

[0005] [0005] 기판을 프로세싱하기 위한 방법들 및 장치가 본원에서 제공된다. 일부 실시예들에서, 예컨대, PVD(physical vapor deposition) 챔버에서 기판을 프로세싱하기 위한 방법은, 하부 제2 재료 층을 노출시키기 위해 충분한 양으로, PVD 챔버의 타깃으로부터 형성된 금속 이온들 및 프로세스 가스 이온들 둘 모두를 사용하여, 제2 재료 층을 커버하고 그리고 노출된 제3 재료 층 근처에 있는 노출된 제1 재료 층을 PVD 챔버 내에 배치된 기판으로부터 선택적으로 에칭하는 동시에 제3 재료 층 상에 금속 층을 증착하는 단계; 및 후속하여 타깃으로부터의 금속을 제2 재료 층 상에 증착하는 단계를 포함한다.

[0006] [0006] 적어도 일부 실시예들에 따르면, 기판을 프로세싱하기 위한 PVD(physical vapor deposition) 챔버는, DC 전력 소스 및 RF 전력 소스; PVD 챔버의 프로세싱 볼륨 내에 배치된 기판의 표면 상에 스퍼터링될 금속 이온들을 형성하기 위한 타깃; PVD 챔버의 프로세싱 볼륨 내로 적어도 하나의 프로세스 가스를 제공하기 위한 가스 소스; 및 DC 전력 소스 및 RF 전력 소스에 커플링된 제어기를 포함하고, 그리고 제어기는, 하부 제2 재료 층을 노출시키기 위해 충분한 양으로, 금속 이온들 및 프로세스 가스 이온들 둘 모두를 사용하여, 제2 재료 층을 커버하고 그리고 노출된 제3 재료 층 근처에 있는 노출된 제1 재료 층을 기판으로부터 선택적으로 에칭하는 동시에 제3 재료 층 상에 금속 층을 증착하고; 그리고 후속하여 타깃으로부터의 금속을 제2 재료 층 상에 증착하도록 구성된다.

[0007] [0007] 적어도 일부 실시예들에 따르면, 프로세서에 의해 실행될 때 PVD(physical vapor deposition) 챔버에서 기판을 프로세싱하기 위한 방법들 수행하는 명령들이 비-일시적 컴퓨터 판독가능 저장 매체에 저장되어 있다. 방법은, 하부 제2 재료 층을 노출시키기 위해 충분한 양으로, PVD 챔버의 타깃으로부터 형성된 금속 이온들 및 프로세스 가스 이온들 둘 모두를 사용하여, 제2 재료 층을 커버하고 그리고 노출된 제3 재료 층 근처에 있는 노출

된 제1 재료 층을 PVD 챔버 내에 배치된 기관으로부터 선택적으로 에칭하는 동시에 제3 재료 층 상에 금속 층을 증착하는 단계; 및 후속하여 타깃으로부터의 금속을 제2 재료 층 상에 증착하는 단계를 포함한다.

[0008] 본 개시내용의 다른 그리고 추가적인 실시예들이 아래에서 설명된다.

도면의 간단한 설명

[0009] 위에서 간략히 요약되고 아래에서 더 상세히 논의되는 본 개시내용의 실시예들은 첨부된 도면들에 도시된 본 개시내용의 예시적인 실시예들을 참조하여 이해될 수 있다. 그러나, 첨부된 도면들은 본 개시내용의 단지 전형적인 실시예들을 예시하는 것이므로 범위를 제한하는 것으로 간주되지 않아야 하는데, 이는 본 개시내용이 다른 균등하게 유효한 실시예들을 허용할 수 있기 때문이다.

[0010] 도 1은 본 개시내용의 적어도 일부 실시예들에 따른 프로세스 챔버의 개략적인 단면도이다.

[0011] 도 2는 본 개시내용의 적어도 일부 실시예들에 따른, 기관을 프로세싱하기 위한 방법의 흐름도이다.

[0012] 도 3a - 도 3c는 본 개시내용의 적어도 일부 실시예들에 따른, 도 2의 방법을 사용하여 프로세싱되는 기관의 다양한 스테이지들을 예시하는 개략도이다.

[0013] 이해를 용이하게 하기 위해, 도면들에 대해 공통인 동일한 엘리먼트들을 지정하기 위해 가능한 경우 동일한 참조 번호들이 사용되었다. 도면들은 실체대로 그려지지 않으며, 명확성을 위해 단순화될 수 있다. 일 실시예의 엘리먼트들 및 특징들은 추가의 언급없이 다른 실시예들에 유익하게 통합될 수 있다.

발명을 실시하기 위한 구체적인 내용

[0014] 기관에 대해 PVD 및 예비세정(또는 에칭) 프로세스 둘 모두를 수행하도록 구성된 PVD 챔버를 사용하는 방법들 및 장치의 실시예들이 본원에서 설명된다. 본원에서 설명되는 PVD 챔버는, PVD 및 예비세정 프로세스들을 수행하는 데 사용되는 종래의 방법들 및 장치와 연관된 단점들을 극복한다. 예컨대, PVD 및 예비세정 프로세스들 둘 모두가 동일한 챔버에서 수행되기 때문에, 예비세정 프로세스로부터 PVD 프로세스로의 대기 시간(queue time), 예컨대 기관에 대한 대기 노출이 없으며, 그에 따라, 기관의 금속 패드들의 재-산화의 가능성이 제거된다. 추가적으로, PVD 및 예비세정 프로세스 둘 모두가 동일한 챔버에서 수행되기 때문에, 기관들의 프로세싱 스루풋이 증가될 것이다. 더욱이, (예컨대, 기관에 대해 예비세정 프로세스가 수행되기 이전에) 기관 상에 때때로 존재할 수 있는 폴리머는, 기관이 예비세정 챔버로부터 제거되기 전에 기관에 대해 일반적으로 수행되는 아웃개싱(outgassing) 프로세스의 결과로서, 부주의하게 제거(폴리머 분해(polymer breakdown))되지 않는다. 더 구체적으로, 본 개시내용에 따르면, 금속 이온들과 가스 이온들의 조합이 예비세정 프로세스에서 사용되기 때문에, 기관 상에 존재할 수 있는 임의의 폴리머는 예비세정 프로세스 동안 금속 이온들에 의해 패시베이션된다(예컨대, 커버됨). 따라서, PVD 챔버로부터 가스 이온들을 제거하기 위한 아웃개싱 프로세스 동안 폴리머는 폴리머 분해로부터 보호된다.

[0015] 도 1은 본 개시내용의 적어도 일부 실시예들에 따른, 기관(104)(또는 웨이퍼)을 프로세싱하기 위한 시스템의 개략적인 단면도이다. 시스템은 프로세스 챔버(100)에 구현될 수 있는 장치를 포함한다. 적어도 일부 실시예들에서, 예컨대, 시스템과 함께 사용하도록 구성될 수 있는 PVD 프로세스 챔버는, ALPS[®] Plus 및 SIP ENCORE[®] PVD 라인의 독립형 PVD 장치일 수 있으며, 그 둘 모두는 캘리포니아, 산타클라라의 Applied Materials, Inc.로부터 상업적으로 입수가능하다. 프로세스 챔버(100)는 클러스터 툴, 예컨대 CENTURA[®] 상에 결합될 수 있다. 예컨대, 클러스터 툴은 ALD, CVD, 에피택시, 에칭, 포토마스크 제작, PVD, 플라즈마 도핑, 플라즈마 질화 및 RTP뿐만 아니라 하이-k 트랜지스터 게이트 스택 제작과 같은 통합된 다단계 프로세스들을 수행하도록 구성될 수 있다.

[0016] 프로세스 챔버(100)는 프로세스 챔버(100)에 배치된 기관(104) 상에서 재료들의 PVD를 수행하도록 구성된다. 추가적으로, 위에서 언급된 바와 같이, 프로세스 챔버(100)는 하나 이상의 추가적인 프로세스들을 수행하도록 구성된다. 예컨대, 프로세스 챔버(100)는, 아래에서 더 상세히 설명될 바와 같이, 기관(104)으로부터 하나 이상의 재료들을 제거(예컨대, 에칭)하기 위한 예비세정 프로세스를 수행하도록 구성될 수 있다.

[0017] 도 1을 계속 참조하면, 프로세스 챔버(100)는 기관(104)을 상부에 수용하기 위한 기관 지지 페디스털(102), 및 소스 재료의 타깃(106)(타깃(106))과 같은 스퍼터링 소스를 포함한다. 기관 지지 페디스털(102)은 (도시된 바와 같은) 챔버 벽 또는 접지된 차폐부일 수 있는 접지된 인클로저 챔버 벽(108) 내에 위치될 수

있다. 도 1의 타깃(106) 위의 프로세스 챔버(100)의 적어도 일부 부분들을 커버하는 접지 차폐부(140)가 도시된다. 일부 실시예들에서, 접지 차폐부(140)는 페디스털(102)을 또한 둘러싸도록 타깃 아래로 연장될 수 있다.

[0014] [0018] 프로세싱 챔버는 RF 및 DC 에너지를 타깃(106)에 커플링하기 위한 피드 구조(110)를 포함한다. 피드 구조는, 예컨대 본원에서 설명되는 바와 같이, RF 에너지 및 DC 에너지를 타깃(106)에 또는 타깃을 포함하는 조립체에 커플링하기 위한 장치이다. 일부 실시예들에서, 피드 구조(110)는 튜브형일 수 있다. 피드 구조(110)는, 제1 단부(114) 및 제1 단부(114)에 대항하는 제2 단부(116)를 갖는 바디(112)를 포함한다. 일부 실시예들에서, 바디(112)는, 바디(112)를 관통해 제1 단부(114)로부터 제2 단부(116)까지 배치된 중앙 개구(115)를 더 포함한다.

[0015] [0019] 피드 구조(110)의 제1 단부(114)는, RF 및 DC 에너지를 타깃(106)에 제공하기 위해 각각 활용될 수 있는 RF 전력 소스(118) 및 DC 전력 소스(120)에 커플링될 수 있다. 예컨대, 아래에서 더 상세히 설명될 바와 같이, 제1 프로세싱 상태에서, RF 전력 소스(118) 및 DC 전력 소스(120) 둘 모두는 기관(104)에 대해 예비-설정 프로세스를 수행하는 데 사용될 수 있고, 제2 프로세싱 상태에서, DC 전력 소스(120)는 기관(104)에 대해 PVD 프로세스를 수행하는 데 사용될 수 있다. 일부 실시예들에서, DC 전력 소스(120)는 네거티브 전압 또는 바이어스를 타깃(106)에 인가하는 데 활용될 수 있다. 일부 실시예들에서, RF 전력 소스(118)에 의해 공급되는 RF 에너지는 주파수 범위가 약 2 MHz 내지 약 60 MHz일 수 있거나, 또는 예컨대, 2 MHz, 13.56 MHz, 27.12 MHz, 또는 60 MHz와 같은 비-제한적인 주파수들이 사용될 수 있다. 일부 실시예들에서, 복수의 상기 주파수들로 RF 에너지를 제공하기 위해 복수의(즉, 2개 이상) RF 전력 소스들이 제공될 수 있다. 피드 구조(110)는 RF 전력 소스(118) 및 DC 전력 소스(120)로부터 RF 및 DC 에너지를 전도하기 위해 적절한 전도성 재료들로 제작될 수 있다. 대안적으로, DC 전력 소스(120)는 피드 구조(110)를 통하지 않고 타깃(106)에 커플링될 수 있다.

[0016] [0020] DC 전력 소스(120)와 RF 전력 소스(118)는 프로세스 챔버(100)의 프로세싱 볼륨(148) 내에 (예컨대, 기관(104)을 에칭하기 위한) 제1 프로세싱 상태를 생성하기 위해 동시에 사용될 수 있다. 예컨대, 제1 프로세싱 상태는 가스 이온들 및 금속 이온들 둘 모두를 포함하는 플라즈마(119)를 포함할 수 있고, 기관(104)으로부터 하나 이상의 재료들(예컨대, 자연 산화물)을 제거하기 위해 기관(104)을 예비설정하는 데 사용될 수 있다. DC 전력 소스는 (예컨대, 기관(104)에 대해 PVD를 수행하기 위한) 제2 프로세싱 상태를 생성하는 데 사용될 수 있다. 예컨대, 아래에서 더 상세히 설명될 바와 같이, 제2 프로세싱 상태는 금속 원자들 및/또는 이온들만을 포함할 수 있고, 기관(104) 상에 하나 이상의 금속들을 증착하기 위해 기관(104)에 대해 PVD를 수행하는 데 사용될 수 있다.

[0017] [0021] 추가적으로, 기관(104) 상에 네거티브 DC 바이어스를 유도하기 위해 RF 바이어스 전력 소스(162)가 기관 지지 페디스털(102)에 커플링될 수 있다. 게다가, 일부 실시예들에서, 프로세싱 동안 기관(104) 상에 네거티브 DC 셀프-바이어스(self-bias)가 형성될 수 있다. 예컨대, RF 바이어스 전력 소스(162)에 의해 공급되는 RF 전력은 주파수 범위가 약 2 MHz 내지 약 60 MHz일 수 있고, 예컨대, 2 MHz, 13.56 MHz, 또는 60 MHz와 같은 비-제한적인 주파수들이 사용될 수 있다. 다른 애플리케이션들에서, 기관 지지 페디스털(102)은 접지되거나 전기적으로 플로팅 상태가 될 수 있다. 예컨대, RF 바이어스 전력이 바람직하지 않을 수 있는 애플리케이션들을 위해 기관(104) 상의 전압을 조정하기 위하여, 커패시턴스 튜너(164)가 기관 지지 페디스털에 커플링될 수 있다.

[0018] [0022] 피드 구조(110)는 피드 구조(110)의 둘레를 중심으로 개개의 RF 및 DC 에너지의 실질적으로 균일한 분배를 가능하게 하는 적절한 길이를 가질 수 있다. 예컨대, 일부 실시예들에서, 피드 구조(110)는 약 0.75 내지 약 12 인치, 또는 약 3.26 인치의 길이를 가질 수 있다.

[0019] [0023] 일부 실시예들에서, 바디(112)는 적어도 약 1:1의 길이 대 내경 비를 가질 수 있다. 일부 실시예들에서, 바디는 적어도 약 0.5:1, 예컨대 약 0.6:1의 길이 대 외경 비를 가질 수 있다.

[0020] [0024] 피드 구조(110)의 내경(즉, 중앙 개구(115)의 직경)은, 여전히 마그네트론 샤프트가 이를 통해 연장되는 것을 가능하게 하면서, 가능한 한 작을 수 있는데, 예컨대 약 1 인치 내지 약 11 인치, 또는 약 3.9 인치일 수 있다. 일부 실시예들에서, 마그네트론 샤프트가 존재하지 않는 경우(예컨대, 마그네트론이 사용되지 않거나 또는 마그네트론이 타깃의 후면 위의 중앙에 배치된 샤프트를 통하지 않는 방식으로 제어되는 경우), 피드 구조(110)의 내경은 제로(zero) 인치만큼 작을 수 있다(예컨대, 바디(112)는 중앙 개구(115) 없이 제공될 수 있음). 그러한 실시예들에서, 피드 구조(110)의 내경(존재하는 경우)은, 예컨대, 약 0 인치 내지 약 11 인치일 수 있다.

[0021] [0025] 피드 구조(110)의 외경은, 기계적 무결성을 위해 피드 구조(110)의 충분한 벽 두께를 유지하면서, 가능

한 한 작을 수 있는데, 예컨대 약 1.5 인치 내지 약 12 인치, 또는 약 5.8 인치일 수 있다. 일부 실시예들에서, 마그네트론 샤프트가 존재하지 않는 경우, 피드 구조(110)의 외경(250)은 약 0.5 인치만큼 작을 수 있다. 그러한 실시예들에서, 피드 구조(110)의 외경은, 예컨대, 약 0.5 인치 내지 약 12 인치일 수 있다.

[0022] [0026] 더 작은 내경(및 더 작은 외경)을 제공하는 것은 피드 구조(110)의 길이를 증가시키지 않으면서 길이 대 ID 비(및 길이 대 OD 비)를 개선하는 것을 가능하게 한다. RF 및 DC 에너지 둘 모두를 타깃(106)에 커플링하는 데 사용되는 것으로 위에서 설명되었지만, 피드 구조(110)는 또한, 단지 RF 에너지만을 타깃에 커플링시키는 데 사용될 수 있으며, DC 에너지는 상이한 위치로부터 타깃에 커플링된다. 그러한 실시예들에서, 예컨대, 기관(104)으로부터 재료를 제거하기 위해 에칭 프로세스를 수행할 때, DC 에너지가 피드 구조(110)를 통해 제공되는 경우만큼 균일하지 않을 수 있지만, RF 에너지는 더 균일한 플라즈마 프로세싱을 가능하게 하기 위해 타깃에 더 균일하게 제공되는 상태로 유지된다.

[0023] [0027] 바디(112)의 제2 단부(116)는 소스 분배 플레이트(122)에 커플링된다. 소스 분배 플레이트는, 소스 분배 플레이트(122)를 관통해 배치되고 바디(112)의 중앙 개구(115)와 정렬되는 홀(124)을 포함한다. 소스 분배 플레이트(122)는 피드 구조(110)로부터 RF 및 DC 에너지를 전도하도록 적절한 전도성 재료들로 제작될 수 있다.

[0024] [0028] 소스 분배 플레이트(122)는 전도성 부재(125)를 통해 타깃(106)에 커플링될 수 있다. 전도성 부재(125)는 소스 분배 플레이트(122)의 주변 에지 근처에서 소스 분배 플레이트(122)의 타깃-대면 표면(128)에 커플링된 제1 단부(126)를 갖는 튜브형 부재일 수 있다. 전도성 부재(125)는 타깃(106)의 주변 에지 근처에서 타깃(106)의 소스 분배 플레이트-대면 표면(132)에(또는 타깃(106)의 백킹 플레이트(146)에) 커플링된 제2 단부(130)를 더 포함한다.

[0025] [0029] 전도성 부재(125)의 내측-대면 벽들, 소스 분배 플레이트(122)의 타깃-대면 표면(128) 및 타깃(106)의 소스 분배 플레이트-대면 표면(132)에 의해 캐비티(134)가 정의될 수 있다. 캐비티(134)는 소스 분배 플레이트(122)의 홀(124)을 통해 바디(112)의 중앙 개구(115)에 유동적으로 커플링된다. 바디(112)의 중앙 개구(115) 및 캐비티(134)는 도 1에 예시되고 아래에서 추가로 설명되는 바와 같이 회전가능 마그네트론 조립체(136)의 하나 이상의 부분들을 적어도 부분적으로 하우징하는 데 활용될 수 있다. 일부 실시예들에서, 캐비티는 냉각 유체, 이클테면, 물(H₂O) 등으로 적어도 부분적으로 채워질 수 있다.

[0026] [0030] 프로세스 챔버(100)의 덮개의 외부 표면들을 커버하도록 접지 차폐부(140)가 제공될 수 있다. 접지 차폐부(140)는 예컨대, 챔버 바디의 접지 연결을 통해 접지에 커플링될 수 있다. 접지 차폐부(140)는 피드 구조(110)가 접지 차폐부(140)를 통과하여 소스 분배 플레이트(122)에 커플링될 수 있게 하는 중앙 개구를 갖는다. 접지 차폐부(140)는 임의의 적절한 전도성 재료, 이클테면, 알루미늄, 구리 등을 포함할 수 있다. 소스 분배 플레이트(122), 전도성 부재(125), 및 타깃(106)(및/또는 백킹 플레이트(146))의 외측 표면들과 접지 차폐부(140) 사이에 절연성 갭(139)이 제공되어, RF 및 DC 에너지가 접지로 직접 라우팅되는 것을 방지한다. 절연성 갭은 공기 또는 다른 어떤 적절한 유전체 재료, 이클테면, 세라믹, 플라스틱 등으로 채워질 수 있다.

[0027] [0031] 일부 실시예들에서, 피드 구조(110)의 하부 부분 및 바디(112) 주위에 접지 칼라(ground collar)(141)가 배치될 수 있다. 접지 칼라(141)는 접지 차폐부(140)에 커플링되며, 접지 차폐부(140)의 일체형 부분일 수 있거나 또는 피드 구조(110)의 접지를 제공하도록 접지 차폐부에 커플링된 별개의 부분일 수 있다. 접지 칼라(141)는 적절한 전도성 재료, 이클테면, 알루미늄 또는 구리로 제조될 수 있다. 일부 실시예들에서, 접지 칼라(141)의 내경과 피드 구조(110)의 바디(112)의 외경 사이에 배치된 갭은 최소로 유지될 수 있고, 단지 전기적 격리를 제공하기에 충분할 수 있다. 갭은 격리 재료, 이클테면, 플라스틱 또는 세라믹으로 채워질 수 있거나 또는 에어 갭일 수 있다. 접지 칼라(141)는 RF 피드와 바디(112) 사이의 크로스토크(cross-talk)를 방지하며, 그에 따라, 플라즈마, 프로세싱, 및 균일성을 개선한다.

[0028] [0032] RF 및 DC 에너지가 접지로 직접 라우팅되는 것을 방지하기 위해, 소스 분배 플레이트(122)와 접지 차폐부(140) 사이에 아이솔레이터 플레이트(isolate plate)(138)가 배치될 수 있다. 아이솔레이터 플레이트(138)는 피드 구조(110)가 아이솔레이터 플레이트(138)를 통과하여 소스 분배 플레이트(122)에 커플링될 수 있게 하는 중앙 개구를 갖는다. 아이솔레이터 플레이트(138)는 적절한 유전체 재료, 이클테면, 세라믹, 플라스틱 등을 포함할 수 있다. 대안적으로, 아이솔레이터 플레이트(138) 대신에 에어 갭이 제공될 수 있다. 아이솔레이터 플레이트 대신에 에어 갭이 제공되는 실시예들에서, 접지 차폐부(140)는 접지 차폐부(140) 상에 놓인 임의의 컴포넌트들을 지지하기에 충분히 구조적으로 견고할 수 있다.

[0029] [0033] 도 1을 다시 참조하면, 타깃(106)은 유전체 아이솔레이터(144)를 통해, 접지된 전도성 알루미늄 어댑터

(142) 상에 지지될 수 있다. 일반적으로, 타깃(106)은 PVD를 통한 박막 제작에서 전형적으로 사용되는 임의의 재료, 이를테면, 금속 또는 금속 산화물일 수 있다. 예컨대, 일부 실시예들에서, 타깃(106)은 기관(104) 상에 Ti 또는 Ti 질화물(TiN), 텅스텐(W), 구리(Cu) 등을 증착하기에 적합한 금속, 이를테면, 티타늄(Ti) 등일 수 있다. 본원에서 제공된 교시들에 따라 다른 재료들이 또한 적절하게 사용될 수 있다.

[0030] [0034] 타깃(106)은 일반적으로 세장형이며, 예컨대 원통형 또는 직사각형일 수 있다. 타깃(106)의 사이즈는 기관(104)의 사이즈 및/또는 프로세스 챔버(100)의 구성에 따라 변할 수 있다. 예컨대, 300 mm 직경의 반도체 웨이퍼를 프로세싱하기 위해, 타깃(106)은 폭 또는 직경이 약 100 mm 내지 약 200 mm일 수 있고, 약 400 mm 내지 약 600 mm의 길이를 가질 수 있다. 타깃(106)은, 타깃(106)의 세장형 축을 따라 회전가능한 것을 포함하여, 이동가능할 수 있거나 또는 고정식일 수 있다.

[0031] [0035] 일부 실시예들에서, 백킹 플레이트(146)는 타깃(106)의 소스 분배 플레이트-대면 표면(132)에 커플링될 수 있다. 백킹 플레이트(146)는 전도성 재료, 이를테면, 구리-아연, 구리-크롬, 또는 타깃과 동일한 재료를 포함할 수 있어서, RF 및 DC 전력이 백킹 플레이트(146)를 통해 타깃(106)에 커플링될 수 있다. 대안적으로, 백킹 플레이트(146)는 비전도성일 수 있고, 전도성 부재(125)의 제2 단부(130)에 타깃(106)의 소스 분배 플레이트-대면 표면(132)을 커플링하기 위한 전기 피드스루(feedthrough)들 등과 같은 전도성 엘리먼트들(미도시)을 포함할 수 있다. 백킹 플레이트(146)는 예컨대, 타깃(106)의 구조적 안정성을 개선하기 위해 포함될 수 있다.

[0032] [0036] 기관 지지 페디스털(102)은 타깃(106)의 주 표면에 대면하는 재료-수용 표면을 가지며, 타깃(106)의 주 표면에 대향하는 평면 포지션에서 스퍼터 코팅될 기관(104)을 지지한다. 기관 지지 페디스털(102)은 프로세스 챔버(100)의 프로세싱 볼륨(148)에서 기관(104)을 지지할 수 있다. 프로세싱 볼륨(148)은 프로세싱 동안 기관 지지 페디스털(102) 위의(예컨대, 프로세싱 포지션에 있을 때, 타깃(106)과 기관 지지 페디스털(102) 사이의 영역으로서 정의된다.

[0033] [0037] 일부 실시예들에서, 기관 지지 페디스털(102)은, 기관(104)이 프로세스 챔버(100)의 하부 부분의 로드 록 밸브(미도시)를 통해 기관 지지 페디스털(102) 상으로 전달되고 그 후에 증착 또는 프로세싱 포지션, 이를테면, 예비세정 프로세싱 포지션으로 상승될 수 있게 하기 위해, 최하부 챔버 벽(152)에 연결된 벨로우즈(bellows)(150)를 통해 수직으로 이동가능할 수 있다.

[0034] [0038] 질량 유량 제어기(156)를 통해 가스 소스(154)로부터 프로세스 챔버(100)의 하부 부분으로 하나 이상의 프로세스 가스들이 공급될 수 있다. 프로세스 가스들은, 타깃(106)으로부터 재료(107)를 스퍼터링할 때 프로세싱 볼륨(148) 내에 플라즈마를 형성하기 위한 임의의 적절한 프로세스 가스, 이를테면, 불활성 가스(예컨대, 아르곤) 또는 질소(N₂)일 수 있다. 프로세스 가스는 또한, 아래에서 더 상세히 설명될 바와 같이, 기관(104)에 대해 예비세정 프로세스를 수행하기 위해 사용될 수 있다. 프로세싱 챔버(100)의 내부로부터, 소비된 프로세스 가스를 배기 또는 아웃개싱시키고 그리고/또는 프로세스 챔버(100) 내부에서 원하는 압력을 유지하는 것을 가능하게 하기 위해, 배기 포트(158)가 제공되고 밸브(160)를 통해 펌프(미도시)에 커플링될 수 있다.

[0035] [0039] 회전가능 마그네트론 조립체(136)가 타깃(106)의 후방 표면(예컨대, 소스 분배 플레이트-대면 표면(132)) 근처에 포지셔닝될 수 있다. 회전가능 마그네트론 조립체(136)는 베이스 플레이트(168)에 의해 지지되는 복수의 자석들(166)을 포함한다. 베이스 플레이트(168)는 기관(104) 및 프로세스 챔버(100)의 중심 축과 일치하는 회전 샤프트(170)에 연결된다. 회전 샤프트(170)의 상부 단부에 모터(172)가 커플링되어 회전가능 마그네트론 조립체(136)의 회전을 구동할 수 있다. 자석들(166)은, 일반적으로 타깃(106)의 표면에 평행하고 가까운 자기장을 프로세스 챔버(100) 내에 생성하여 전자들을 포획하고 국소적 플라즈마 밀도를 증가시키며, 이는 결국, 예컨대 PVD 동안 스퍼터링 레이트를 증가시킨다. 자석들(166)은 프로세스 챔버(100)의 최상부 주위에 전자 자기장을 생성하고, 자석들(166)이 회전되어 자기장을 회전시키며, 이는 타깃(106)을 보다 균일하게 스퍼터링 하도록 프로세스의 플라즈마 밀도에 영향을 미친다. 예컨대, 회전 샤프트(170)는 분당 약 0 내지 약 150회 회전을 수행할 수 있다.

[0036] [0040] 일부 실시예들에서, 프로세스 챔버(100)는 어댑터(142)의 랫지(ledge)(176)에 연결된 접지된 최하부 차폐부(174)를 더 포함할 수 있다. 암흑부 차폐부(dark space shield)(178)가 최하부 차폐부(174) 상에 지지될 수 있고, 스크루들 또는 다른 적절한 방식에 의해 최하부 차폐부(174)에 고정될 수 있다. 최하부 차폐부(174)와 암흑부 차폐부(178) 사이의 금속성 나사산형성된 연결부(metallic threaded connection)는, 최하부 차폐부(174) 및 암흑부 차폐부(178)가 어댑터(142)에 접지될 수 있게 한다. 차례로, 어댑터(142)는 챔버 벽(108)에 밀봉되고 접지된다. 최하부 차폐부(174) 및 암흑부 차폐부(178) 둘 모두는 전형적으로, 경질의 비-자기(non-

magnetic) 스테인리스 강으로 형성된다.

- [0037] [0041] 최하부 차폐부(174)는 하방향으로 연장되고, 일반적으로 일정한 직경을 갖는 일반적으로 튜브형 부분(180)을 포함할 수 있다. 최하부 차폐부(174)는 어댑터(142)의 벽들 및 챔버 벽(108)을 따라 하방향으로 기관 지지 페디스털(102)의 최상부 표면 아래까지 연장되고, 기관 지지 페디스털(102)의 최상부 표면에 도달(예컨대, 최하부에 u자 형상 부분(184)을 형성)할 때까지 상방향으로 리턴한다. 커버 링(186)은, 기관 지지 페디스털(102)이 커버 링(186)의 하부의 로딩 포지션에 있을 때, 최하부 차폐부(174)의 상방향으로 연장되는 내측 부분(188)의 최상부 상에 놓이지만, 커버 링(186)이 스퍼터 증착으로부터 기관 지지 페디스털(102)을 보호하기 위해 커버 링(186)의 상부의 증착 포지션에 있을 때, 기관 지지 페디스털(102)의 외측 주변부 상에 놓인다. 증착으로부터 기관(104)의 주변부를 차폐하기 위해 추가적인 증착 링(미도시)이 사용될 수 있다.
- [0038] [0042] 일부 실시예들에서, 기관 지지 페디스털(102)과 타깃(106) 사이에 선택적으로 자기장을 제공하기 위해, 프로세스 챔버(100) 주위에 자석(190)이 배치될 수 있다. 예컨대, 도 1에 도시된 바와 같이, 자석(190)은, 프로세스 챔버(100) 주위에 있을 때 기관 지지 페디스털(102) 바로 위의 영역에서 챔버 벽(108)의 외측 주위에 배치될 수 있다. 일부 실시예들에서, 자석(190)은 추가적으로 또는 대안적으로 다른 위치들, 이를테면, 어댑터(142) 근처에 배치될 수 있다. 자석(190)은 전자석일 수 있고 전자석에 의해 생성된 자기장의 크기를 제어하기 위해 전력 소스(미도시)에 커플링될 수 있다.
- [0039] [0043] 프로세서(123)를 포함하는 제어기(121)는 프로세스 챔버(100)의 전체 동작을 제어하도록 구성(또는 프로그래밍)된다. 예컨대, 제어기(121)는, 프로세서(123)의 제어 하에, 프로세서(123)의 메모리(127)에 입력되는 레시피를 수신할 수 있다. 예컨대, 메모리(127)는, 프로세서(123)(또는 제어기(121))에 의해 실행될 때, 본원에서 설명된 방법들을 수행하는 명령들을 갖는 비-일시적 컴퓨터 판독가능 저장 매체일 수 있다. 레시피는 기관(104)을 프로세스하기 위해 사용되는 위에서 언급된 컴포넌트들 중 하나 이상과 연관된 하나 이상의 파라미터들에 관한 정보를 포함할 수 있다. 예컨대, 제어기(121)는, 동작 동안 사용되는 전력의 양을 제어하기 위해, (예컨대 불활성 가스 이온들, 금속 이온들, 및/또는 가스 이온들과 금속 이온들의 조합을 생성하도록 RF 전력 소스(118) 및 DC 전력 소스(120) 중 하나 또는 둘 모두를 선정하기 위하여) RF 전력 소스(118) 및 DC 전력 소스(120)를 튜닝하기 위해, (이를테면, 기관(104)이 프로세스 챔버(100) 내로 로딩되거나 또는 프로세스될 때) 기관 지지 페디스털(102)의 높이를 제어하기 위해, 레시피의 정보를 사용하여 RF 전력 소스(118) 및 DC 전력 소스(120)를 제어하고, 프로세스 챔버(100) 내로 공급될 프로세스 가스의 양을 제어하기 위해, 레시피의 정보를 사용하여 가스 소스(154)를 제어하고, 자석들의 포지션 또는 복수의 자석들(166)이 회전되는 속도를 제어하기 위해, 레시피의 정보를 사용하여 복수의 자석들(166)을 제어하는 식일 수 있다.
- [0040] [0044] 도 2는 본 개시내용의 적어도 일부 실시예들에 따른, 기관을 프로세스하기 위한 방법(200)의 흐름도이고, 도 3a - 도 3c는 본 개시내용의 적어도 일부 실시예들에 따른, 도 2의 방법(200)을 사용하여 프로세스되는 기관의 다양한 스테이지들을 예시하는 개략도들이다.
- [0041] [0045] 초기에, 기관, 예컨대, 기관(104)은 하나 이상의 프로세스 챔버들(예컨대, CVD 챔버, ALD 챔버 등)을 사용하여 형성될 수 있고, 실리콘 또는 게르마늄(그러나 이에 제한되지 않음)을 포함하는, 본원에서 설명되는 기관을 형성하기 위한 임의의 적절한 재료로 제조될 수 있다. 예컨대, 적어도 일부 실시예들에서, 기관은 실리콘으로 제조된 베이스 층(302)을 갖는 기관(300)일 수 있다(도 3a). 베이스 층(302)의 정상에는 산화물, 이를테면, 열 산화물, 하나 이상의 타입들의 금속, 하나 이상의 타입들의 폴리머 등을 포함하는(그러나 이에 제한되지 않음) 하나 이상의 추가적인 재료 층들이 증착될 수 있다. 예컨대, 적어도 일부 실시예들에서, 베이스 층(302)은 상부에 증착된 열 산화물 층(304), 전도성 층, 이를테면, 금속 층, 예컨대, 열 산화물 층(304)을 적어도 부분적으로 커버하는 알루미늄 층(306)(예컨대, 제2 재료 층), 및 열 산화물 층(304) 및 알루미늄 층(306)을 적어도 부분적으로 커버하는 폴리머 층(308)(예컨대, 제3 재료 층)을 가질 수 있어서, 알루미늄 층(306)의 적어도 일부를 노출시키는 트렌치(또는 비아)(310)가 형성된다(예컨대, 도 3a 참조). 적어도 일부 실시예들에서, 열 산화물은 실리콘 산화물(SiO₂)(또는 다른 적절한 열 산화물)일 수 있고, 폴리머는 폴리이미드들(PI), 폴리벤조사졸들(PBO) 등을 포함할 수 있다(그러나 이에 제한되지 않음). 게다가, 열 산화물 층(304)은 약 100 Å 내지 약 10,000 Å의 두께를 가질 수 있다.
- [0042] [0046] 도 3a의 기관(300)이 형성된 후에, 기관(300)에 대해 하나 이상의 추가적인 프로세스들이 수행될 필요가 있을 수 있다. 예시적인 목적들을 위해, 추가적인 프로세스는 기관(300) 상에 하나 이상의 추가적인 금속 층들을 증착하기 위한 PVD인 것으로 가정된다. 그러나, 위에서 언급된 바와 같이, 자연 산화물(예컨대, 제1 재료 층, 이를테면, 금속 산화물 층)은 때때로, 기관이 하나의 프로세스 챔버로부터 다른 프로세스 챔버로 이송될

때, 기관 상의 금속 접촉 패드들(예컨대, 알루미늄 층(306)) 상에 형성될 수 있다. 따라서, 예시적인 목적들을 위해, 알루미늄 산화물 층(312)이 알루미늄 층(306)의 정상에 도시된다(도 3a).

[0043] [0047] 기관(300)은 위에서 설명된 바와 같은 적절한 방식으로, 예컨대 로드 록(load lock), 슬릿 밸브(slit valve) 등을 통해 프로세스 챔버 내로 로딩될 수 있다. 일단 로딩되면, 적어도 일부 실시예들에서, 제어기(예컨대, 제어기(121))는 DC 전력 소스(120) 및 RF 전력 소스(118) 중 하나 또는 둘 모두를 선택하여, (202에서) 하나 이상의 대응하는 프로세스들을 수행하기 위한 하나 이상의 프로세스 상태들을 생성할 수 있다. 예컨대, 202에서, 제어기는 기관에 대해 예비설정 프로세스(예컨대, 선택적 에칭)를 수행하기 위해 사용될 수 있는 제1 프로세스 상태를 생성할 수 있다.

[0044] [0048] 예컨대, 본 발명자들은, DC 전력 소스(120) 및 RF 전력 소스(118) 둘 모두를 선택함으로써 제1 프로세스 상태가 생성될 수 있고, 프로세스 챔버의 내부 볼륨 내에 제공된 프로세스 가스 및 타깃에 따라, 하나 이상의 타깃 이온들(예컨대, 타깃(106) 이온들) 및 가스 이온들을 포함하는 플라즈마(예컨대, 플라즈마(119))가 프로세스 챔버 내에서 생성될 수 있다는 것을 발견하였다. 하나 이상의 타깃 이온들 및 가스 이온들을 포함하는 플라즈마는 기관으로부터 자연 산화물(예컨대, 기관(300)으로부터 금속 산화물, 이를테면, 알루미늄 산화물 층(312))을 제거(예컨대, 선택적으로 에칭)하기 위한 예비설정 프로세스를 수행하는 데 사용되고, 그리고/또는 기관 상의 하나 이상의 층들(예컨대, 폴리머 층(308))의 정상에 타깃 재료의 박막 층을 증착하는 데 사용될 수 있다.

[0045] [0049] 따라서, 적어도 일부 실시예들에서, 타깃은 금속(예컨대, 티타늄, 텅스텐, 구리 등)을 포함할 수 있고, 프로세스 가스는 불활성 가스(예컨대, 아르곤, 질소, 또는 다른 불활성 가스, 이를테면, 하나 이상의 희가스들)를 포함할 수 있다. 결과적으로, 제어기가 DC 전력 소스(120) 및 RF 전력 소스(118) 둘 모두를 선택하는 경우, 예비설정 프로세스를 수행하여 자연 산화물을 제거(예컨대, 선택적으로 에칭)하고 그리고/또는 금속 박막 층을 증착하기 위하여, 금속 이온들 및 불활성 가스 이온들 둘 모두를 포함하는 플라즈마를 포함하는 제1 프로세스 상태가 생성된다(도 3b에서 화살표들(314)로 묘사됨).

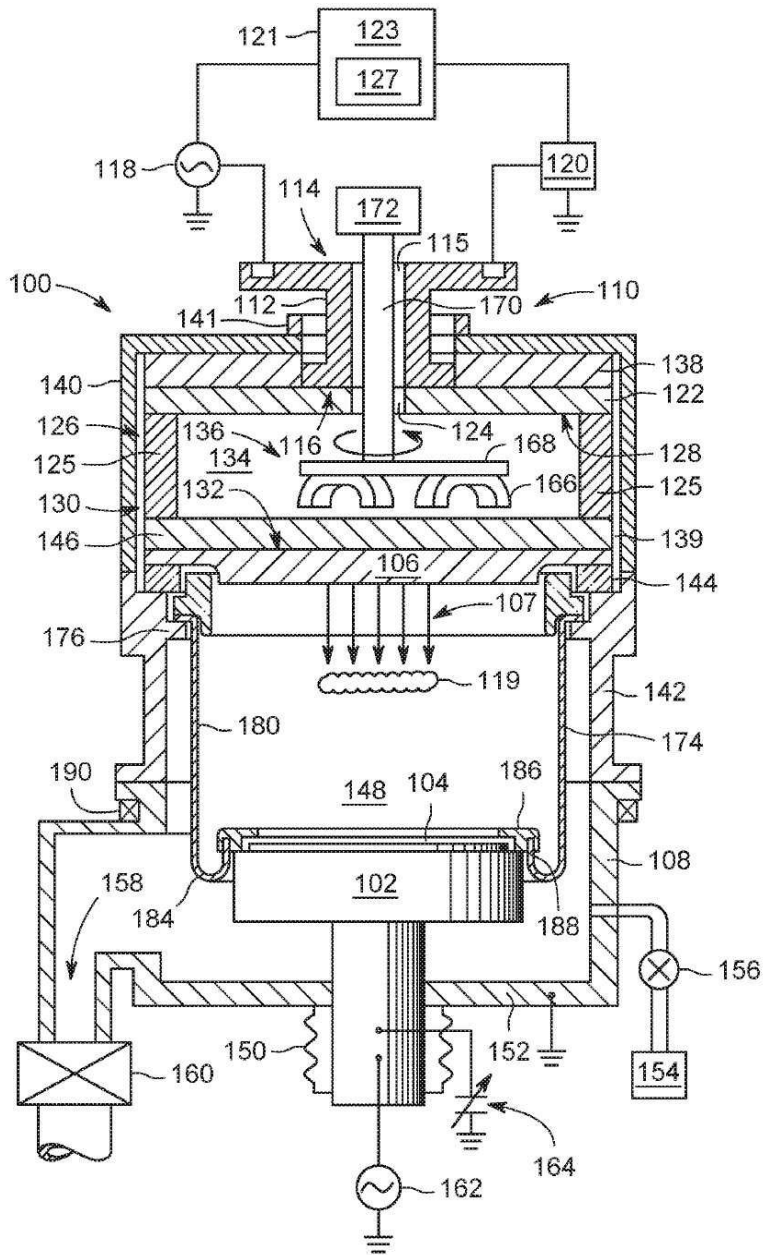
[0046] [0050] 예컨대, 기관(300)의 에칭 동안, 202에서, 금속 이온들 및 불활성 가스 이온들은 기관(300)을 타격하여 제2 재료 층, 예컨대 알루미늄 층(306)으로부터 제1 재료 층, 예컨대 자연 산화물을 제거한다. 추가적으로, 202에서의 기관(300)의 에칭 동안(또는 에칭 후에 204에서), 금속 박막 층(316)이 또한, 제3 재료 층, 예컨대 폴리머 층(308)의 정상에 증착된다. 폴리머 층(308)의 정상에 금속 박막 층(316)은, 프로세스 챔버의 내부 볼륨으로부터 소비된 프로세스 가스를 제거하기 위해 사용되는 탈기(degassing) 또는 아웃개싱 절차 동안 폴리머 층(308)을 보호한다. 제어기는 또한, 폴리머 층(308)의 정상에 증착된 얇은 금속 층(316)의 두께 및/또는 프로세스 챔버의 내부 볼륨 내에 생성되는 금속 이온들 및/또는 불활성 가스 이온들의 양을 제어하기 위해, 하나 이상의 파라미터들(예컨대, RF 전력 소스(118) 및 DC 전력 소스(120)로부터 공급되는 전력의 양, 압력, 온도, 자석 회전, 가스 유동, 바이어싱 등)을 조정하도록 구성될 수 있다.

[0047] [0051] 더욱이, 204에서(예컨대, 에칭 프로세스가 완료된 후) 제어기는 기관 상에 하나 이상의 재료들을 증착할 수 있다. 예컨대, 제어기는, 폴리머 층(308)의 정상에 추가적인 금속 층 및/또는 에칭된 알루미늄 층(306)의 정상에 금속 층(320)을 증착하기 위해 PVD를 수행하기 위하여, 금속 이온들만(도 3c에서 화살표들(318)로 묘사됨)을 포함하는 제2 프로세스 상태를 생성하도록 DC 전력 소스(120)만을 선택할 수 있다. 적어도 일부 실시예들에서, 에칭 프로세스를 수행하기 위해 사용되는 금속은 PVD를 수행하기 위해 사용되는 금속과 동일하거나 상이할 수 있다. 일부 실시예들에서, 하나 이상의 프로세스 가스들이 또한, 기관의 PVD 동안 사용될 수 있다. 또한, 제어기는 또한, 알루미늄 층(306)의 정상에(그리고/또는 폴리머 층(308)의 정상에) 증착된 얇은 금속 층(320)의 두께 및/또는 프로세스 챔버의 내부 볼륨 내에 생성되는 금속 이온들의 양을 제어하기 위해, 하나 이상의 파라미터들(예컨대, RF 전력 소스(118) 및 DC 전력 소스(120)로부터 공급되는 전력의 양, 압력, 온도, 자석 회전, 가스 유동, 바이어싱 등)을 조정하도록 구성될 수 있다.

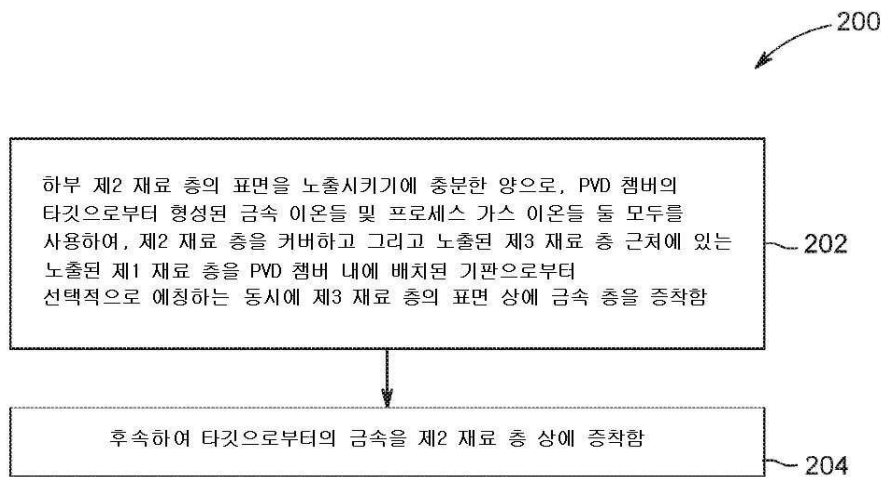
[0048] [0052] 전술한 바가 본 개시내용의 실시예들에 관한 것이지만, 본 개시내용의 다른 그리고 추가적인 실시예들이, 본 개시내용의 기본적인 범위를 벗어나지 않으면서 안출될 수 있다.

도면

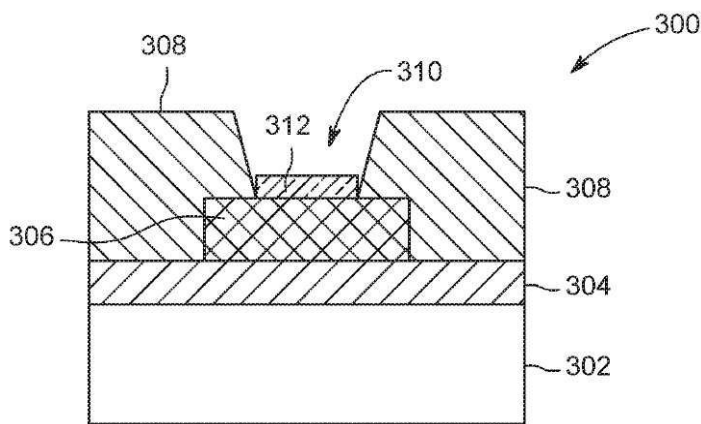
도면1



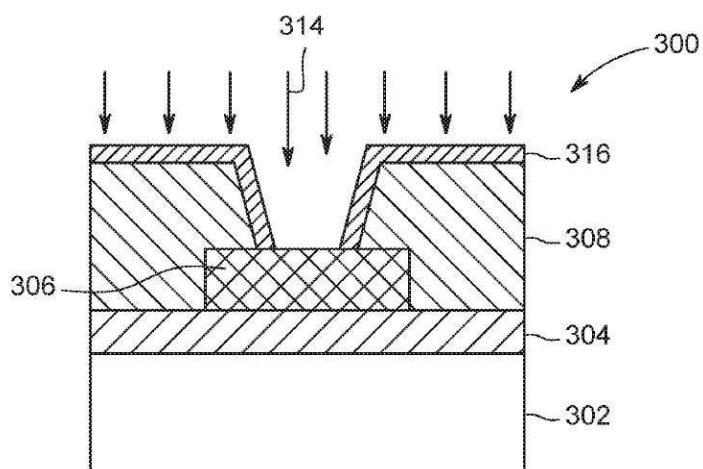
도면2



도면3a



도면3b



도면3c

