

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6084357号
(P6084357)

(45) 発行日 平成29年2月22日 (2017.2.22)

(24) 登録日 平成29年2月3日 (2017.2.3)

| | |
|--------------------------|----------------------|
| (51) Int. Cl. | F I |
| HO 1 L 21/336 (2006.01) | HO 1 L 29/78 3 O 1 W |
| HO 1 L 29/78 (2006.01) | HO 1 L 29/78 3 O 1 B |
| HO 1 L 29/786 (2006.01) | HO 1 L 29/78 6 1 8 B |
| | HO 1 L 29/78 6 1 7 K |
| | HO 1 L 29/78 6 1 7 S |
| 請求項の数 15 (全 32 頁) 最終頁に続く | |

(21) 出願番号 特願2011-240860 (P2011-240860)
 (22) 出願日 平成23年11月2日 (2011.11.2)
 (65) 公開番号 特開2013-98402 (P2013-98402A)
 (43) 公開日 平成25年5月20日 (2013.5.20)
 審査請求日 平成26年8月12日 (2014.8.12)

前置審査

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 東京都江東区豊洲三丁目2番24号
 (74) 代理人 100110928
 弁理士 速水 進治
 (74) 代理人 100127236
 弁理士 天城 聡
 (72) 発明者 竹田 裕
 神奈川県川崎市中原区下沼部1753番地
 ルネサスエレクトロニクス株式会社内
 審査官 小堺 行彦

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

表面を第1面とする半導体基板と、
 前記半導体基板の前記第1面側に設けられた溝部と、
 前記溝部の側面の一つである第2面に面し、少なくとも一部が前記第1面および前記第2面の交線と平行な方向に延在する第1導電型のソース領域と、
 前記溝部のうち前記第2面と反対の第3面に面し、少なくとも一部が前記第1面および前記第3面の交線と平行な方向に延在して設けられ、前記ソース領域よりも低濃度の第1導電型のドリフト領域と、
 前記ドリフト領域を介して前記溝部の反対側に位置し、前記ドリフト領域と接するよう
 に設けられ、前記ドリフト領域よりも高濃度の第1導電型のドレイン領域と、
 前記半導体基板に設けられ、平面視で前記ソース領域と前記ドリフト領域で挟まれたチャネル領域と、
 前記溝部の前記側面のうち前記第2面および前記第3面に交わる方向の面である第4面と接するとともに、前記第1面上のうち少なくとも前記チャネル領域と接するように設けられた第1ゲート絶縁層と、
 前記第1ゲート絶縁層上に設けられたゲート電極と、
 を備え、
 前記溝部は前記ドリフト領域よりも深く形成されており、
 前記ゲート電極は、前記溝部の前記第3面から離間して設けられており、

10

20

前記第3面と接し、前記第1ゲート絶縁層よりも厚い第2ゲート絶縁層をさらに備える半導体装置。

【請求項2】

表面を第1面とする半導体基板と、
前記半導体基板の前記第1面側に設けられた溝部と、
前記溝部の側面の一つである第2面に面し、少なくとも一部が前記第1面および前記第2面の交線と平行な方向に延在する第1導電型のソース領域と、

前記溝部のうち前記第2面と反対の第3面に面し、少なくとも一部が前記第1面および前記第3面の交線と平行な方向に延在して設けられ、前記ソース領域よりも低濃度の第1導電型のドリフト領域と、

前記ドリフト領域を介して前記溝部の反対側に位置し、前記ドリフト領域と接するように設けられ、前記ドリフト領域よりも深く形成され、前記ドリフト領域よりも高濃度の第1導電型のドレイン領域と、

前記半導体基板に設けられ、平面視で前記ソース領域と前記ドリフト領域で挟まれたチャンネル領域と、

前記溝部の前記側面のうち前記第2面および前記第3面に交わる方向の面である第4面と接するとともに、前記第1面上のうち少なくとも前記チャンネル領域と接するように設けられた第1ゲート絶縁層と、

前記第1ゲート絶縁層上に設けられたゲート電極と、
を備え、

前記溝部は前記ドリフト領域よりも深く形成されており、

前記ゲート電極は、前記溝部の前記第3面から離間して設けられており、

前記第3面と接し、前記第1ゲート絶縁層よりも厚い第2ゲート絶縁層をさらに備える半導体装置。

【請求項3】

請求項1又は2に記載の半導体装置において、

前記第1面および前記第2面の交線と平行な方向に直列に配置され、互いに離間して設けられた複数の前記溝部を備え、

前記チャンネル領域は、隣接する前記溝部の間に形成されている半導体装置。

【請求項4】

請求項1～3のいずれか一項に記載の半導体装置において、

前記ゲート電極に接し、平面視で前記ドリフト領域と重なるように設けられたフィールドプレート電極をさらに備え、

前記第1ゲート絶縁層のうち、前記ドリフト領域上に接する部分の膜厚は、前記チャンネル領域上に接する部分よりも厚い半導体装置。

【請求項5】

請求項1～4のいずれか一項に記載の半導体装置において、

前記半導体基板の前記第1面側に設けられ、平面視で前記ドリフト領域と重なるように設けられ、前記第3面から離間して設けられた素子分離領域をさらに備え、

前記ドリフト領域は、前記素子分離領域のうち前記第3面側の側面および底面と接している半導体装置。

【請求項6】

請求項1～5のいずれか一項に記載の半導体装置において、

前記半導体基板の前記第1面側に設けられた素子分離領域をさらに備え、

前記溝部の深さは前記素子分離領域と等しい半導体装置。

【請求項7】

請求項1～6のいずれか一項に記載の半導体装置において、

前記半導体基板の少なくとも前記第1面側は、III族窒化物半導体層であり、

前記ソース領域、前記チャンネル領域、前記ドリフト領域および前記ドレイン領域は、前記III族窒化物半導体層に形成されている半導体装置。

10

20

30

40

50

【請求項 8】

請求項 7 に記載の半導体装置において、
前記チャンネル領域の不純物濃度は、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下である半導体装置。

【請求項 9】

請求項 7 又は 8 に記載の半導体装置において、
前記 III 族窒化物半導体層は、真性半導体である半導体装置。

【請求項 10】

請求項 7 ~ 9 のいずれか一項に記載の半導体装置において、
前記ソース領域、前記ドリフト領域および前記ドレイン領域は、n 型であり、
当該 n 型の不純物は、Si である半導体装置。

10

【請求項 11】

請求項 10 に記載の半導体装置において、
前記 III 族窒化物半導体層のうち、前記ソース領域および前記ドレイン領域の間に位置する部分には、p 型の不純物領域が形成されていない半導体装置。

【請求項 12】

請求項 7 ~ 11 のいずれか一項に記載の半導体装置において、
前記半導体基板のうち、前記 III 族窒化物半導体層は、下地基板上に設けられ、
当該下地基板は、Si 基板、サファイア基板、SiC 基板または GaN 基板である半導体装置。

20

【請求項 13】

請求項 7 ~ 12 のいずれか一項に記載の半導体装置において、
前記ソース領域から前記ドレイン領域に向かう方向は、[2 - 1 - 1 0] 方向または [0 1 - 1 0] 方向である半導体装置。

【請求項 14】

請求項 1 ~ 6 のいずれか一項に記載の半導体装置において、
前記半導体基板は、Si 基板である半導体装置。

【請求項 15】

請求項 14 に記載の半導体装置において、
前記ソース領域から前記ドレイン領域に向かう方向は、[1 0 0] 方向または [1 1 0] 方向である半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

近年、半導体装置を高耐圧化させるため、様々な構造の半導体装置が提案されている。

【0003】

特許文献 1 (特開 2004 - 152979 号公報) には、以下のような半導体装置が記載されている。第 1 導電型の半導体基板にトレンチがチャンネルの幅方向に複数個形成されている。このトレンチの側面および底面を囲むように、第 2 導電型のドレインドリフト領域が形成されている。トレンチの内部は、絶縁物で充填されている。また、複数個のトレンチの間には第 1 導電型の不純物領域が形成されている。これにより、単位面積当たりのオン抵抗を低減することができる。とされている。

40

【0004】

また、特許文献 2 (特開 2007 - 027641 号公報) には、以下のような半導体装置が記載されている。p 型半導体基板には、p 型ボディ領域が形成されている。ボディ領域の表面領域には、n+ 型ソース領域が形成されている。半導体基板には、n+ 型ドレイン領域が形成されている。ソース領域とドレイン領域との間には、n- 型ドリフト領

50

域が形成されている。ボディ領域上には、ゲート絶縁膜が形成されている。ドリフト領域上には、保護絶縁膜が形成されている。ゲート絶縁膜上および保護絶縁膜上の一部には、ゲート電極が形成されている。さらに、ゲート電極上、ソース領域上およびドレイン領域上には、シリサイド膜が形成されている。これにより、ゲート抵抗を十分に低抵抗化することができるとともに、高耐圧が得られるとされている。

【0005】

また、特許文献3（特開2008-166717号公報）には、以下のような半導体装置が記載されている。半導体基板上の活性領域には、溝部が形成されている。この溝部を挟んだ両側の上面には、活性領域と逆導電型の不純物が注入された二つのポリシリコン層が設けられている。溝部を挟んだ両側に位置し、ポリシリコン層の下部の活性領域には、活性領域とは逆導電型の不純物が注入された二つのドリフト層が設けられている。溝部の底面と側面に設けられたゲート酸化膜を介して、ゲート電極が形成されている。また、二つのポリシリコン層のゲート電極に覆われていない部分には、ソース領域およびドレイン領域が形成されている。これにより、高耐圧MOSFETを縮小化することができる。とされている。

10

【0006】

また、特許文献4（特開2009-277956号公報）には、以下のような半導体装置が記載されている。ソース・ドレイン方向に複数のトレンチがストライプ状に形成されている。トレンチに挟まれた上面領域および側面領域には、ソース領域、距離を開けてドリフト領域、およびドレイン領域がこの順で形成されている。これにより、耐圧とオン抵抗のトレードオフ関係を改善することができる。とされている。

20

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2004-152979号公報

【特許文献2】特開2007-027641号公報

【特許文献3】特開2008-166717号公報

【特許文献4】特開2009-277956号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0008】

しかし、上記した特許文献に記載の技術では、半導体装置を高耐圧化させるために不十分であった。

【課題を解決するための手段】

【0009】

本発明によれば、

表面を第1面とする半導体基板と、

前記半導体基板の前記第1面側に設けられた溝部と、

前記溝部の側面の一つである第2面に面し、少なくとも一部が前記第1面および前記第2面の交線と平行な方向に延在する第1導電型のソース領域と、

40

前記溝部のうち前記第2面と反対の第3面に面し、少なくとも一部が前記第1面および前記第3面の交線と平行な方向に延在して設けられ、前記ソース領域よりも低濃度の第1導電型のドリフト領域と、

前記ドリフト領域を介して前記溝部の反対側に位置し、前記ドリフト領域と接するように設けられ、前記ドリフト領域よりも高濃度の第1導電型のドレイン領域と、

前記半導体基板に設けられ、平面視で前記ソース領域と前記ドリフト領域で挟まれたチャネル領域と、

前記溝部の前記側面のうち前記第2面および前記第3面に交わる方向の面である第4面と接するとともに、前記第1面上のうち少なくとも前記チャネル領域と接するように設けられた第1ゲート絶縁層と、

50

前記第1ゲート絶縁層上に設けられたゲート電極と、
を備え、

前記溝部は前記ドリフト領域よりも深く形成されている半導体装置が提供される。

【0010】

本発明によれば、

半導体基板の第1面側に、溝部を形成する溝部形成工程と、

前記溝部の側面の一つである第2面に面し、少なくとも一部が前記第1面および前記第2面の交線と平行な方向に延在する位置に、第1導電型の不純物を注入してソース領域を形成する工程と、

前記溝部のうち前記第2面と反対の第3面から離間する位置に、第1導電型の不純物を注入してドレイン領域を形成する工程と、

前記ドレイン領域と接するとともに前記第3面に面し、少なくとも一部が前記第1面および前記第3面の交線と平行な方向に延在する位置に、前記ソース領域および前記ドレイン領域よりも低濃度の第1導電型の不純物を注入して、ドリフト領域を形成する工程と、

前記溝部の前記側面のうち前記第2面と前記第3面に交わる方向の面である第4面と接するとともに、前記第1面上のうち少なくとも平面視で前記ソース領域と前記ドリフト領域で挟まれたチャンネル領域と接するように、第1ゲート絶縁層を形成する工程と、

前記第1ゲート絶縁層上にゲート電極を形成する工程と、
を備え、

前記溝部形成工程において、

前記溝部を前記ドリフト領域よりも深く形成する半導体装置の製造方法が提供される。

【0011】

本発明によれば、溝部がドリフト領域よりも深く形成されている。ゲート電極は、第1ゲート絶縁層を介して、溝部の第4面、および半導体基板の第1面上のうち平面視でチャンネル領域と重なるように設けられている。これにより、溝部のうちドリフト領域よりも深い部分まで、ゲート電極によるポテンシャルが形成される。このゲート電極によるポテンシャルによって、ソース領域およびドレイン領域の間の電界がドリフト領域からチャンネル領域に回り込むことを抑制することができる。したがって、電界が局所的に集中することを抑制して、高耐圧化した半導体装置を提供することができる。

【発明の効果】

【0012】

本発明によれば、電界が局所的に集中することを抑制して、高耐圧化した半導体装置を提供することができる。

【図面の簡単な説明】

【0013】

【図1】第1の実施形態に係る半導体装置の構成を示す鳥瞰図である。

【図2】第1の実施形態に係る半導体装置の構成を示す図である。

【図3】第1の実施形態に係る半導体装置の構成を示す平面図である。

【図4】第1の実施形態に係る半導体装置の構成を示す断面図である。

【図5】第1の実施形態に係る半導体装置の構成を示す回路図である。

【図6】第1の実施形態に係る半導体装置の製造方法を説明するための鳥瞰図である。

【図7】第1の実施形態に係る半導体装置の製造方法を説明するための鳥瞰図である。

【図8】第1の実施形態に係る半導体装置の製造方法を説明するための鳥瞰図である。

【図9】第1の実施形態に係る半導体装置の製造方法を説明するための鳥瞰図である。

【図10】第1の実施形態に係る半導体装置の製造方法を説明するための鳥瞰図である。

【図11】第1の実施形態に係る半導体装置の製造方法を説明するための鳥瞰図である。

【図12】第1の実施形態に係る半導体装置の製造方法を説明するための鳥瞰図である。

【図13】第1の実施形態の効果の説明するための図である。

【図14】第1の実施形態の効果の説明するための図である。

【図15】第1の実施形態の効果の説明するための図である。

10

20

30

40

50

【図 16】第 2 の実施形態に係る半導体装置の構成を示す鳥瞰図である。

【図 17】第 3 の実施形態に係る半導体装置の構成を示す断面図である。

【図 18】第 3 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 19】第 3 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 20】第 3 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 21】第 4 の実施形態に係る半導体装置の構成を示す断面図である

【図 22】第 4 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 23】第 4 の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 24】第 5 の実施形態に係る半導体装置の構成を示す断面図である。

【図 25】第 7 の実施形態に係る半導体装置の構成を示す断面図である。

10

【発明を実施するための形態】

【0014】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【0015】

(第 1 の実施形態)

図 1 ~ 図 5 を用い、第 1 の実施形態に係る半導体装置 10 について説明する。この半導体装置 10 は、以下の構成を備えている。溝部 300 は、半導体基板 100 の第 1 面 31 側に設けられている。第 1 導電型のソース領域 110 は、溝部 300 の側面の一つである第 2 面 32 に面し、少なくとも一部が第 1 面 31 および第 2 面 32 の交線と平行な方向に延在している。第 1 導電型のドリフト領域 140 は、溝部 300 のうち第 2 面 32 の反対の第 3 面 33 に面し、少なくとも一部が第 1 面 31 および第 3 面 33 の交線と平行な方向に延在して設けられており、ソース領域 110 よりも低濃度に形成されている。第 1 導電型のドレイン領域 120 は、ドリフト領域 140 を介して溝部 300 の反対側に位置し、ドリフト領域 140 と接するように設けられ、ドリフト領域 140 よりも高濃度に形成されている。チャンネル領域 130 は、半導体基板 100 に設けられ、平面視でソース領域 110 とドリフト領域 140 で挟まれた領域に形成されている。第 1 ゲート絶縁層 200 は、溝部 300 の側面のうち第 2 面 32 と第 3 面 33 に交わる方向の面である第 4 面 34 と接するとともに、第 1 面 31 上のうち少なくともチャンネル領域 130 と接するように設けられている。ゲート電極 400 は、第 1 ゲート絶縁層 200 上に設けられている。また、溝部 300 はドリフト領域 140 よりも深く形成されている。以下、詳細を説明する。

20

30

【0016】

まず、図 1 を用い、半導体装置 10 の概略について、説明する。図 1 は、第 1 の実施形態に係る半導体装置 10 の構成を示す鳥瞰図である。

【0017】

図 1 のように、半導体装置 10 は、横型 MOSFET である。この半導体装置 10 は、たとえば、10V 以上 1000V 未満の電圧が印加される電源用 IC として用いられる。具体的には、半導体装置 10 は、たとえば、コンピュータ、車載用電子機器、民生用電子機器または通信機器などの電源 IC に用いられる。また、後述するドリフト領域 140 のうちソース領域 110 からドレイン領域 120 に向かう方向の長さ、不純物濃度等の構成によっては、1000V 以上の高電圧が印加することが可能な電力機器および輸送機器向け等の電力変換機にも用いることができる。

40

【0018】

ここで、半導体基板 100 の表面を第 1 面 31 とする。第 1 の実施形態では、たとえば、半導体基板 100 の少なくとも第 1 面 31 側は、III 族窒化物半導体からなる III 族窒化物半導体層 104 である。半導体基板 100 は、たとえば、下地基板 102 と、III 族窒化物半導体からなる III 族窒化物半導体層 104 とを備えている。III 族窒化物半導体層 104 は、下地基板 102 の第 1 面 31 上に設けられている。下地基板 102 は、たとえば、Si 基板、サファイア基板、SiC 基板または GaN 基板 (バルク GaN 基板) である。好ましくは、下地基板 102 は、たとえば、Si 基板である。これにより、半導体装置

50

10を製造する際に、Si系の半導体製造装置を流用することができる。

【0019】

下地基板102とIII族窒化物半導体層104との間には、バッファ層(不図示)が設けられていてもよい。バッファ層は、下地基板102とIII族窒化物半導体層104との格子定数の差に基づいて、適切な材料が用いられる。具体的には、バッファ層は、たとえば、AlGaN層、またはその積層構造である。

【0020】

半導体基板100の第1面31側、すなわちIII族窒化物半導体層104には、ソース領域110、チャンネル領域130(後述)、ドリフト領域140、およびドレイン領域120が形成されている。これにより、横型MOSFETが形成されている。ここで、III族窒化物半導体は、Si系の半導体装置と比較して、高い耐圧性と、飽和ドリフト速度を有している。これにより、高耐圧で低損失なスイッチング素子を形成することができる。具体的には、III族窒化物半導体層104は、たとえば、GaN層である。また、III族窒化物半導体層104の面方位のうち、半導体基板100の法線方向(第1面31)の面方位は、たとえば(0001)(c-面)である。

10

【0021】

ここで、III族窒化物半導体層104にFETが形成されている場合、当該FETは、nチャンネル型である。ただし、pチャンネル型であってもよい。

【0022】

III族窒化物半導体層104は、たとえば、真性半導体である。言い換えれば、III族窒化物半導体層104のうち、ソース領域110、ドリフト領域140、およびドレイン領域120以外の領域には、不純物が注入されていない。すなわち、当該領域には、p型不純物領域が形成されていない。また、少なくともチャンネル領域130の不純物濃度は、たとえば、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下である。このような場合に、後述する半導体装置10の構成を備えていることにより、顕著に高耐圧化させることができる。

20

【0023】

また、ソース領域110、ドリフト領域140、およびドレイン領域120は、たとえば、n型である。すなわち、上記した「第1導電型」とは、たとえばn型である。当該n型の不純物は、たとえば、Siである。これにより、III族窒化物半導体層104において、容易にnチャンネル型FETを形成することができる。

30

【0024】

なお、以下において、「半導体基板100」とした場合には、特に断りのない限り、「半導体基板100のうちのIII族窒化物半導体層104」であることを含んでいる。また、「第1導電型」は、n型であるとする。

【0025】

ここで、溝部300は、半導体基板100の第1面31側に形成されている。また、溝部300は、たとえば、矩形形状である。溝部300の側面のうち、ソース領域110側の面を第2面32とする。また、第2面32と反対側の面であり、ドリフト領域140側の面を第3面33とする。さらに、第2面32および第3面33に交わる方向の面を第4面34とする。なお、「第4面34」は、対向する二つの面をともに第4面34であるとする。そのほか、溝部300は、たとえば、台形状、ひし形または多角形状であってもよい。この場合、第2面32、第3面33または第4面34がそれぞれ複数であってもよい。その場合、それぞれの面は、隣接する不純物領域(またはチャンネル領域130)によって定義されるものとする。

40

【0026】

半導体基板100には、第2面32に面するように、ソース領域110が形成されている。一方、第3面33側には、ドリフト領域140およびドレイン領域120がこの順で形成されている。第1ゲート絶縁層200は、たとえば、溝部300の内部、および第1面31上に設けられている。また、ゲート電極400は、第1ゲート絶縁層200を介して、溝部300の第4面34、および半導体基板100の第1面31上のうち平面視で

50

チャンネル領域 130 と重なるように設けられている。この点については、さらに次において説明する。

【0027】

次に、図2を用い、半導体装置10の各構成について詳細を説明する。図2は、第1の実施形態に係る半導体装置10の構成を示す図である。図2(a)は、半導体基板100の第1面31側から見た、半導体装置10の構成を示す上面図である。そのうち、太実線は、溝部300を示している。また、図2(a)中において第1ゲート絶縁層200は省略している。図2(b)は、図1または図2(a)の矢印側から見たB-B'線断面図である。図2(c)は、図1または図2(a)のA-A'線断面図である。図2(c)中において、ドリフト領域140の下限を点線で示している。

10

【0028】

図2(a)のように、n型のソース領域110は、溝部300の第2面32に面し、少なくとも一部が第1面31および第2面32の交線と平行な方向に延在している。ここでいう「ソース領域110が第2面32に面している状態」とは、ソース領域110のうち溝部300側の側面が、第2面32に面している(対向している)ことをいう。すなわち、「ソース領域110が第2面32に面している状態」とは、たとえば、ソース領域110が第2面32と接している状態を含む。また、当該状態とは、たとえば、ソース領域110が第2面32から離間して、当該第2面32に対向している状態であってもよい。また、当該状態とは、ソース領域110のうち溝部300側の全側面が第2面32に面していない状態であってもよく、ソース領域110のうち溝部300側の一部が第2面32に面している状態であればよい。

20

【0029】

また、ここでいうソース領域110のうち、「少なくとも一部が第1面31および第2面32の交線と平行な方向に延在している」状態とは、ソース領域110のうち全体が第1面31および第2面32の交線と平行な方向に延在している状態だけでなく、ソース領域110のうち一部が第1面31および第2面32の交線と平行な方向に延在している状態を含んでいる。ソース領域110は、平面視で第2面32に垂直な方向に延在していてもよい。また、溝部300が平面視でソース領域110側に入り込んでいてもよい。

【0030】

ドリフト領域140は、溝部300の第3面33に面し、少なくとも一部が第1面31および第3面33の交線と平行な方向に延在している。ここでいう「ドリフト領域140が第3面33に面している状態」とは、上述したように、ソース領域110と第2面32との関係と同様である。また、ドレイン領域120のうち、「少なくとも一部が第1面31および第3面33の交線と平行な方向に延在している」状態についても、上述したように、ソース領域110と、第1面31および第2面32の交線との関係と同様である。

30

【0031】

ここでは、n型のドリフト領域140は、たとえば、平面視でソース領域110から溝部300の幅だけ離間して設けられている。一方で、溝部300は、平面視でドリフト領域140の一部にまで入り込んでいてもよい。言い換えれば、ドリフト領域140のうちソース領域110側の端部は、平面視で溝部300の第3面33よりもソース領域110側に配置されていてもよい。

40

【0032】

半導体基板100のうち平面視でソース領域110およびドリフト領域140に挟まれた領域には、チャンネル領域130が形成されている。ここでいう「チャンネル領域130」とは、ソース領域110とドリフト領域140との間でキャリアが伝導する領域のことをいう。n型のドレイン領域120は、ドリフト領域140を介して溝部300の反対側に位置している。また、ドレイン領域120は、ドリフト領域140と接している。反対に、ドレイン領域120が、直接、チャンネル領域130に接する部分はない。

【0033】

また、半導体基板100の少なくとも第1面31側がIII族窒化物半導体層104であ

50

る場合、ソース領域 1 1 0 からドレイン領域 1 2 0 に向かう方向は、[2 - 1 - 1 0] 方向または [0 1 - 1 0] 方向である。ここでは、「ソース領域 1 1 0 からドレイン領域 1 2 0 に向かう方向」とは、いわゆるチャンネル長方向である。または、第 1 の実施形態では、「ソース領域 1 1 0 からドレイン領域 1 2 0 に向かう方向」とは、溝部 3 0 0 の第 4 面 3 4 と平行な方向である。後述するように、溝部 3 0 0 は、半導体基板 1 0 0 の第 1 面 3 1 側をエッチングすることにより形成されている。このように結晶軸方位と平行に溝部 3 0 0 の側面を形成することにより、III族窒化物半導体層 1 0 4 に、容易に矩形状の溝部 3 0 0 を形成することができる。また、原子レベルで平坦な第 4 面 3 4 を形成することができる。したがって、後述するゲート電極 4 0 0 による電界が溝部 3 0 0 の第 4 面 3 4 において局所的に集中することを抑制することができる。

10

【 0 0 3 4 】

ゲート電極 4 0 0 は、第 1 ゲート絶縁層 2 0 0 を介して、溝部 3 0 0 の第 4 面 3 4、および半導体基板 1 0 0 の第 1 面 3 1 上のうち平面視でチャンネル領域 1 3 0 と重なるように設けられている。なお、ゲート電極 4 0 0 は溝部 3 0 0 の内部全体に設けられていてもよい。ここでは、ゲート電極 4 0 0 は、たとえば、溝部 3 0 0 の第 2 面 3 2、第 3 面 3 3、第 4 面 3 4 および底面上に設けられている。また、ゲート電極 4 0 0 の材料は、たとえば、Al および / または TiN である。

【 0 0 3 5 】

チャンネル領域 1 3 0 のうち、ソース領域 1 1 0 からドリフト領域 1 4 0 に向かう方向の長さは、所望のオン抵抗、オフ抵抗またはドレイン・ソース間電流の大きさなどによって決定される。具体的には、チャンネル領域 1 3 0 のうちソース領域 1 1 0 からドリフト領域 1 4 0 に向かう方向の長さは、たとえば、1 0 0 nm 以上 1 0 μm 未満である。

20

【 0 0 3 6 】

ドリフト領域 1 4 0 のうちソース領域 1 1 0 からドレイン領域 1 2 0 に向かう方向の長さについても、所望のオン抵抗、オフ抵抗またはドレイン・ソース間電流の大きさなどによって決定される。具体的には、ドリフト領域 1 4 0 のうち、ソース領域 1 1 0 からドレイン領域 1 2 0 に向かう方向の長さは、たとえば、1 0 0 nm 以上 1 0 μm 未満である。

【 0 0 3 7 】

図 2 (b) のように、ソース領域 1 1 0 は、たとえば、平面視だけでなく深さ方向においても、溝部 3 0 0 の第 2 面 3 2 と接している。ここで、ソース領域 1 1 0 等の不純物が導入された領域は、たとえば、n 型不純物をイオン注入することにより形成されている。また、ここでいう「ソース領域 1 1 0」等の「不純物が導入された範囲」は、半導体基板 1 0 0 のうち不純物濃度が $1 \times 10^{16} \text{ atoms/cm}^3$ 以上である領域をいう。言い換えれば、「不純物が導入された範囲」は、半導体基板 1 0 0 の不純物濃度に対して、1 0 倍以上高い濃度である領域をいう。なお、当該領域の不純物濃度が半導体基板 1 0 0 の不純物濃度に対して差が無い場合は、「不純物が導入された範囲」は最も不純物濃度が高い場所を頂点としたガウス分布であると仮定したときに頂点から まで (ここでの は標準偏差の意) の領域であってもよい。なお、上記した「不純物が導入された範囲」の定義は、「ソース領域 1 1 0」、「ドリフト領域 1 4 0」、および「ドレイン領域 1 2 0」について適用される。また、当該定義は、不純物が導入された領域のうち、上記した平面視での長さ、半導体基板 1 0 0 の第 1 面 3 1 と垂直の方向における深さに対して適用される。

30

40

【 0 0 3 8 】

ドリフト領域 1 4 0 も、たとえば、平面視だけでなく深さ方向においても、溝部 3 0 0 の第 3 面 3 3 と接している。ドリフト領域 1 4 0 は、ソース領域 1 1 0 よりも低濃度に形成されている。ここで、ドリフト領域 1 4 0 の下限は、たとえば、ドリフト領域 1 4 0 の不純物濃度が第 1 面 3 1 側の不純物濃度よりも 10^4 以上低い位置である。また、ドリフト領域 1 4 0 は、たとえば、ソース領域 1 1 0 よりも浅く形成されている。具体的には、ドリフト領域 1 4 0 の深さは、たとえば 1 0 0 nm 以上 5 0 0 nm 未満である。

【 0 0 3 9 】

50

また、溝部300は、ドリフト領域140よりも深く形成されている。これにより、後述するように、溝部300のうちドリフト領域140よりも深い部分まで、ゲート電極400により電界が形成される。したがって、ドリフト領域140からチャンネル領域130に回り込んで延びる電界を抑えることができる。なお、溝部300は、たとえば、ソース領域110と比較しても深く形成されていてもよい。

【0040】

また、溝部300は、たとえば、ドリフト領域140よりも1.5倍以上深く形成されていることが好ましい。具体的には、溝部300の深さは、たとえば150nm以上750nm未満である。これにより、さらに確実に、上記した回り込み電界を抑制することができる。

10

【0041】

溝部300の第2面32および第3面33は、たとえば第1面31に対して垂直に設けられている。これにより、平面視でのチャンネル領域130の面積を小さくすることができる。なお、溝部300の第2面32および第3面33は、第1面31に対して鋭角または鈍角で接していてもよい。

【0042】

ドレイン領域120は、たとえば、ドリフト領域140よりも深く形成されている。一方で、後述するように、ドレイン領域120は、ドリフト領域140よりも浅く形成されていてもよい。

【0043】

また、ドレイン領域120は、ソース領域110と同様にして、ドリフト領域140よりも不純物濃度が高い。ソース領域110およびドレイン領域120の不純物濃度は、ドリフト領域140よりも10倍以上高いことが好ましい。具体的には、ソース領域110およびドレイン領域120の不純物濃度が 1×10^{21} atoms/cm³以上であるとき、ドリフト領域140の不純物濃度は 1×10^{20} atoms/cm³未満であることが好ましい。これにより、ソース・ドレイン間電圧によって電界が集中することを抑制することができる。

20

【0044】

図2(c)のように、第1ゲート絶縁層200は、溝部300の側面のうち第4面34と接するとともに、第1面31上のうち少なくともチャンネル領域130と接するように設けられている。ここで、第4面34が複数ある場合は、第1ゲート絶縁層200の一部が第4面34に接していればよい。また、上述のように、ゲート電極400は、第1ゲート絶縁層200上に設けられている。また、ゲート電極400は、溝部300の第2面32、第3面33および第4面34に直接接していない。

30

【0045】

図2(b)のように、第1ゲート絶縁層200は、たとえば、さらに溝部300の第2面32および第3面に接して設けられていてもよい。これにより、ゲート電極400が、直接、ソース領域110およびドリフト領域140に接することがない。すなわち、ゲート電極による電界によって、ゲート・ドリフト間で電流がリークすることを抑制することができる。ここでは、第1ゲート絶縁層200は、たとえば、第1面31、溝部300の第2面32、第3面33、第4面34および底面に接して設けられている。言い換えれば、たとえば、ソース領域110またはドリフト領域140は、第1ゲート絶縁層200を介してゲート電極400と接している。ここで、第1ゲート絶縁層200は、たとえば、スパッタにより形成されたSiO₂、SiN、Al₂O₃である。そのほか、ゲート絶縁層200は、Ta₂O₅などの高誘電率材料により形成されていてもよい。

40

【0046】

ここでは、溝部300は、たとえば、複数形成されている。複数の溝部300は、たとえば、第1面31および第2面32の交線と平行な方向に配置され、互いに離間して設けられている。チャンネル領域130は、隣接する溝部300の間に形成されている。言い換えれば、複数の溝部300は、チャンネル幅方向に並んで配置されている。ここでいう「チ

50

「チャンネル幅方向」とは、第2面32と平行の方向である。または、「チャンネル幅方向」とは、半導体基板100の第1面31と平行で、且つ、ソース領域110およびドレイン領域120間の距離が最小となる方向のことである。このように、チャンネル幅方向には、溝部300が形成された部分と、溝部300が形成されていない部分とが設けられている。これにより、溝部300のうちドリフト領域140よりも深い部分を複数形成することにより、ドリフト領域140からチャンネル領域130に回り込んで延びる電界を抑える部分を増加させることができる。すなわち、ドリフト領域140からチャンネル領域130に回り込んで延びる電界を抑制する効果を向上させることができる。

【0047】

溝部300のうちチャンネル幅方向の幅は100nm以上500nm未満である。当該幅が上記下限値以上であることにより、確実に電界を抑制する効果を得ることができる。また、当該幅が上記上限値未満であることにより、溝部300が設けられていることによつてオン抵抗が高くなることを抑制することができる。

10

【0048】

また、溝部300が複数設けられている場合、溝部300の間隔は100nm以上500nm未満である。当該幅が上記下限値以上であることにより、溝部300の間隔が狭いことによつてオン抵抗が高くなることを抑制することができる。また、当該幅が上記上限値未満であり、且つ、溝部300が隣接して設けられていることにより、さらに電界を緩和させることができる。

【0049】

20

次に、図3および図4を用い、半導体装置10の全体構造について説明する。図3は、第1の実施形態に係る半導体装置の構成を示す平面図である。図4は、第1の実施形態に係る半導体装置の構成を示す断面図である。そのうち、図4(a)は、図3のC-C'線断面図である。また、図4(b)は、図3のD-D'線断面図である。

【0050】

図3のように、ソース電極440およびドレイン電極460の配線は、たとえば、平面視で櫛歯型に設けられ、それぞれ離間して交互に設けられている。ゲート電極400は、たとえば、平面視で櫛歯型に設けられ、ソース電極440およびドレイン電極460の間に設けられている。ゲート電極400は、ソース電極440およびドレイン電極460とそれぞれ離間して設けられている。また、矩形状の溝部300は、平面視でゲート電極400と平行に並んで形成されている。

30

【0051】

半導体基板100の第1面31側には、素子分離領域280が設けられている。素子分離領域280は、たとえば、複数の素子領域を区画するために設けられている。ここでは、たとえば、平面視で上記横型MOSFETが形成された領域を囲むように設けられている。同一の半導体基板100のうち他の素子領域に、制御用ICが形成されていてもよい。また、素子分離領域280の深さは溝部300と等しくてもよい。これにより、溝部300と素子分離領域280を同時に形成することができる。すなわち製造工程を簡略化することができる。

【0052】

40

素子分離領域280は、たとえば、STI(Shallow Trench Isolation)である。具体的には、素子分離領域280は、たとえばSiO₂である。または、素子分離領域280は、たとえば、半導体基板100を高抵抗化する不純物を注入して活性化させない方法により形成してもよい。ここでいう「半導体基板100を高抵抗化する不純物」とは、電子およびホールの両方を補償する不純物のことである。

【0053】

図4(a)は、溝部300が形成された領域を示している。図4(a)のように、ゲート電極400および第1ゲート絶縁層200を覆うように、第1層間絶縁層520が設けられていてもよい。第1層間絶縁層520は、たとえば、SiO₂、SiN、SiON、SiOC、SiOCH、SiCOHまたはSiOFなどである。

50

【 0 0 5 4 】

ソース電極 4 4 0 およびドレイン電極 4 6 0 は、たとえば、一端が半導体基板 1 0 0 の第 1 面 3 1 と接するビア（符号不図示）と、当該ビアの他端と下面が接する配線（符号不図示）と、を備えている。ソース電極 4 4 0 のビアは、平面視でソース領域 1 1 0 と重なるように設けられ、第 1 層間絶縁層 5 2 0、第 1 ゲート絶縁層 2 0 0 を貫通してソース領域 1 1 0 に接続している。また、ドレイン電極 4 6 0 のビアは、平面視でドレイン領域 1 2 0 と重なるように設けられ、第 1 層間絶縁層 5 2 0、第 1 ゲート絶縁層 2 0 0 を貫通してドレイン領域 1 2 0 に接続している。ここでは、ソース電極 4 4 0 およびドレイン電極 4 6 0 の配線は、たとえば、同一の配線層に形成されている。また、ソース電極 4 4 0、ドレイン電極 4 6 0 の材料は、たとえば、Al または TiN などである。

10

【 0 0 5 5 】

一方で、ゲート電極 4 0 0 の配線（符号不図示）は、紙面と垂直の方向に延伸している。当該ゲート電極 4 0 0 の配線は、たとえば、ソース電極 4 4 0 およびドレイン電極 4 6 0 の配線が設けられた配線層と異なる配線層に形成されている。

【 0 0 5 6 】

なお、図 1 および図 2 では、ドレイン領域 1 2 0 は、たとえば、ドリフト領域 1 4 0 よりも深く形成されている場合を示したが、図 4 のように、ドレイン領域 1 2 0 は、たとえば、ドリフト領域 1 4 0 よりも浅く形成されていてもよい。このとき、たとえば、ドレイン領域 1 2 0 の下面は、ドリフト領域 1 4 0 と接している。また、ドリフト領域 1 4 0 は、平面視でドレイン領域 1 2 0 と重なるように設けられている。なお、ドレイン領域 1 2 0 の深さに関わらず、ドレイン領域 1 2 0 が溝部 3 0 0 またはチャネル領域 1 3 0 に接する部分は形成されていない。

20

【 0 0 5 7 】

図 4 (b) は、溝部 3 0 0 が形成されていない領域を示している。図 4 (b) のように、第 1 ゲート絶縁層 2 0 0 は、半導体基板 1 0 0 の第 1 面 3 1 の全体に形成されている。溝部 3 0 0 が形成されていない部分のうち、ソース領域 1 1 0 およびドリフト領域 1 4 0 の間に、チャネル領域 1 3 0 が形成されている。ゲート電極 4 0 0 は、平面視でチャネル領域 1 3 0 と重なるように設けられている。

【 0 0 5 8 】

次に、図 5 を用い、第 1 の実施形態に係る半導体装置 1 0 の回路について説明する。図 5 は、第 1 の実施形態に係る半導体装置 1 0 の構成を示す回路図である。図 5 のように、第 1 の実施形態の半導体装置 1 0 は、たとえば、DC - DC コンバータである。この回路は、たとえば、降圧型のコンバータである。この半導体装置 1 0 は、たとえば、DC - DC コントローラ IC 8 0 0、2 つの n チャネル FET 1 1、インダクタ 8 2 0 およびコンデンサ 8 4 0 を備えている。2 つの n チャネル FET 1 1 は、 V_{IN} と GND との間に直列に接続されている。また、この n チャネル FET 1 1 は、たとえば、図 1 で示された FET である。n チャネル FET 1 1 のゲート電圧は、DC - DC コントローラ IC 8 0 0 によって制御されている。2 つの n チャネル FET 1 1 の間からは、インダクタ 8 2 0 を介して V_{OUT} が取り出される。なお、インダクタ 8 2 0 と V_{OUT} との間は、コンデンサ 8 4 0 を介して GND に接続されている。また、DC - DC コントローラ IC 8 0 0 は、たとえば、 V_{IN} から入力された DC 信号をパルスに変換する。変換したパルスにより、n チャネル FET 1 1 は、インダクタ 8 2 0 にエネルギーを蓄え、次いでそのエネルギーを V_{OUT} に放出するという動作を交互に繰り返す。第 1 の実施形態によれば、n チャネル FET 1 1 は、安定的にスイッチング機能を発揮することができる。

30

40

【 0 0 5 9 】

次に、図 6 ~ 図 1 2 を用い、第 1 の実施形態に係る半導体装置 1 0 の製造方法について説明する。図 6 ~ 図 1 2 は、第 1 の実施形態に係る半導体装置 1 0 の製造方法を説明するための鳥瞰図である。第 1 の実施形態に係る半導体装置 1 0 の製造方法は、以下の工程を備えている。まず、半導体基板 1 0 0 の第 1 面 3 1 側に、溝部 3 0 0 を形成する（溝部形成工程）。次いで、溝部 3 0 0 の側面の 1 つである第 2 面 3 2 に面し、少なくとも一部が

50

第1面31および第2面32の交線と平行な方向に延在する位置に、第1導電型の不純物を注入してソース領域110を形成する。次いで、溝部300のうち第2面32の反対の第3面33から離間する位置に、第1導電型の不純物を注入してドレイン領域120を形成する。次いで、ドレイン領域120するとともに第3面33に面し、少なくとも一部が第1面31および第3面33の交線と平行な方向に延在する位置に、ソース領域110およびドレイン領域120よりも低濃度の第1導電型の不純物を注入して、ドリフト領域140を形成する。次いで、溝部300の側面のうち第2面32と第3面33に交わる方向の面である第4面34と接するとともに、第1面31上のうち少なくとも平面視でソース領域110とドリフト領域140で挟まれたチャネル領域130と接するように、第1ゲート絶縁層200を形成する。次いで、第1ゲート絶縁層200上にゲート電極を形成する。ここで、溝部形成工程において、溝部300をドリフト領域140よりも深くなるように形成する。以下、詳細を説明する。

10

【0060】

図6のように、まず、半導体基板100を準備する。図6では省略しているが、半導体基板100は、図1で示したように、下地基板102の第1面31上にIII族窒化物半導体層104を備えている。ここでは、III族窒化物半導体層104は、たとえば、GaNである。次いで、半導体基板100上に、第1マスク層620を形成する。さらに、第1マスク層620上に、第2マスク層640を形成する。ここでは、第1マスク層620および第2マスク層640は、たとえば、それぞれ、SiO₂、SiNである。なお、第1マスク層620および第2マスク層640を、たとえば、CVD (Chemical Vapor Deposition) またはスパッタなどにより形成する。一方で、たとえば、半導体基板100の表面を酸化することにより第1マスク層620を形成してもよい。具体的には、第1マスク層620は、たとえばGa₂O₃である。

20

【0061】

次いで、図7のように、第2マスク層640上に、フォトレジスト層(不図示)を形成する。次いで、露光および現像により、平面視で溝部300の形成領域に、フォトレジスト層の開口部(不図示)を形成する。次いで、RIE (Reactive Ion Etching) により、開口部に露出した、第1マスク層620、第2マスク層640および半導体基板100の第1面31をエッチングする。エッチングガスとして、たとえば、塩素系のガスを用いる。具体的には、エッチングガスは、たとえばCl₂、BCl₃である。これにより、半導体基板100の第1面31側に溝部300を形成する(溝部形成工程)。この溝部形成工程において、溝部300をドリフト領域140よりも深くなるように形成する。言い換えれば、後述するドリフト領域140を形成する工程において、ドリフト領域140を溝部300よりも浅くなるように形成する。次いで、たとえば、アッシングなどにより、フォトレジスト層を除去する。

30

【0062】

以上の工程により、たとえば、溝部300のうちソース領域110からドレイン領域120に向かう方向の長さ(ここでいう第4面34の長さ)がたとえば100nm以上10μm未満となるように、溝部300を形成する。

【0063】

次いで、図8のように、たとえば、CVDにより、溝部300内に第1マスク層620を埋め込む。このとき、溝部300内に埋め込む材料は、第1マスク層620でなくてもよい。他の例としては、溝部300内に埋め込む材料は、たとえば、第2マスク層640とエッチング選択性のある材料であればよい。次いで、プラズマエッチングまたはウェットエッチングにより、選択的に第2マスク層640を除去する。

40

【0064】

次いで、図9のように、第2マスク層640上に、再度、フォトレジスト層700を形成する。次いで、露光および現像により、溝部300の側面のひとつである第2面32に面し、少なくとも一部が第1面31および第2面32の交線と平行な方向に延在する位置、および平面視で溝部300のうち第2面32の反対の第3面33から離間する位置に、

50

フォトレジスト層700の開口部(符号不図示)を形成する。すなわち、ソース領域110およびドレイン領域120の形成領域に、フォトレジスト層700の開口部を形成する。次いで、当該開口部に、n型の不純物としてSiを注入する。これにより、第2面32に面し、少なくとも一部が第1面31および第2面32の交線と平行な方向に延在する位置に、ソース領域110を形成する。ここでは、第2面32に接するように、ソース領域110を形成する。また、溝部300のうち第2面32の反対の第3面33から離間する位置に、ドレイン領域120を形成する。このとき、たとえば、ソース領域110およびドレイン領域120が溝部300よりも浅く形成されるように、不純物注入量、加速電圧等を調整する。次いで、たとえば、アッシングなどにより、フォトレジスト層700を除去する。

10

【0065】

次いで、図10のように、第1マスク層620上に、再度、フォトレジスト層700を形成する。次いで、露光および現像により、ドレイン領域120と接するとともに第3面33に面し、少なくとも一部が第1面31および第3面33の交線と平行な方向に延在する位置に、フォトレジスト層700の開口部(符号不図示)を形成する。次いで、当該開口部に、n型の不純物としてSiを注入する。このドリフト領域140を形成する工程において、ドリフト領域140を溝部300よりも浅くなるように、加速電圧等を調整する。また、このとき、当該開口部に、ソース領域110およびドレイン領域120よりも低濃度の第1導電型の不純物を注入する。これにより、ドレイン領域120と接するとともに第3面33に面し、少なくとも一部が第1面31および第3面33の交線と平行な方向

20

【0066】

以上の工程により、平面視でソース領域110およびドリフト領域140で挟まれた領域に、チャンネル領域130を形成する。チャンネル領域130の長さがたとえば100nm以上10 μ m未満となるように、チャンネル領域130を形成する。また、ドリフト領域140のうちソース領域110からドレイン領域120に向かう方向の長さがたとえば100nm以上10 μ m未満となるように、ドリフト領域140を形成する。

【0067】

以上の工程において、ソース領域110およびドレイン領域120をドリフト領域140よりも先に形成する場合を説明したが、ドリフト領域140をソース領域110およびドレイン領域120より先に形成してもよい。

30

【0068】

次いで、たとえば、アッシングなどにより、フォトレジスト層700を除去する。さらに、プラズマエッチングまたはウエットエッチングにより、第1マスク層620を除去する。

【0069】

ここで、たとえば、700以上1300未満でアニール処理を行うことにより、ソース領域110、ドリフト領域140およびドレイン領域120に注入された不純物を活性化させる。これにより、注入されたイオンと結晶構成原子とを置換させることができる。また、イオン注入でダメージを受けた半導体基板100の結晶性を回復させることができる。なお、半導体基板100の第1面31が第1マスク層620で覆われた状態でアニール処理を行ってもよい。これにより、第1面31側がIII族窒化物半導体層104である場合に、半導体基板100の窒素が抜けることを抑制することができる。

40

【0070】

次いで、図11のように、たとえば、スパッタにより、少なくとも溝部300の側面のうち第2面32と第3面33に交わる方向の面である第4面34と接するとともに、第1面31上のうち少なくとも平面視でソース領域110とドリフト領域140で挟まれたチャンネル領域130と接するように、第1ゲート絶縁層200を形成する。第1ゲート絶縁層200をスパッタにより形成することにより、膜質の良い第1ゲート絶縁層200を形成することができる。第1ゲート絶縁層200として、たとえば、SiO₂、SiN、A

50

1₂0₃を成膜する。このようにして、第4面34と接するとともに、第1面31上のうち少なくとも平面視でソース領域110とドリフト領域140で挟まれたチャンネル領域130と接するように、第1ゲート絶縁層200を形成する。ここでは、たとえば、第1面31、溝部300の第2面32、第3面33、第4面34および底面に接するように、第1ゲート絶縁層200を形成する。

【0071】

次いで、図12のように、スパッタにより、第1ゲート絶縁層200上に金属膜を形成する。たとえば、金属膜として、Alおよび/またはTiNを成膜する。次いで、当該金属膜上にフォトレジスト層（不図示）を形成する。露光および現像により、溝部300の第4面上、および平面視でチャンネル領域130と重なる位置に残存するように、フォトレジスト層をパターニングする。このフォトレジスト層700をマスクとして、プラズマエッチングまたはウエットエッチングにより、金属膜をエッチングする。次いで、たとえば、アッシングによりフォトレジスト層を除去する。以上により、第1ゲート絶縁層200上にゲート電極400を形成する。

10

【0072】

次いで、先に示した図4のように、たとえば、CVDにより、第1ゲート絶縁層200、ゲート電極400上に、第1層間絶縁層520を形成する。第1層間絶縁層520として、たとえば、SiO₂、SiN、SiON、SiOC、SiOCH、SiCOHまたはSiOFを成膜する。

【0073】

次いで、RIEにより、平面視でソース領域110に重なる位置に、第1層間絶縁層520および第1ゲート絶縁層200を貫通して半導体基板100の第1面31に接するように、ソース電極440のビアホール（不図示）を形成する。同時に、RIEにより、平面視でドレイン領域120に重なる位置に、第1層間絶縁層520および第1ゲート絶縁層200を貫通して半導体基板100の第1面31に接するように、ドレイン電極460のビアホール（不図示）を形成する。

20

【0074】

次いで、たとえば、スパッタにより、ソース電極440並びにドレイン電極460のビアホールのうち側面並びに底面、および第1層間絶縁層520上に、金属を形成する。これにより、ソース電極440およびドレイン電極460のビアホールの内部に、金属を埋め込む。具体的には、スパッタにより、Alおよび/またはTiNなどを成膜する。次いで、CMP（Chemical Mechanical Polishing）により、第1層間絶縁層520上を平坦化する。これにより、ソース電極440のビアおよびドレイン電極460のビアを形成する。

30

【0075】

その後、ダマシン法により、第1層間絶縁層520上に、多層配線構造（不図示）を形成してもよい。また、多層配線構造の最上層に、電極パッド（不図示）を形成してもよい。

【0076】

以上により、第1の実施形態に係る半導体装置10を得ることができる。

40

【0077】

次に、図13～図15を用い、第1の実施形態の効果について説明する。図13～図15は、第1の実施形態の効果の説明するための図である。

【0078】

ここで、比較例として、溝部300が形成されていない半導体装置10を考える。比較例の半導体装置10において、その他の構成は、第1の実施形態と同様であるとする。

【0079】

図13は、ドリフト領域140およびチャンネル領域130の境界付近のポテンシャル等高線についてシミュレーションした結果を示している。なお、図13は、溝部300の第4面34の法線方向から見た図である。図13(a)は比較例の場合であり、図13(b)

50

)は第1の実施形態の場合を示している。いずれの場合も、ゲート電極400およびソース電極440を0V、ドレイン電極460を100Vとしている。すなわち、ゲートがオフのときを示している。

【0080】

図13のように、いずれの場合においても、ポテンシャル等高線は、高電圧であるドレイン領域120側からドリフト領域140に向けて、緩やかに緩和されながら、ゲート電極400直下のチャンネル領域130まで広がっている。

【0081】

図13(a)の比較例の場合では、ドリフト領域140およびチャンネル領域130の境界付近のうちゲート電極400付近のポテンシャルは、2~3Vである。このように、比較例では、ゲートがオフのとき、ドリフト領域140およびチャンネル領域130の境界付近のうちゲート電極400付近に、電界が集中しやすい。このため、当該部分に電界が集中して、半導体装置10が絶縁破壊を起こす可能性がある。

【0082】

一方、図13(b)の第1の実施形態の場合では、チャンネル領域130のうちドリフト領域140からソース領域11に向かうポテンシャル等高線が広がりにくくなっている。ドリフト領域140およびチャンネル領域130の境界付近のうちゲート電極400付近のポテンシャルは、1~2Vである。すなわち、第1の実施形態の場合における当該領域のポテンシャルは、比較例の場合よりも小さくなっている。第1の実施形態のように溝部300が設けられていることにより、溝部のうちドリフト領域よりも深い部分まで、ゲート電極400によるポテンシャルが形成される。このゲート電極400によるポテンシャルによって、ソース領域110およびドレイン領域120の間の電界がドリフト領域140からチャンネル領域130に回り込むことを抑制することができる。したがって、ドリフト領域140およびチャンネル領域130の境界付近のうちゲート電極400付近に、当該電界が集中することを緩和することができる。

【0083】

図14は、ドリフト領域140およびチャンネル領域130の境界の断面におけるポテンシャル等高線についてシミュレーションした結果を示している。なお、図14は、溝部300の第3面33の法線方向から見た図である。図14のうち横軸は、チャンネル幅方向の座標を示している。一方、図14のうち縦軸は第1面31を0とした深さ方向の座標を示している。図14(a)は比較例の場合であり、図14(b)は第1の実施形態の場合を示している。いずれの場合も、ゲート電極400およびソース電極440を0V、ドレイン電極460を100Vとしている。

【0084】

図14(a)の比較例の場合では、ポテンシャル等高線が第1面31と平行に分布している。また、とりわけ第1面31付近のポテンシャル等高線が密になっている。深さ-0.15 μ m付近のポテンシャルは、3V以上である。このように、ゲート電極400直下の領域の電位と、ゲート電極400の電位(ここでは0V)との電位差が大きいほど、第1ゲート絶縁層200界面付近での電界集中が強くなる。したがって、比較例では、上述の絶縁破壊が発生する可能性がある。

【0085】

一方、図14(b)の第1の実施形態の場合では、ポテンシャル等高線が溝部300の形状に合わせて緩やかに分布している。また、深さ-0.15 μ m付近のポテンシャルは、最大でも2.5V以下である。すなわち、第1の実施形態の場合における当該領域のポテンシャルは、比較例の場合よりも小さくなっている。また、第1の実施形態では、第1面31付近のポテンシャル等高線が、比較例よりも疎になっている。第1の実施形態のように溝部300が設けられていることにより、第1ゲート絶縁層200付近(第1面31付近)に、ソース領域110およびドレイン領域120の間の電界が集中することを緩和することができる。さらに、溝部300が複数設けられていることにより、ソース領域110およびドレイン領域120の間の電界を緩和する効果を向上させることができる。

10

20

30

40

50

【 0 0 8 6 】

図 1 5 は、ドリフト領域 1 4 0 の深さを 3 0 n m としたときのドリフト領域 1 4 0 およびチャンネル領域 1 3 0 の境界における電界の大きさについてシミュレーションした結果を示している。図 1 5 のうち横軸は、第 1 面 3 1 を 0 とした深さ方向の座標を示している。一方、図 1 5 のうち縦軸は電界の大きさを示している。

【 0 0 8 7 】

図 1 5 のように、溝部 3 0 0 の深さがドリフト領域 1 4 0 よりも深いほど、電界が緩和される傾向にある。溝部 3 0 0 の深さがドリフト領域 1 4 0 よりも浅い場合、ドリフト領域 1 4 0 からソース領域 1 1 0 に向かう電界が溝部 3 0 0 の下側を回りこんでチャンネル領域 1 3 0 側に延伸してしまう。一方、溝部 3 0 0 の深さがドリフト領域 1 4 0 よりも深い場合、上述のように、ゲート電極 4 0 0 によるポテンシャルによって、ソース領域 1 1 0 およびドレイン領域 1 2 0 の間の電界がドリフト領域 1 4 0 からチャンネル領域 1 3 0 に回り込むことを抑制することができる。

10

【 0 0 8 8 】

以上のように、第 1 の実施形態によれば、溝部 3 0 0 がドリフト領域 1 4 0 よりも深く形成されている。ゲート電極 4 0 0 は、第 1 ゲート絶縁層 2 0 0 を介して、溝部 3 0 0 の第 4 面 3 4、および半導体基板 1 0 0 の第 1 面 3 1 上のうち平面視でチャンネル領域 1 3 0 と重なるように設けられている。これにより、溝部 3 0 0 のうちドリフト領域 1 4 0 よりも深い部分まで、ゲート電極 4 0 0 によるポテンシャルが形成される。このポテンシャルによって、ソース領域 1 1 0 およびドレイン領域 1 2 0 の間の電界がドリフト領域 1 4 0 からチャンネル領域 1 3 0 に回り込むことを抑制することができる。

20

【 0 0 8 9 】

さらに、第 1 の実施形態によれば、第 1 導電型の不純物領域のみを形成することにより、半導体装置 1 0 を高耐圧化させることができる。ここで、たとえば、不純物領域を形成する半導体層が n 型および p 型の両方の導電性を制御できる場合、ソース領域 1 1 0 またはドレイン領域 1 2 0 の下方に、これらと逆の導電型のハロー領域（またはポケット領域とも呼ばれる）などを形成する場合がある。この場合、ハロー領域が設けられていることにより、ドレイン・ソース間のパンチスルーを抑制することができる。したがって、ソース領域 1 1 0 またはドレイン領域 1 2 0 の近傍に、これらと逆導電型の不純物領域を形成することによって、半導体装置 1 0 内の電界を緩和することが可能となる。しかし、導電制御が困難な半導体材料である場合、ソース領域 1 1 0 またはドレイン領域 1 2 0 と逆導電型の不純物領域を設けることは困難である可能性がある。そこで、第 1 導電型の不純物領域のみにより第 1 の実施形態のような構成を形成することにより、導電制御が困難な半導体材料であっても半導体装置 1 0 を安定的に高耐圧化させることができる。たとえば、上述のように、半導体基板 1 0 0 が、導電制御が困難な III 族窒化物半導体層 1 0 4 等を含む場合に特に有効である。

30

【 0 0 9 0 】

よって、第 1 の実施形態によれば、電界が局所的に集中することを抑制して、高耐圧化した半導体装置 1 0 を提供することができる。

【 0 0 9 1 】

（第 2 の実施形態）

図 1 6 は、第 2 の実施形態に係る半導体装置 1 0 の構成を示す鳥瞰図である。第 2 の実施形態は、フィールドプレート電極 4 2 0 が設けられている点を除いて、第 1 の実施形態と同様である。以下、詳細を説明する

40

【 0 0 9 2 】

図 1 6 のように、平面視でドリフト領域 1 4 0 の一部と重なるように、フィールドプレート電極 4 2 0 が設けられている。フィールドプレート電極 4 2 0 は、平面視でドリフト領域 1 4 0 のうちチャンネル領域 1 3 0 側からドリフト領域 1 4 0 の中央部まで重なるように設けられている。

【 0 0 9 3 】

50

フィールドプレート電極 420 には、ゲート電極 400 およびドレイン電極 460 間の電圧以内の電圧が印加される。

【0094】

また、フィールドプレート電極 420 は、たとえばゲート電極 400 と接している。具体的には、フィールドプレート電極 420 は、たとえばゲート電極 400 と一体として形成されている。なお、フィールドプレート電極 420 は、ゲート電極 400 と分離して形成されていてもよい。たとえば、フィールドプレート電極 420 は、ソース電極 440 と接して設けられていてもよい。この場合、フィールドプレート電極 420 は、ゲート電極 400 と異なる電圧が印加されてもよい。

【0095】

当該フィールドプレート電極 420 は、ゲート電極 400 およびチャンネル領域 130 の間よりも第 1 面 31 から離間している。ここでは、第 1 ゲート絶縁層 200 のうちフィールドプレート電極 420 が平面視でドリフト領域 140 と重なる部分の厚さは、平面視でチャンネル領域 130 と重なる部分よりも厚い。または、第 1 ゲート絶縁層 200 上のうちフィールドプレート電極 420 が平面視でドリフト領域 140 と重なる部分に、材質の異なる絶縁層が設けられていてもよい。

【0096】

図 16 の半導体装置 10 の製造方法は、たとえば以下のような工程を備えている。

【0097】

図 11 まで第 1 の実施形態と同様の工程を行う。次いで、図 11 において、最終的な平面視でチャンネル領域 130 と重なる部分の第 1 ゲート絶縁層 200 よりも厚く、第 1 ゲート絶縁層 200 を形成する。このとき、平面視でフィールドプレート電極 420 が形成される部分の厚さに、第 1 ゲート絶縁層 200 を形成する。第 1 ゲート絶縁層 200 上に、フォトレジスト層を形成する。次いで、露光および現像により、少なくともフィールドプレート電極 420 が平面視でドリフト領域 140 と重なる領域に、フォトレジスト層が残存するようにパターニングする。次いで、ウエットエッチングまたはプラズマエッチングにより、所望の第 1 ゲート絶縁層 200 の厚さまでエッチングする。次いで、たとえば、アッシングなどにより、フォトレジスト層を除去する。

【0098】

次いで、たとえば、スパッタにより、ゲート電極 400 と一体としてフィールドプレート電極 420 を形成する。このとき、平面視でドリフト領域 140 の一部と重なるように、フィールドプレート電極 420 を形成する。これ以降の工程は、第 1 の実施形態と同様である。

【0099】

第 2 の実施形態によれば、平面視でドリフト領域 140 の一部と重なるように、フィールドプレート電極 420 が設けられている。第 2 の実施形態では、第 1 の実施形態と同様の効果を得ることができる。さらに、第 2 の実施形態によれば、ドリフト領域 140 のうち平面視でフィールドプレート電極 420 と重なる部分に、当該ドリフト領域 140 よりも低濃度の不純物領域が形成されている場合と同等の効果を得ることができる。これにより、チャンネル領域 130 およびドレイン領域 120 との間の電界を段階的に緩和することができる。したがって、さらに高耐圧化した半導体装置 10 を提供することができる。

【0100】

(第 3 の実施形態)

図 17 は、第 3 の実施形態に係る半導体装置 10 の構成を示す断面図である。また、当該断面図は、図 1 の B - B' 線の矢印側から見た断面図に対応している。第 3 の実施形態は、以下の点を除いて、第 1 の実施形態と同様である。半導体基板 100 の第 1 面 31 側に設けられ、平面視でドリフト領域 140 と重なるように設けられ、第 3 面 33 から離間して設けられた素子分離領域 280 をさらに備えている。ドリフト領域 140 は、素子分離領域 280 のうち第 3 面 33 側の側面および底面と接している。以下、詳細を説明する。

。

10

20

30

40

50

【0101】

図17のように、半導体基板100の第1面31側には、素子分離領域280が設けられている。素子分離領域280は、平面視でドリフト領域140と重なるように設けられている。また、素子分離領域280は、溝部300の第3面33から離間して設けられている。素子分離領域280は、たとえば平面視でチャンネル領域130と平行に並んで設けられている。素子分離領域280は、平面視で溝部300が形成されていない領域まで連続して設けられている。

【0102】

素子分離領域280は、たとえば、STI(Shallow Trench Isolation)である。具体的には、素子分離領域280は、たとえばSiO₂である。半導体基板100がSiである場合、素子分離領域280は、たとえばLOCOS(Local Oxidation of Silicon)であってもよい。

10

【0103】

素子分離領域280は、そのほか、複数の素子領域を区画するために設けられている。素子分離領域280は、平面視でドリフト領域140と重なる領域以外にも設けられていてもよい。

【0104】

溝部300の深さは素子分離領域280と等しい。これにより、溝部300と素子分離領域280を同時に形成することができる。すなわち製造工程を簡略化することができる。

20

【0105】

ドリフト領域140のうち溝部300の第3面33と接する(または面する)部分の深さは、溝部300よりも浅い。これにより、溝部300によって、電界がドリフト領域からチャンネル領域に回り込んで延びることを抑制することができる。

【0106】

素子分離領域280および溝部300間の距離は、たとえば50nm以上5μm未満である。素子分離領域280および溝部300間の距離が上記範囲であることにより、電界が溝部300の下面を回りこんでドリフト領域140からチャンネル領域130に回り込んで延びることを抑制することができる。

【0107】

ドリフト領域140は、素子分離領域280のうち第3面33側の側面および底面と接している。ドリフト領域140は、たとえば素子分離領域280よりも溝部300から離間した位置でドレイン領域120と接している。また、ドリフト領域140は、たとえばドレイン領域120の下面と接している。

30

【0108】

次に、図18~図20を用い、第3の実施形態に係る半導体装置10の製造方法について説明する。図18~図20は、第1の実施形態に係る半導体装置10の製造方法を説明するための断面図である。第3の実施形態に係る半導体装置10の製造方法は、素子分離領域280を形成する点を除いて、第1の実施形態と同様である。以下、詳細を説明する。

40

【0109】

図18(a)のように、イオン注入により、半導体基板100の第1面31側に、ソース領域110、ドリフト領域140およびドレイン領域120を形成する。このうちドリフト領域140については、二回イオン注入することにより形成してもよい。次いで、アニール処理を行うことにより、ソース領域110、ドリフト領域140およびドレイン領域120に注入された不純物を活性化させる。

【0110】

図18(b)のように、第1マスク層620および第2マスク層640を形成する。次いで、フォトリソ層をパターニングする。次いで、RIEにより、第1マスク層620、第2マスク層640および半導体基板100の第1面31をエッチングする。これに

50

より、半導体基板 100 の第 1 面 31 側に、溝部 300 と、素子分離領域 280 を形成するための開口部 320 とを形成する。このとき、開口部 320 は、素子分離領域 280 の深さが溝部 300 と等しくなるように形成される。

【0111】

図 19 (a) のように、CVD により、少なくとも開口部 320 に絶縁層 282 を埋め込む。絶縁層 282 は、たとえば SiO_2 である。ここでは、たとえば開口部 320 および溝部 300 に絶縁層 282 を埋め込む。

【0112】

図 19 (b) のように、CMP により、第 2 マスク層 640 の上面が露出するまで、半導体基板 100 の第 1 面 31 上を平坦化する。次いで、第 2 マスク層 640 を除去する。次いで、第 1 マスク層 620 上に、フォトレジスト層 (不図示) を形成する。次いで、平面視で素子分離領域 280 と重なる領域が残存するように、フォトレジスト層をパターニングする。次いで、フォトレジスト層の開口部に露出した第 1 マスク層 620 および絶縁層 282 をエッチングする。次いで、アッシングなどにより、フォトレジスト層を除去する。このようにして、素子分離領域 280 を形成する。

【0113】

なお、当該溝部 300 および素子分離領域 280 を形成する工程は、別々に行ってもよい。また当該溝部 300 および素子分離領域 280 を形成する工程は、上記した不純物領域を形成する工程よりも前に行ってもよい。

【0114】

次いで、図 20 (a) のように、半導体基板 100 の第 1 面 31 側に、第 1 ゲート絶縁層 200 を形成する。このとき、素子分離領域 280 上に、第 1 ゲート絶縁層 200 を形成してもよい。

【0115】

次いで、図 20 (b) のように、第 1 ゲート絶縁層 200 上に金属膜を形成する。次いで、当該金属膜をパターニングすることにより、ゲート電極 400 を形成する。以降の工程は、第 1 の実施形態と同様である。

【0116】

第 3 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができる。さらに、第 3 の実施形態によれば、素子分離領域 280 は、平面視でドリフト領域 140 と重なるように設けられている。当該素子分離領域 280 が形成されていない場合と比較して、ドレイン領域 120 からチャネル領域 130 までの実効的な距離が長い。これにより、平面視でのソース領域 110 およびドレイン領域 120 間の距離が短い配置において、高耐圧な半導体装置 10 を得ることができる。すなわち平面視での面積が小さく、かつ高耐圧な半導体装置 10 を得ることができる。

【0117】

第 3 の実施形態では素子分離領域 280 が STI である場合を説明したが、上述のように半導体基板 100 が Si である場合は、LOCOS であってもよい。この場合、以下のようにして、素子分離領域 280 を形成する。まず、上記した素子分離領域 280 を形成する工程において、平面視で素子分離領域 280 が形成される領域以外をマスク層 (たとえば SiN) を形成する。次いで、熱酸化を行う。これにより、素子分離領域 280 を形成する。次いで、マスク層を除去する。その他の工程は、上記工程と同様である。

【0118】

(第 4 の実施形態)

図 21 は、第 4 の実施形態に係る半導体装置 10 の構成を示す断面図である。第 4 の実施形態は、ゲート電極 400 が溝部 300 の第 3 面 33 から離間して設けられている点を除いて、第 1 の実施形態、または第 3 の実施形態の一部と同様である。

【0119】

図 21 のように、第 1 の実施形態と同様にして、ソース領域 110、チャネル領域 130、ドリフト領域 140 およびドレイン領域 120 が形成されている。

【0120】

第1ゲート絶縁層200は、たとえば平面視でドリフト領域140から離間して設けられている。ゲート電極400は、第1ゲート絶縁層200上に設けられている。

【0121】

ゲート電極400は、溝部300の第3面33から離間して設けられている。また、ゲート電極400は、平面視でドリフト領域140から離間して設けられている。

【0122】

半導体基板100の第1面31上および溝部300の一部には、第2ゲート絶縁層220が設けられている。第2ゲート絶縁層220は、溝部300の第3面33と接している。第2ゲート絶縁層220には、平面視で溝部300の第3面33から離間した位置に開口部（符号不図示）が設けられている。当該開口部に、ゲート電極400および第1ゲート絶縁層200が設けられている。ここでは、第2ゲート絶縁層220うち少なくとも第3面33と接する部分は、ゲート電極400と接している。これにより、ゲート電極400は、平面視でドリフト領域140から離間している。

10

【0123】

第2ゲート絶縁層220は、たとえば第1ゲート絶縁層200と異なる材料により形成されている。具体的には、第2ゲート絶縁層220は、たとえばSiNである。または、第2ゲート絶縁層220は第1ゲート絶縁層200と同じ材料により形成されていてもよい。この場合、第1ゲート絶縁層200は、平面視で第2ゲート絶縁層220と重なるように設けられていてもよい。

20

【0124】

第2ゲート絶縁層220うち少なくとも第3面33と接する部分の膜厚は、たとえば第1ゲート絶縁層200よりも厚い。これにより、容易にゲート電極400を平面視でドリフト領域140から離間して形成することができる。

【0125】

次に、図22～図23を用い、第4の実施形態に係る半導体装置10の製造方法について説明する。図22～図23は、第4の実施形態に係る半導体装置10の製造方法を説明するための断面図である。第4の実施形態に係る半導体装置10の製造方法は、ゲート電極400を溝部300の第3面33から離間して形成する点を除いて、第1の実施形態と同様である。以下、詳細を説明する。

30

【0126】

図22(a)のように、第1の実施形態と同様にして、図10までの工程を行う。

【0127】

次いで、図22(b)のように、たとえば、CVDにより、半導体基板100の第1面31上および溝部300の内部に、第2ゲート絶縁層220を形成する。ここでは、たとえば、第1ゲート絶縁層200よりも厚く第2ゲート絶縁層220を形成する。

【0128】

図23(a)のように、プラズマエッチングまたはウエットエッチングにより、第2ゲート絶縁層220のうち平面視で溝部300の第3面33から離間した位置に開口部320を形成する。

40

【0129】

次いで、図23(b)のように、少なくとも開口部320の内部に、第1ゲート絶縁層200を形成する。ここでは、第2ゲート絶縁層220上および開口部320の内部を覆うように、第1ゲート絶縁層200を形成する。次いで、チャンネル領域130以外の第1ゲート絶縁層200を除去する。なお、第1ゲート絶縁層200は、第2ゲート絶縁層220上に設けられたままでもよい。

【0130】

次いで、図21のように、第1ゲート絶縁層200上および第2ゲート絶縁層220上に金属膜を形成する。次いで、当該金属膜をパターニングして、平面視でチャンネル領域130と重なる位置にゲート電極400を形成する。このとき、ゲート電極400を平面視

50

で溝部 300 の第 3 面 33 から離間するように形成する。以降の工程は第 1 の実施形態と同様である。

【0131】

第 4 の実施形態によれば、第 1 の実施形態と同様の効果を得ることができる。さらに、第 4 の実施形態によれば、ゲート電極 400 が溝部 300 の第 3 面 33 から離間して設けられている。上述のように、ゲート電極 400 およびドリフト領域 140 の間において、電界が集中しやすい。このため、ゲート電極 400 が溝部 300 の第 3 面 33 から離間していることにより、当該ゲート電極 400 およびドリフト領域 140 の間において電界が集中することを抑制することができる。したがって、さらに半導体装置 10 を高耐圧化させることができる。

10

【0132】

(第 5 の実施形態)

図 24 は、第 5 の実施形態に係る半導体装置 10 の構成を示す断面図である。第 5 の実施形態は、ゲート電極 400 および溝部 300 の第 3 面 33 の間に空隙 (符号不図示) が設けられている点を除いて、第 1 の実施形態および第 4 の実施形態と同様である。

【0133】

図 24 のように、第 4 の実施形態と同様に、ゲート電極 400 が溝部 300 の第 3 面 33 から離間して設けられている。第 5 の実施形態では、ゲート電極 400 および溝部 300 の第 3 面 33 の間に空隙 (符号不図示) が設けられている。第 2 ゲート絶縁層 220のうち少なくとも第 3 面 33 と接する部分は、ゲート電極 400 から離間している。言い換えれば、溝部 300 のうちソース領域 110 からドレイン領域 120 の方向の長さは、ゲート電極 400 のうち当該方向の長さ、第 2 ゲート絶縁層 220 の厚さとを足した長さよりも長い。

20

【0134】

ここでは、第 2 ゲート絶縁層 220 には、平面視でゲート電極 400 よりも広い開口部 (符号不図示) が形成されている。当該開口部には、第 1 ゲート絶縁層 200 が設けられている。

【0135】

ゲート電極 400 および第 1 ゲート絶縁層 200 を覆うように、第 1 層間絶縁層 520 が設けられていてもよい。このとき、ゲート電極 400 および溝部 300 の第 3 面 33 の間には、第 1 層間絶縁層 520 のボイド (上記した空隙) が形成されていてもよい。なお、空隙には、第 1 層間絶縁層 520 が埋め込まれていてもよい。

30

【0136】

第 5 の実施形態によれば、第 1 の実施形態および第 4 の実施形態と同様の効果を得ることができる。さらに、第 5 の実施形態によれば、ゲート電極 400 および溝部 300 の第 3 面 33 の間に空隙 (符号不図示) が設けられている。第 2 ゲート絶縁層 220のうち少なくとも第 3 面 33 と接する部分は、ゲート電極 400 から離間している。これにより、ゲート電極 400 およびドリフト領域 140 の間において、電界が集中することを確実に抑制することができる。

【0137】

(第 6 の実施形態)

第 6 の実施形態は、半導体基板 100 が Si である点を除いて、第 1 の実施形態と同様である。

40

【0138】

第 6 の実施形態のうち、断面視での構造は、第 1 の実施形態と同様である。

【0139】

第 6 の実施形態では、半導体基板 100 は、たとえば、Si 基板である。第 1 の実施形態と異なり、半導体基板 100 に、材質の異なる半導体層は形成されていない。すなわち、半導体基板 100 の表面近傍に、直接、横型 MOSFET が形成されている。

【0140】

50

また、第1導電型がn型であり、半導体装置10がnチャネルFETを含む場合は、半導体基板100は、たとえば、p型Si基板である。一方、第1導電型がp型であり、半導体装置10がpチャネルFETを含む場合は、半導体基板100はn型Si基板であってもよい。

【0141】

また、ソース領域110およびドレイン領域120の下方に、これらと逆の導電型のハロー領域（不図示）がさらに形成されていてもよい。

【0142】

ゲート電極400、ソース電極440およびドレイン電極460は、第1の実施形態と同様に、たとえば、スパッタにより、Alおよび/またはTiNなどによって形成されてもよい。または、これらの電極は、ダマシン法によってCuを埋め込むことにより形成されていてもよい。また、これらの電極は、CVDによってWを埋め込むことにより形成してもよい。

10

【0143】

また、半導体基板100がSiである場合、ソース領域110からドレイン領域120に向かう方向（いわゆるチャンネル長方向）は、[100]または[110]である。これにより、結晶面が露出した平坦な第4面34を形成することができる。

【0144】

第6の実施形態によれば、第1の実施形態と同様の効果を得ることができる。さらに第6の実施形態によれば、半導体基板100はSi基板である。これにより、半導体基板100のコストを低減し、安価に半導体装置10を提供することができる。また、制御用ICを同一チップ上に作り込むことができる。これにより、より広い範囲の製品形態に半導体装置10を適用することができる。また、半導体基板100に含まれる欠陥を低減して、基板耐圧を向上させた半導体装置10を提供することができる。

20

【0145】

（第7の実施形態）

図25は、第7の実施形態に係る半導体装置10の構成を示す断面図である。第7の実施形態は、第2ゲート絶縁層220は第1ゲート絶縁層200を介して第3面33と接している点を除いて、第1の実施形態、または第5の実施形態と同様である。

【0146】

第7の実施形態では、半導体基板100は、たとえば、Si基板である。半導体基板100には、ソース領域110、チャンネル領域130、ドリフト領域140およびドレイン領域120が形成されている。

30

【0147】

第1ゲート絶縁層200は、半導体基板100の第1面31および溝部300の内部に接して設けられている。ここで、第1ゲート絶縁層200は、第3面33に接している。

【0148】

第2ゲート絶縁層220は第1ゲート絶縁層200を介して第3面33と接している。言い換えれば、第2ゲート絶縁層220は、第1ゲート絶縁層200のうち第3面33と接している部分に接するように設けられている。

40

【0149】

次に、第7の実施形態に係る半導体装置10の製造方法について概略を説明する。第7の実施形態に係る半導体装置10の製造方法は、以下の点を除いて、第1の実施形態および第4の実施形態と同様である。

【0150】

第4の実施形態と同様にして、図22(a)までを行う。次いで、半導体基板100上の全面に第1ゲート絶縁層200を形成する。次いで、第1ゲート絶縁層200上に、第2ゲート絶縁層220を形成する。次いで、RIEにより、第2ゲート絶縁層220のうちチャンネル領域130と重なる部分に開口部（不図示）を形成する。これにより、当該開口部に第1ゲート絶縁層200を露出させる。以降の工程は、第1の実施形態および第4

50

の実施形態と同様である。

【 0 1 5 1 】

第 7 の実施形態によれば、第 1 の実施形態または第 4 の実施形態と同様の効果を得ることができる。さらに第 7 の実施形態のように、半導体基板 1 0 0 の材質に応じて、第 1 ゲート絶縁層 2 0 0 を第 2 ゲート絶縁層 2 2 0 よりも先に形成することもできる。

【 0 1 5 2 】

以上、第 6 および第 7 の実施形態において、半導体基板 1 0 0 が S i 基板である場合を説明したが、この場合において第 1 ~ 第 5 の実施形態の構成を適用してもよい。

【 0 1 5 3 】

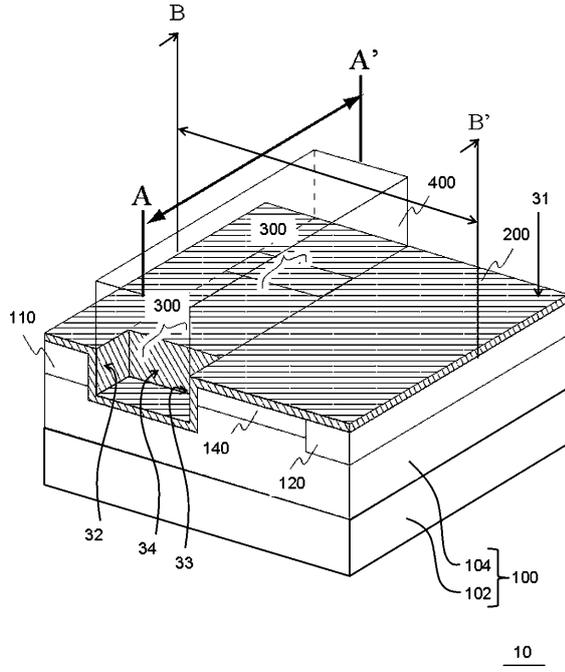
以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。 10

【符号の説明】

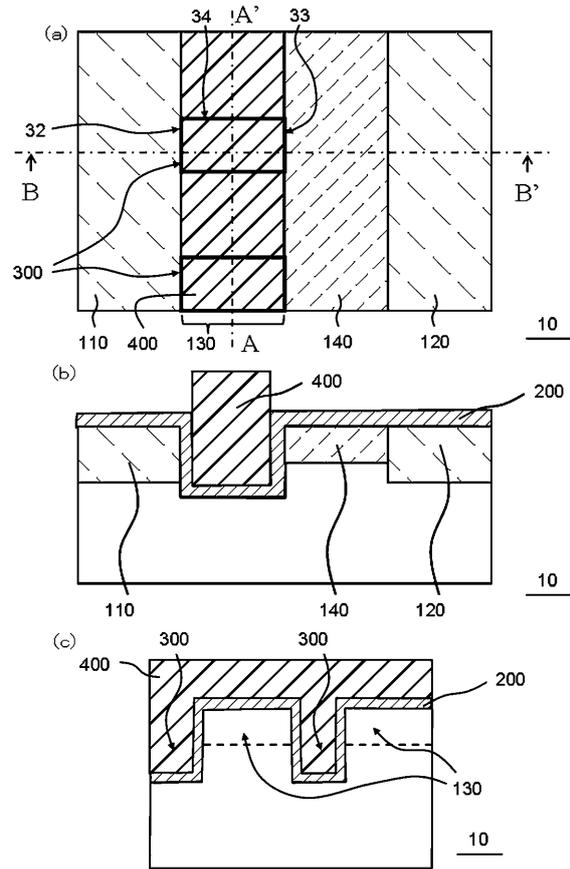
【 0 1 5 4 】

| | | |
|-------|------------------|----|
| 1 0 | 半導体装置 | |
| 1 1 | F E T | |
| 3 1 | 第 1 面 | |
| 3 2 | 第 2 面 | |
| 3 3 | 第 3 面 | |
| 3 4 | 第 4 面 | |
| 1 0 0 | 半導体基板 | 20 |
| 1 0 2 | 下地基板 | |
| 1 0 4 | III族窒化物半導体層 | |
| 1 1 0 | ソース領域 | |
| 1 2 0 | ドレイン領域 | |
| 1 3 0 | チャネル領域 | |
| 1 4 0 | ドリフト領域 | |
| 2 0 0 | 第 1 ゲート絶縁層 | |
| 2 2 0 | 第 2 ゲート絶縁層 | |
| 2 8 0 | 素子分離領域 | |
| 2 8 2 | 絶縁層 | 30 |
| 3 0 0 | 溝部 | |
| 3 2 0 | 開口部 | |
| 4 0 0 | ゲート電極 | |
| 4 2 0 | フィールドプレート電極 | |
| 4 4 0 | ソース電極 | |
| 4 6 0 | ドレイン電極 | |
| 5 2 0 | 第 1 層間絶縁層 | |
| 6 2 0 | 第 1 マスク層 | |
| 6 4 0 | 第 2 マスク層 | |
| 7 0 0 | フォトレジスト層 | 40 |
| 8 0 0 | D C - D C コントローラ | |
| 8 2 0 | インダクタ | |
| 8 4 0 | コンデンサ | |

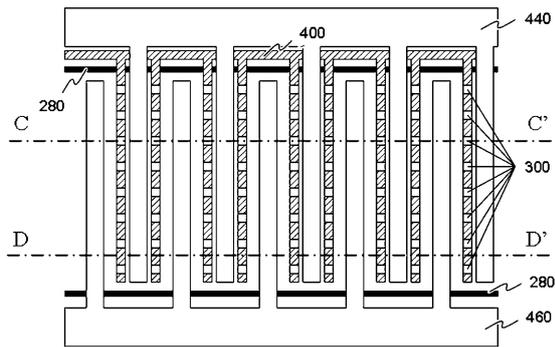
【図1】



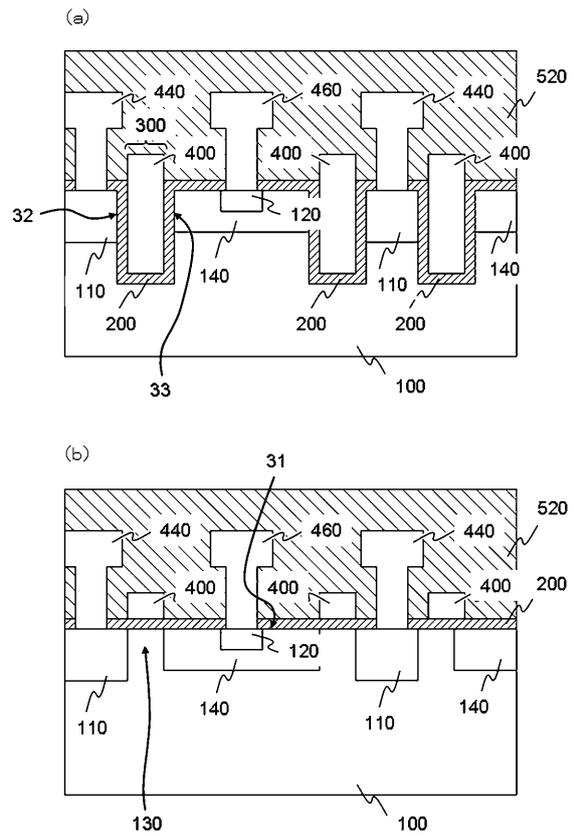
【図2】



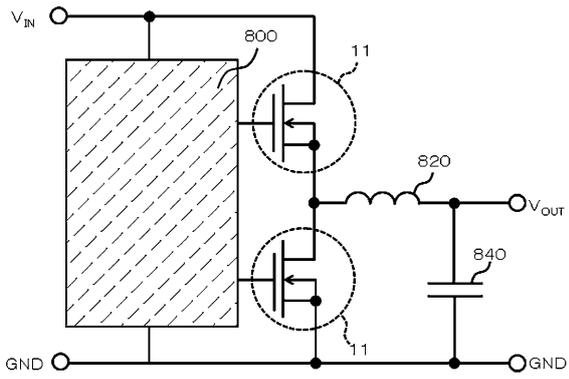
【図3】



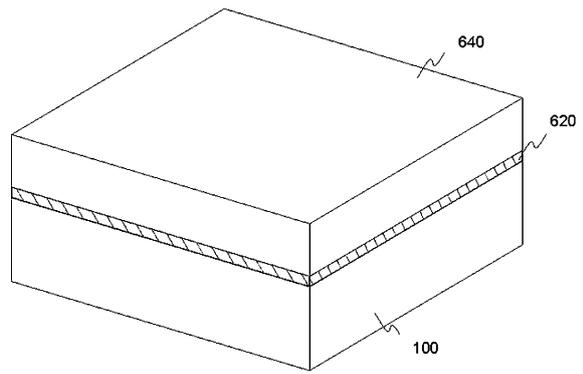
【図4】



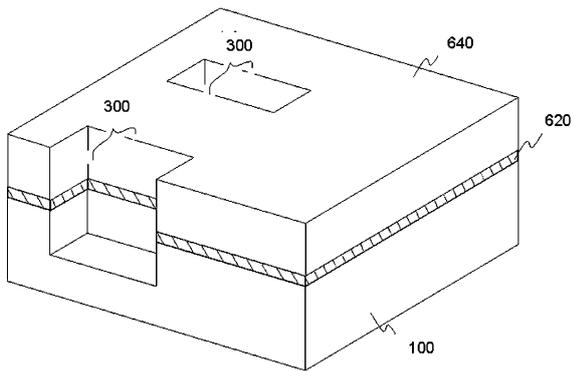
【図5】



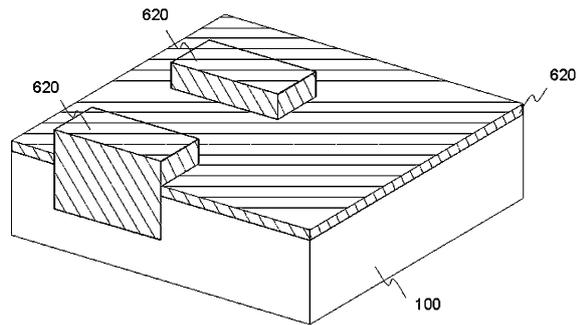
【図6】



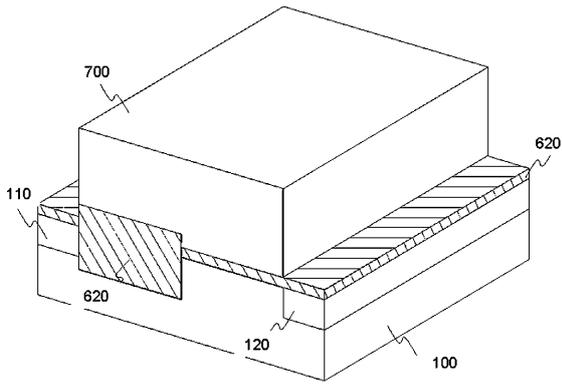
【図7】



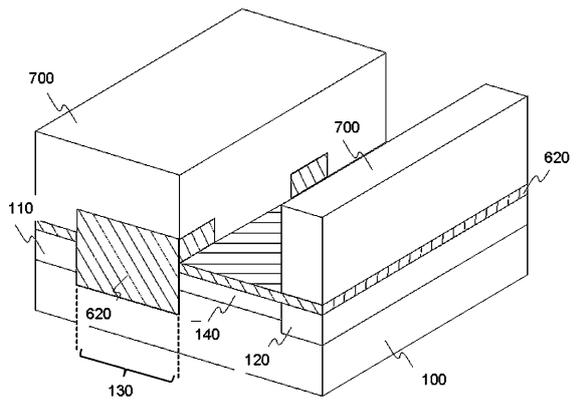
【図8】



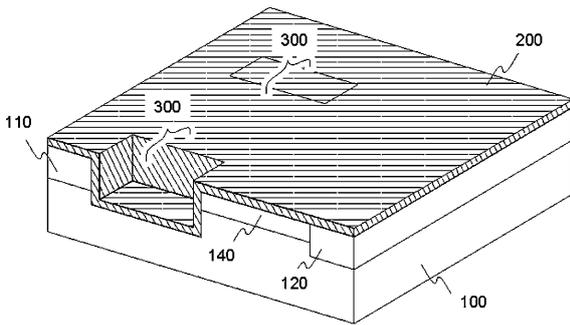
【図 9】



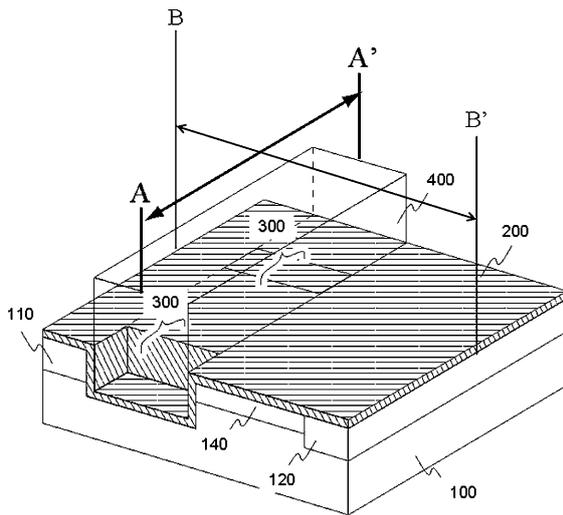
【図 10】



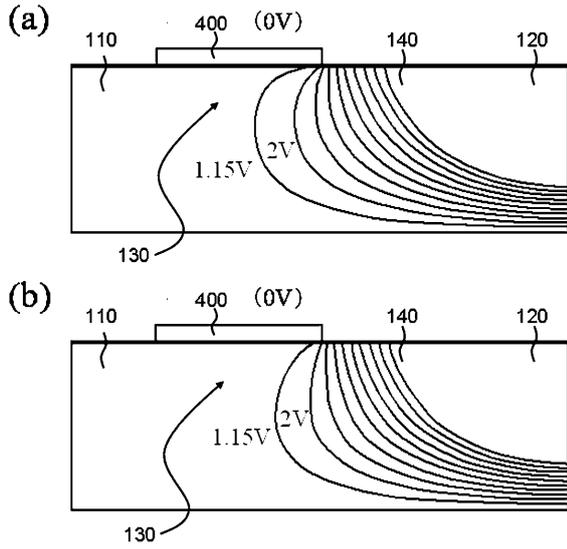
【図 11】



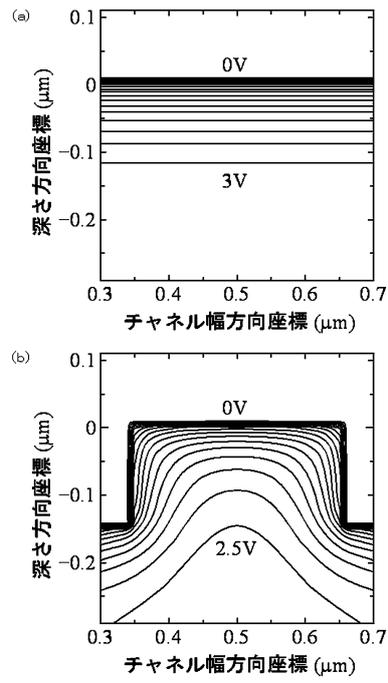
【図 12】



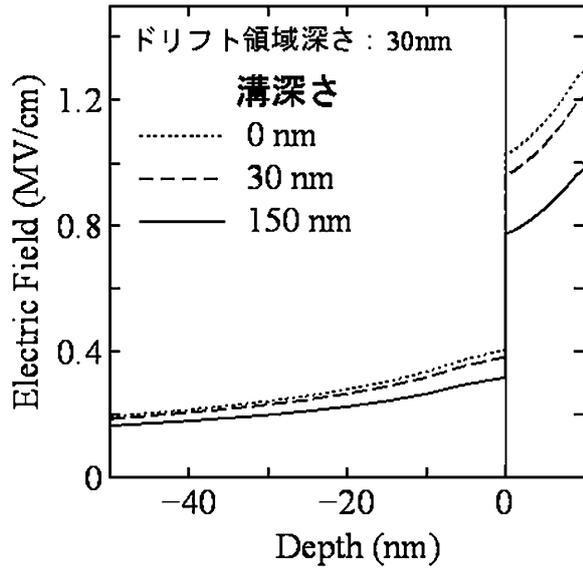
【図13】



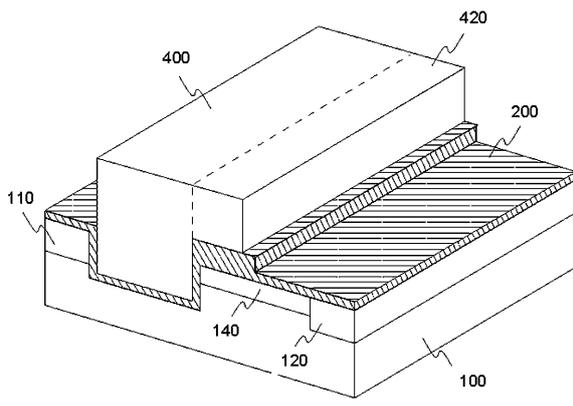
【図14】



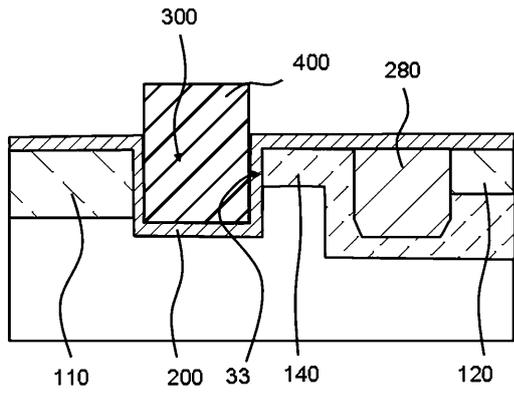
【図15】



【図16】



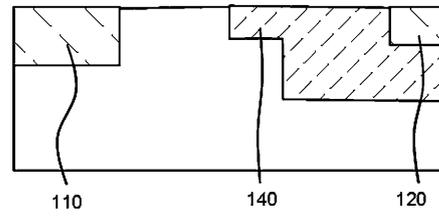
【 図 17 】



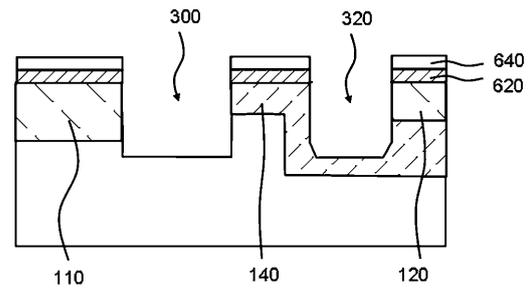
10

【 図 18 】

(a)

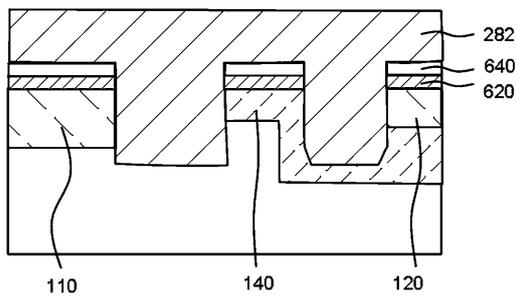


(b)

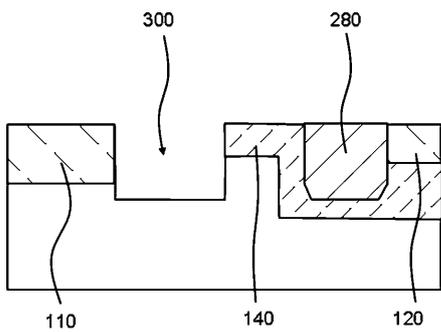


【 図 19 】

(a)

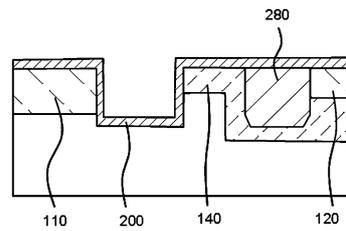


(b)

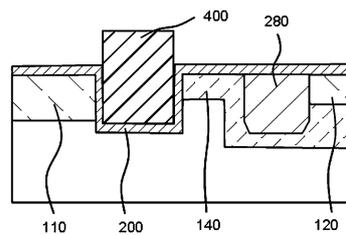


【 図 20 】

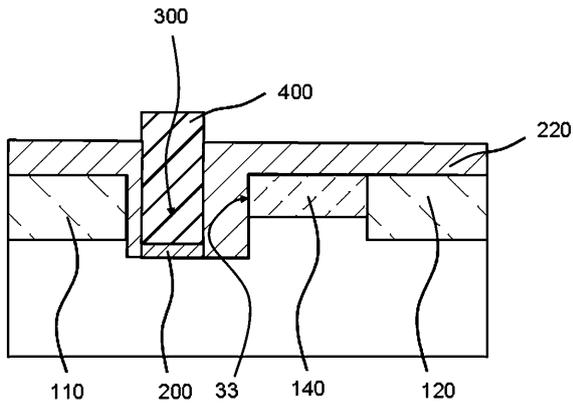
(a)



(b)



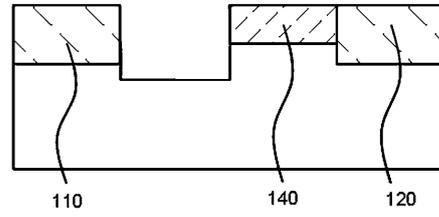
【 図 2 1 】



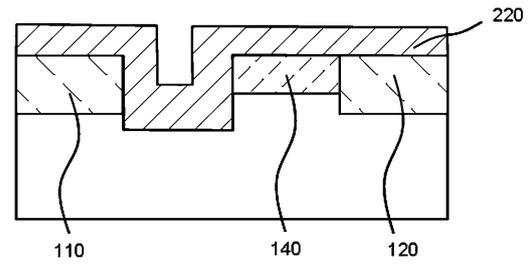
10

【 図 2 2 】

(a)

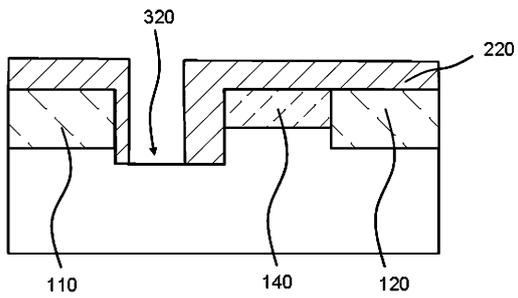


(b)

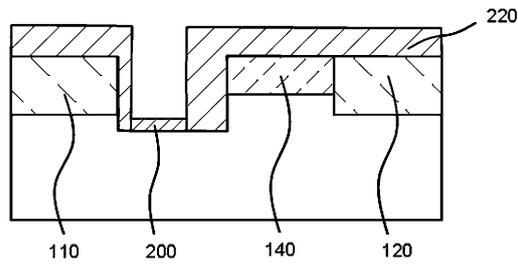


【 図 2 3 】

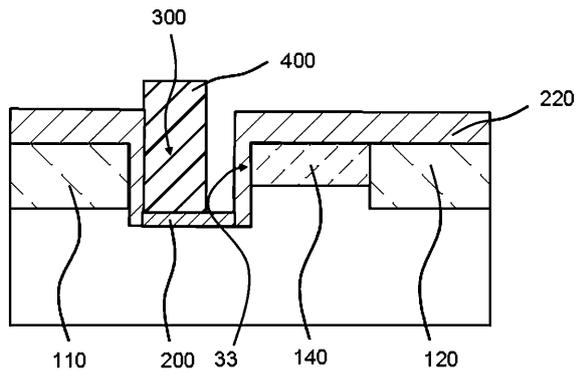
(a)



(b)

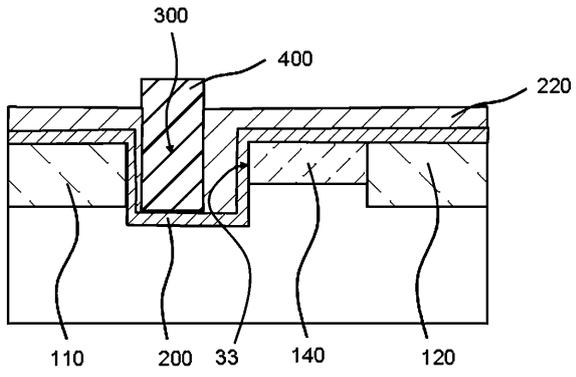


【 図 2 4 】



10

【 図 2 5 】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 2 0

(56)参考文献 特開2005-026664(JP,A)
特開2011-187853(JP,A)
特開2010-109086(JP,A)
特開2009-049260(JP,A)
特開2011-054983(JP,A)
特開2009-206145(JP,A)
特表2003-534666(JP,A)
特開2009-302450(JP,A)
米国特許第07449762(US,B1)
特開平03-003272(JP,A)
特開2008-210994(JP,A)
特開2009-277960(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8

H 0 1 L 2 9 / 7 8 6