



# (12)发明专利

(10)授权公告号 CN 105122445 B

(45)授权公告日 2018.09.21

(21)申请号 201480022444.3

(22)申请日 2014.03.14

(65)同一申请的已公布的文献号  
申请公布号 CN 105122445 A

(43)申请公布日 2015.12.02

(30)优先权数据  
13/828,938 2013.03.14 US

(85)PCT国际申请进入国家阶段日  
2015.10.20

(86)PCT国际申请的申请数据  
PCT/US2014/027699 2014.03.14

(87)PCT国际申请的公布数据  
W02014/152756 EN 2014.09.25

(73)专利权人 伊文萨思公司  
地址 美国加利福尼亚州

(72)发明人 C·沃伊奇克 C·E·尤佐  
M·纽曼 T·卡斯基

(74)专利代理机构 北京市金杜律师事务所  
11256

代理人 鄂迅 张昊

(51)Int.Cl.  
H01L 23/31(2006.01)  
H01L 23/48(2006.01)  
H01L 23/498(2006.01)  
H01L 21/48(2006.01)  
H01L 21/56(2006.01)

(56)对比文件  
EP 1028463 B1,2008.10.08,  
CN 102646668 A,2012.08.22,  
US 2012/0267751 A1,2012.10.25,  
US 2008/0050901 A1,2008.02.28,  
WO 2005/059993 A2,2005.06.30,  
US 2011/0080713 A1,2011.04.07,

审查员 吕阆

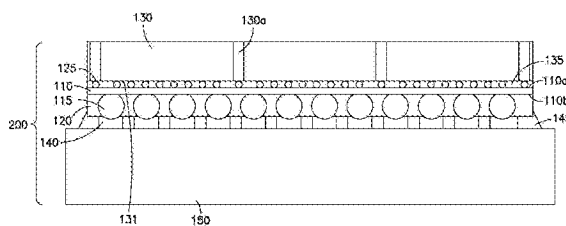
权利要求书2页 说明书6页 附图10页

## (54)发明名称

不具有TSV结构的低CTE中介片和方法

## (57)摘要

提供了一种微电子组件,包括介电区域、多个导电元件、密封剂和微电子元件。密封剂的热膨胀系数(CTE)可以不大于与介电区域或微电子元件中的至少一个相关联的CTE的两倍。



1. 一种微电子组件,包括:

介电区域,具有第一表面、与所述第一表面相对的第二表面以及多条迹线和多个接触件,所述多条迹线在平行于所述第一表面和所述第二表面的至少一个方向上延伸,所述多个接触件位于所述介电区域的所述第一表面处;

多个导电元件,耦合至所述迹线并在所述第二表面上方突出;

密封剂,在所述第二表面上方延伸,所述密封剂填充相邻导电元件之间的空间并具有上覆且背对所述第二表面的表面,其中所述导电元件的端部位于所述密封剂的表面处;

微电子元件,具有一面和位于所述面处的多个元件接触件,所述元件接触件面对并接合至所述多个接触件,

其中所述密封剂的热膨胀系数(CTE)不大于与所述介电区域或所述微电子元件中的至少一个相关联的CTE的两倍。

2. 根据权利要求1所述的微电子组件,其中所述密封剂是第一密封剂,所述微电子组件还包括:

第二密封剂,在所述第一表面上方延伸并且位于所述第一表面与所述微电子元件的所述面之间。

3. 根据权利要求2所述的微电子组件,其中所述第二密封剂的CTE等于所述第一密封剂的CTE。

4. 根据权利要求2所述的微电子组件,其中所述第一密封剂和所述第二密封剂密封所述介电区域。

5. 根据权利要求1所述的微电子组件,其中所述微电子元件包括在平行于所述第一表面的至少一个方向上隔开的至少两个微电子元件。

6. 根据权利要求1所述的微电子组件,其中所述介电区域包括第一介电材料的第一层和被配置为用作工艺停止层的不同介电材料的第二层。

7. 根据权利要求1所述的微电子组件,其中所述多个导电元件包括选自由共晶成分、非共晶成分和导电基质材料组成的组中的接合材料的至少一块。

8. 根据权利要求1所述的微电子组件,其中所述多个导电元件包括具有主要由选自铜、铜合金、镍和镍合金的至少一种金属组成的至少一个核心的多个金属柱,所述柱具有高于300°C的熔化温度。

9. 根据权利要求1所述的微电子组件,还包括电路板,其中所述多个导电元件与位于所述电路板的表面处的对应接触件接合。

10. 根据权利要求1所述的微电子组件,其中所述介电区域选自由后段制程(BEOL)层和再分布层(RDL)组成的组。

11. 根据权利要求7所述的微电子组件,其中所述导电基质材料包括焊料,所述焊料包括锡、铟、铜、镍、金中的至少一种。

12. 一种系统,包括根据权利要求1所述的微电子组件以及电连接至所述微电子组件的一个或多个其他电子部件。

13. 根据权利要求12所述的系统,还包括壳体,所述微电子组件和所述其他电子部件安装有所述壳体。

14. 一种中介片,包括:

介电区域,具有第一表面、与所述第一表面相对的第二表面以及多条迹线和多个接触件,所述多条迹线在平行于所述第一表面和所述第二表面的至少一个方向上延伸,所述多个接触件位于所述介电区域的所述第一表面处,所述多个接触件被配置为通过倒装连接与微电子元件的比如在其间的接合金属这样的对应元件接触件进行接合;

多个导电元件,耦合至所述迹线并在所述第二表面上方突出;

密封剂,在所述第二表面上方延伸,所述密封剂填充相邻导电元件之间的空间并具有上覆且背对所述第二表面的表面,其中所述导电元件的端部位于所述密封剂的表面处,

其中所述密封剂的热膨胀系数(CTE)不大于与所述介电区域或所述微电子元件中的至少一个相关联的CTE的两倍。

15. 根据权利要求14所述的中介片,其中所述密封剂是第一密封剂,所述中介片还包括:

第二密封剂,在所述第一表面上方延伸并且位于所述第一表面与所述微电子元件的一面之间,

其中所述第二密封剂的CTE等于所述第一密封剂的CTE。

16. 根据权利要求14所述的中介片,其中所述介电区域包括第一介电材料的第一层和被配置为用作工艺停止层的不同介电材料的第二层。

17. 根据权利要求14所述的中介片,其中所述多个导电元件包括选自由共晶成分、非共晶成分和导电基质材料组成的组中的接合材料的至少一块。

18. 根据权利要求14所述的中介片,其中所述多个导电元件包括具有主要由选自铜、铜合金、镍和镍合金的至少一种金属组成的至少一个核心的多个金属柱,所述柱具有高于300℃的熔化温度。

19. 根据权利要求14所述的中介片,其中所述介电区域选自由后段制程(BEOL)层和再分布层(RDL)组成的组。

20. 根据权利要求17所述的中介片,其中所述导电基质材料包括焊料,所述焊料包括锡、铟、铜、镍、金中的至少一种。

## 不具有TSV结构的低CTE中介片和方法

### 技术领域

[0001] 本公开涉及微电子器件的封装,尤其涉及半导体器件的封装。

### 背景技术

[0002] 微电子器件通常包括半导体材料(诸如硅或砷化镓)的板(slab),其通常称为裸片或半导体芯片。半导体芯片通常设置为独立的预封装单元。在一些单元设计中,半导体芯片被安装至衬底或芯片载体,衬底或芯片载体又安装在诸如印刷电路板的电路板上。

[0003] 在半导体芯片的第一面(例如,前表面)中制造有源电路装置。为了利于到有源电路装置的电连接,芯片在同一面上设置有接合焊盘。接合焊盘通常在裸片的边缘周围或者对于许多存储器件来说在裸片中心中以规则阵列进行放置。接合焊盘通常由导电金属(诸如铜或铝)制造为大约0.5微米( $\mu\text{m}$ )厚。接合焊盘可以包括单个金属层或多个金属层。接合焊盘的尺寸将随着器件类型而变化,但是通常在一侧测量为几十到几百微米。

[0004] 中介片可用于在微电子元件(诸如一个或多个彼此未封装或封装半导体芯片)之间或者在一个或多个未封装或封装半导体芯片与其他部件(诸如其上具有无源电路元件的芯片上集成无源器件(“IPOC”)、分立无源器件(例如,电容器、电阻器或电感器或它们的组合))之间提供电连接,但不限于此。中介片可以将这种芯片或多个芯片与诸如电路板的其他结构耦合。

[0005] 尺寸是芯片的任何物理布置中的重要考虑因素。随着便携式电子设备的快速发展,对于芯片的更紧凑物理布置的需求变得越来越强烈。仅通过示例,通常被称为“智能手机”的设备将蜂窝电话的功能与强有力的数据处理器、存储器和辅助设备(诸如全球定位系统接收器、电子相机和局域网连接)以及高分辨率显示器和相关联的图像处理芯片进行集成。这种设备可以在封装件大小的设备中提供诸如全因特网连接、娱乐(包括全分辨率视频)、导航、电子银行等的功能。复杂的便携式设备要求将多个芯片封装到小空间中。此外,一些芯片具有许多输入和输出连接,通常称为“I/O”。这些I/O必须与其他芯片的I/O互连。互连应该短且应该具有低阻抗以使得信号传播延迟最小。来自互连的部件不应该显著增加组件的尺寸。在其他应用中也存在类似需求,例如诸如在因特网搜索引擎中所使用的数据服务器中。例如,在复杂芯片之间提供大量短且低阻抗互连的结构可以增加搜索引擎的带宽并降低其功耗。

[0006] 尽管在中介片结构和制造中所取得的进步,还可以进行进一步的改进以增强用于制造可从工艺中得到的中介片和结构的这种工艺。

### 发明内容

[0007] 本发明的一个方面可提供一种微电子组件,包括:介电区域,具有第一表面、与第一表面相对的第二表面以及多条迹线和多个接触件,多条迹线在平行于第一表面和第二表面的至少一个方向上延伸,多个接触件位于介电区域的第一表面处;多个导电元件,耦合至迹线并在第二表面上方突出;密封剂,在第二表面上方延伸,密封剂填充相邻导电元件之间

的空间并具有上覆且背对第二表面的表面,其中导电元件的端部位于密封剂的表面处;微电子元件,具有一表面和位于该表面处的多个元件接触件,元件接触件面对并接合至多个接触件,其中密封剂的热膨胀系数(CTE)不大于与介电区域或微电子元件中的至少一个相关联的CTE的两倍。

[0008] 在一个示例中,密封剂可以是第一密封剂,微电子组件还包括在第一表面上方延伸的第二密封剂。

[0009] 在一个示例中,第二密封剂的CTE可等于第一密封剂的CTE。

[0010] 在一个示例中,第一密封剂和第二密封剂可密封介电区域。

[0011] 在一个示例中,微电子元件可包括在平行于第一表面的至少一个方向上隔开的至少两个微电子元件。

[0012] 在一个示例中,介电区域可包括第一介电材料的第一层和被配置为用作工艺停止层的不同介电材料的第二层。

[0013] 在一个示例中,多个导电元件包括选自由焊料、锡、钢、铜、镍、金、共晶成分、非共晶成分和导电基质材料组成的组中的接合材料的至少一块。

[0014] 在一个示例中,多个导电元件可包括具有主要由选自铜、铜合金、镍和镍合金的至少一种金属组成的至少一个核心的多个金属柱,柱具有高于300℃的熔化温度。

[0015] 在一个示例中,微电子组件还可以包括电路板,其中多个导电元件与位于电路板的表面处的对应接触件接合。

[0016] 在一个示例中,介电层选自由后端制程(BEOL)和再分布层(RDL)组成的组。

[0017] 本公开的另一方面可以提供上述微电子组件以及电连接至结构的一个或多个其他电子部件。

[0018] 在一个示例中,该系统还可以包括壳体,微电子组件和其他电子部件安装至所述壳体。

[0019] 本公开的另一方面可以提供一种中介片,包括:介电区域,具有第一表面、与第一表面相对的第二表面以及多条迹线和多个接触件,多条迹线在平行于第一表面和第二表面的至少一个方向上延伸,多个接触件位于介电区域的第一表面处;多个导电元件,耦合至迹线并在第二表面上方突出;密封剂,在第二表面上方延伸,密封剂填充相邻导电元件之间的空间并具有上覆且背对第二表面的表面,其中导电元件的端部位于密封剂的表面处,其中密封剂的热膨胀系数(CTE)不大于与至少介电区域或微电子元件相关联的CTE的两倍,微电子元件具有被配置用于与第一表面处的接触件的倒装连接的接触件。

[0020] 在一个示例中,第二密封剂的CTE可等于第一密封剂的CTE。

[0021] 在一个示例中,介电区域可包括第一介电材料的第一层和被配置为用作工艺停止层的不同介电材料的第二层。

[0022] 在一个示例中,多个导电元件可包括选自由焊料、锡、钢、铜、镍、金、共晶成分、非共晶成分和导电基质材料组成的组中的接合材料的至少一块。

[0023] 在一个示例中,多个导电元件可包括具有主要由选自铜、铜合金、镍和镍合金的至少一种金属组成的至少一个核心的多个金属柱,柱具有高于300℃的熔化温度。

[0024] 在一个示例中,介电层可选自由后端制程(BEOL)和再分布层(RDL)组成的组。

[0025] 本公开的另一方面可以提供一种制造微电子组件的方法,包括:形成填充设置在

支持结构上的介电区域的第二表面上方向上突出的相邻导电元件之间的空间,其中与导电元件电连接的多条迹线在平行于第一表面和第二表面的至少一个方向上延伸,密封剂具有上覆且背对第二表面的表面,其中导电元件的端部位于密封剂的表面处;在朝向介电区域的第一表面的方向上去除支持结构的厚度的至少一部分;组装具有一面和位于该面处的多个元件接触件的微电子元件,使得元件接触件面对并接合至多个接触件,其中密封剂的热膨胀系数(CTE)不大于与介电区域或微电子元件中的至少一个相关联的CTE的两倍。

[0026] 在一个示例中,该方法可进一步包括:在组装微电子元件之后,去除密封剂的表面处的密封剂的一部分,从而去除密封剂的表面处的导电元件的部分。

[0027] 在一个示例中,该方法可进一步包括:在去除密封剂的一部分之后,将多个接合元件附接至表面处的导电元件的部分,接合元件被配置为与第二部件的表面处的多个接触件接合。

[0028] 在一个示例中,密封剂可以是第一密封剂,该方法进一步包括形成第二密封剂,第二密封剂在第一表面上方延伸,第二密封剂的CTE等于第一密封剂的CTE。

[0029] 在一个示例中,该方法可进一步包括:在组装具有介电区域的微电子元件之后,在微电子元件与介电区域的第一表面相对的表面处研磨微电子元件,以去除微电子元件的厚度的至少一部分。

[0030] 在一个示例中,微电子元件可包括多个微电子元件。

[0031] 在一个示例中,该方法可进一步包括:将多个导电元件与电路板的表面处的对应接触件接合。

[0032] 在一个示例中,集成形成支持结构和介电区域。

[0033] 在一个示例中,支持结构可主要由第一材料组成,并且介电区域可主要由第二材料组成。

[0034] 在一个示例中,该方法可进一步包括:沉积工艺停止层;以及利用工艺停止层停止去除工艺。

## 附图说明

[0035] 图1是示出包括中介片的微电子组件的制造阶段的截面图;

[0036] 图2是介电区域的放大截面图;

[0037] 图3是示出包括中介片的微电子组件的制造阶段的截面图;

[0038] 图4是示出包括中介片的微电子组件的制造阶段的截面图;

[0039] 图5是示出包括中介片的微电子组件的制造阶段的截面图;

[0040] 图6是示出包括中介片的微电子组件的制造阶段的截面图;

[0041] 图7是示出包括中介片的微电子组件的制造阶段的截面图;

[0042] 图8是示出包括中介片的微电子组件的制造阶段的截面图;

[0043] 图9是示出包括中介片的微电子组件的制造阶段的截面图;以及

[0044] 图10是示出包括微电子组件的系统的截面图。

## 具体实施方式

[0045] 图1示出了根据本公开的方面的包括中介片的微电子组件的制造方法中的阶段。

如图1所示阶段的所示,介电区域110被设置在厚度为T的支持元件或支持结构上方。支持结构105可以由任何材料形成,并且在一些示例中可以由硅、模制材料、玻璃衬底或除上述材料之外的任何附加材料形成。典型地,介电区域110形成在支持结构105的上方。例如,介电区域110可以具有第一表面110a和与第一表面110a相对的第二表面110b。在一个示例中,第一表面110a可以限定为介电区域110与支持结构105的界面。在其他示例中,介电区域110可以集成设置有支持结构105,并且在一些情况下可以由相同的介电材料形成,使得第一表面110a不存在直到稍后的制造过程。

[0046] 图2是示出介电区域110和其上支持的迹线和互连件的集合的放大截面图。介电区域110可以支持一个或多个布线层以及相关联的互连结构,诸如包括在后端制程(“BEOL”)结构中的通孔或再分布结构。例如,介电区域110可以包括多个介电层111、112和114以及嵌入到介电层111、112和114中的一个或多个中的多条迹线113(例如,布线层)。迹线113可以在任何方向上延伸,并且可以相对于介电区域110的表面110a、110b以平行、垂直或任何其他方向延伸。

[0047] 当介电区域110是BEOL区域时,其可以具有近似为50纳米至10微米的厚度T。在其他示例中,介电区域可以是或者包括再分布层(RDL),其具有更大厚度T且其上迹线113在平行于表面110a的方向上的宽度可以例如在20纳米到20微米的范围内。

[0048] 介电层111可以是任何类型的介电层,诸如焊料掩模。在其他示例中,介电区域110可以不包括介电层111。介电层112也可以是任何类型的介电层,并且在一些示例中可以包括硅的氧化物。介电层114可以是任何类型的介电层,并且在一些示例中其可以是抛光停止、研磨停止或其他工艺停止层,当在支持结构105的研磨、打磨或抛光期间遇到时,其在一个示例中可以使得这些工艺停止或迅速减慢。例如当介电层包括氧化硅时,这种层可以包括或者由硅的氮化物制成。在一个示例中,工艺停止层可以是在到达这种层时可被工艺设备使用(诸如用于检测工艺的端点)的端点层或端点检测层。

[0049] 在一个示例中,介电层111和112以及介电区域110的迹线113可以形成在介电层114上方。例如通过在支持结构105上方沉积介电层114,介电层114(例如,抛光停止、研磨停止或其他工艺停止层)本身可以形成在支持结构105上方。

[0050] 一个或多个导电元件115可以设置为从介电区域110的第二表面110b上方突出。如本文所使用的,“上方”和“向上”不是指重力参考系,而是可以表示垂直远离表面的方向。在一个示例中,如图2所示,导电元件115可以包括导电块(例如,焊球),其可以在表面110b处附接至诸如金属焊盘116的导电元件。如本文所使用的,术语“在...处”可以包括可用于连接的元件位于表面处、以及可以与表面平齐、凹陷在表面内或者在表面上方突出。例如,焊盘116可以在平行于表面110b的方向上具有近似2微米至100微米的尺寸。例如,导电元件115可以包括接合材料(诸如焊料、锡、铟、铜、镍、金、共熔合金、非共熔合金和导电基质材料)的至少一块。在另一示例中,如图2所示,导电元件可以是柱115a,诸如可以通过在焊盘上镀金属或者可选地通过设置金属层(诸如铜、铜合金、镍或镍合金或这些金属的组合)然后蚀刻该金属层以形成柱115a来形成。当通过蚀刻形成时,柱115a可以具有例如如图2所示的截锥形状。导电元件115可以为上述焊球和柱的任何组合以及其他类型的导电元件。以这种方式,导电元件115可以包括主要由至少一种金属(选自由铜、铜合金、镍或镍合金组成的组)组成的核心,这种柱具有高于300°C的熔化温度。

[0051] 可以在介电区域110的第一表面110a处设置多个接触件110a1。在一个示例中,如下更详细描述,接触件110a1可以包括微凸块接触件,用于连接至一个或多个微电子元件。

[0052] 在所示结构中,一个或多个接触件110a1可以通过迹线113与导电元件115或导电元件115a中的一个或多个电耦合。接触件110a1、导电元件115和迹线113可以根据任何期望的结构进行配置,使得可以实现导电元件和接触件110a1之间的互连的任何期望结构。

[0053] 应该理解,接触件110a1可以定位在表面110a处以具有最小间距,其与设置在介电区域110的与第一表面相对的第二表面110b处的导电元件115或115a的最小间距相同或不同。在具体示例中,导电元件115的最小间距可以按照大于1:1的比率大于接触件110a1的最小间距,该比率在一些示例中可以大于或等于2:1或者在其他情况下大于或等于3:1或者可能更大。

[0054] 介电区域110可以具有多达10ppm/摄氏度的热膨胀系数(“CTE”),并且在一些情况下可以具有与硅或其他半导体材料的CTE相同或接近的CTE,例如低于5ppm/摄氏度的CTE。

[0055] 如图3所示,可以在介电区域110的第二表面110b上设置密封剂120。在一个示例中,密封剂120可以是成型物,其可以部分地或完全地密封导电元件115。密封剂120可以填充相邻的导电元件115之间的空间。在一个示例中,密封剂120可以具有多达10ppm/摄氏度范围内的CTE。

[0056] 参照图4,与图1相比,可以从介电区域110的第一表面110a去除支持结构105的厚度T的至少一部分。例如,这可以根据各种方法来进行,诸如研磨、打磨或抛光或剥离、断裂、蚀刻或上述工艺的任何组合,它们可以与其他工艺进行组合。在去除工艺期间,设置为研磨停止层或端点检测层的介电层114可以被检测或暴露。这可以帮助确保支持结构105(尤其是一种半导体材料或非绝缘体)被完全去除,同时还确保不去除介电区域110自身的任何部分。

[0057] 如图5所示,多个微电子元件130可以定位在介电区域110的第一表面110a上方。微电子元件可以具有达到10ppm/摄氏度范围内的热膨胀系数。在一个示例中,微电子元件130可以是或者包括其上具有有源电路元件(诸如晶体管)的半导体芯片。微电子元件130可以在平行于第一表面110a的方向上隔开。在另一示例中,微电子元件130可以是或者包括无源电路元件,诸如芯片上集成无源器件(“IPOC”)。还可以设置附加微电子元件130a。微电子元件130a可以是无源微电子元件,诸如无源裸片。

[0058] 每个微电子元件130都具有面131以及位于面131处的多个接触件,接触件可以面对介电区域的面110a并与介电区域的面110a处的对应接触件110a1接合(诸如通过导电接合金属)。以相同方式,元件130a还可以与接触件110a1接合。

[0059] 如图6所示,可以设置密封剂135。密封剂可以包括底部填充物和/或成型物。在一个示例中,密封剂135可以具有比与密封剂120相关联的CTE大的CTE,具体是因为微电子元件130中的硅用作加固物并具有较高的杨氏模量。在其他示例中,密封剂120和135可以具有相同值的CTE,或者密封剂135可以具有比密封剂120小的CTE。

[0060] 如图所示,密封剂120和135的组合可以分别或者组合至少部分地或完全地密封介电区域110。这可以提供容易处理的组件。在其他示例中,可以从组件中省略密封剂135。

[0061] 如图7所示,可以去除部分密封剂120和/或导电元件115以至少部分地露出导电元



件115。这可以通过诸如研磨、打磨、抛光等的磨损工艺来实现。可选地，导电元件115(可以包括焊料、锡或其他导电材料的导电块)可以形成为与其他导电结构(例如，焊盘116、通孔、迹线，它们在去除工艺期间露出)接触。

[0062] 在一个示例中，还可以去除部分密封剂135和部分微电子元件130。这也可以通过研磨、打磨等来实现。

[0063] 如图8所示，接合元件140可以附接至接触件130。例如，接合元件可以由焊接材料(例如但不限于焊料、锡、共晶成分或导电基质材料，即加载有金属颗粒或薄片的聚合物材料)的导电块制成或包括焊接材料的导电块。在具体示例中，接合元件可以包括金属元件，其具有低熔化温度组成和高熔化温度组成。

[0064] 图9示出了根据本公开的方面的包括中介片的微电子组件200。例如，中介片可以包括介电区域110、导电元件115和密封剂120。在该阶段，接合元件140可连接至衬底150。此外，可以设置诸如底部填充物的密封剂145以填充密封剂120、衬底150和接合元件140之间的空间。

[0065] 在一个示例中，密封剂120可具有不大于与微电子元件或与微电子元件接合的介电区域110相关联的CTE的两倍的CTE。

[0066] 尽管未示出，但衬底150可进一步经由衬底接触件(未示出)在电路板的表面处连接至电路板。此外或可选地，衬底150本身可以是电路板或者可以包括无源、有源或其他电路元件。

[0067] 上述结构提供了卓越的三维互连能力。这些能力可被任何类型的芯片使用。仅通过示例，可以在上述结构中包括芯片的以下组合：(i) 处理器和被处理器使用的存储器；(ii) 相同类型的多个存储芯片；(iii) 不同类型的多个存储芯片，诸如DRAM和SRAM；(iv) 图像传感器和用于处理来自传感器的图像的图像处理器；(v) 专用集成电路(“ASIC”)和存储器。上述结构可以在不同的电子系统的结构中使用。例如，根据本发明又一实施例的系统300包括上述结构306结合其他电子部件308和310。在所示示例中，部件308是半导体芯片，而部件310是显示屏，但是还可以使用任何其他部件。当然，尽管仅为了说明清楚而在图10中示出了两个附加部件，但该系统可包括任何数量的这些部件。例如，上述结构306例如可以为上面结合图1至图9讨论的微电子组件。结构306以及部件308和310被安装在公共壳体301(以虚线示意性示出)并且根据需要相互电互连以形成期望的电路。在所示示例性系统中，系统包括电路板302(诸如柔性印刷电路板)，而电路板包括多个导体304(在图10中仅示出一个，用于将部件相互互连)。然而，这仅仅是示例性的；可以使用用于进行电连接的任何适当的结构。壳体301被示为例如可在蜂窝电话或个人数字助理中使用的类型的便携式壳体，并且屏幕310在壳体的表面处露出。在结构306包括光敏元件(诸如成像芯片)的情况下，还可以设置用于将光传输至结构的透镜311或其他光学设备。再次，图10所示的简化系统仅仅是示例性的；可以使用上述结构制造其他系统，包括通常认为是固定结构的系统，诸如台式计算机、路由器等。

[0068] 在不背离本发明的精神的情况下可以使用上述特性的这些和其他变型和组合，应该通过说明来进行优选实施例的描述而不用于限制权利要求所限定的本发明。

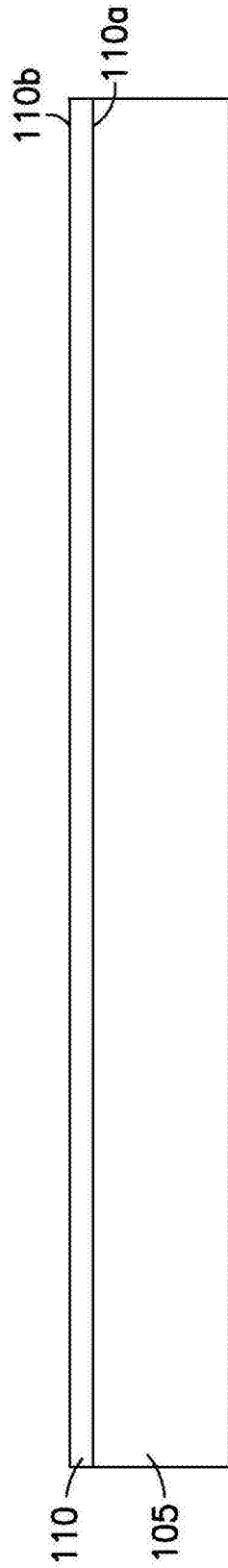


图1

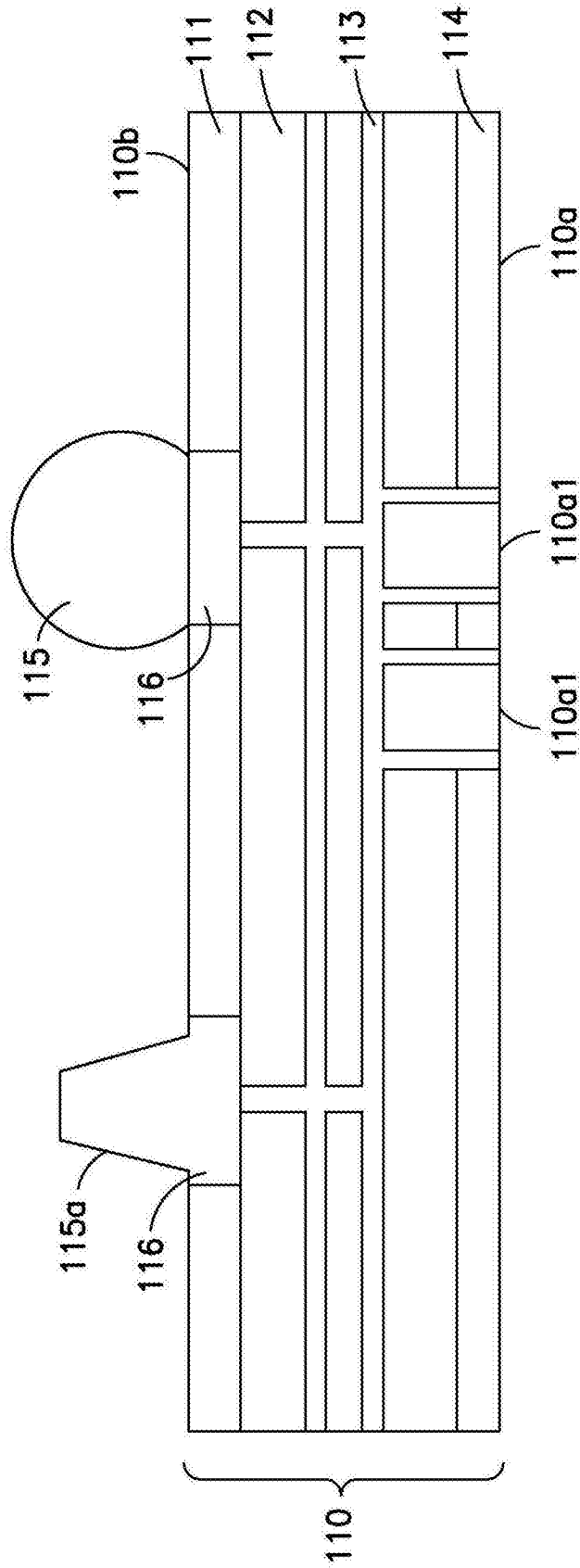


图2

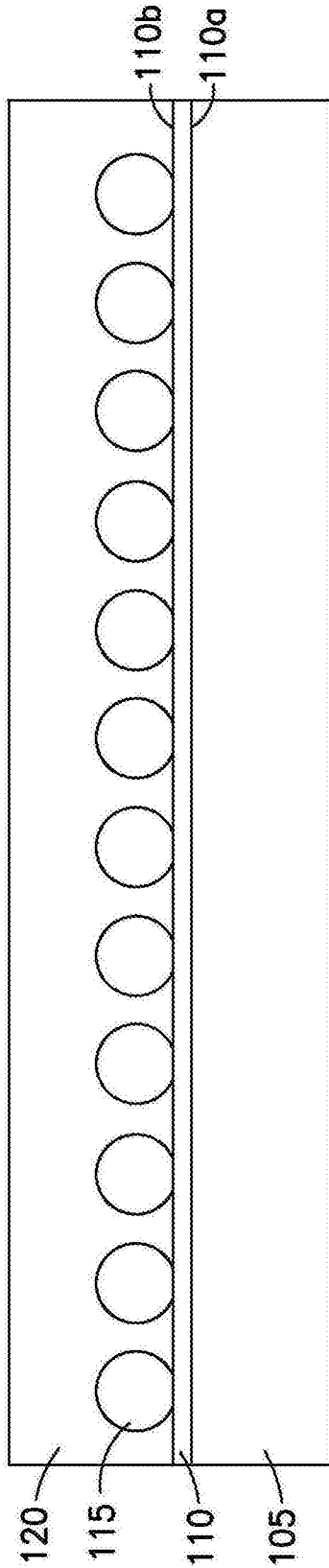


图3

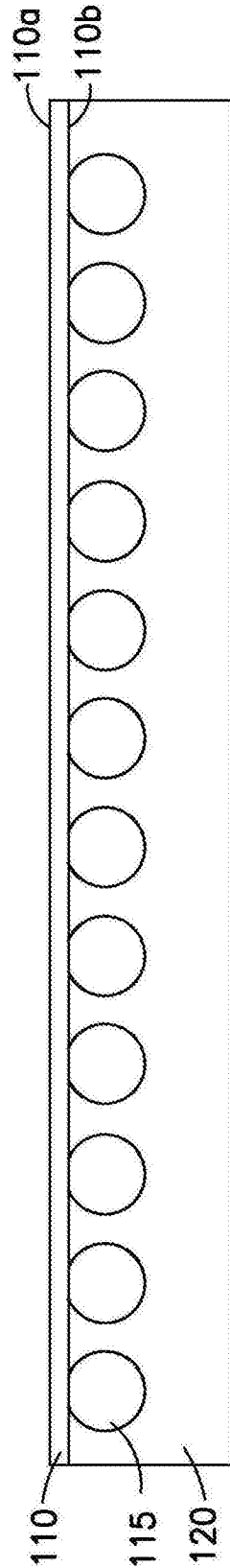


图4

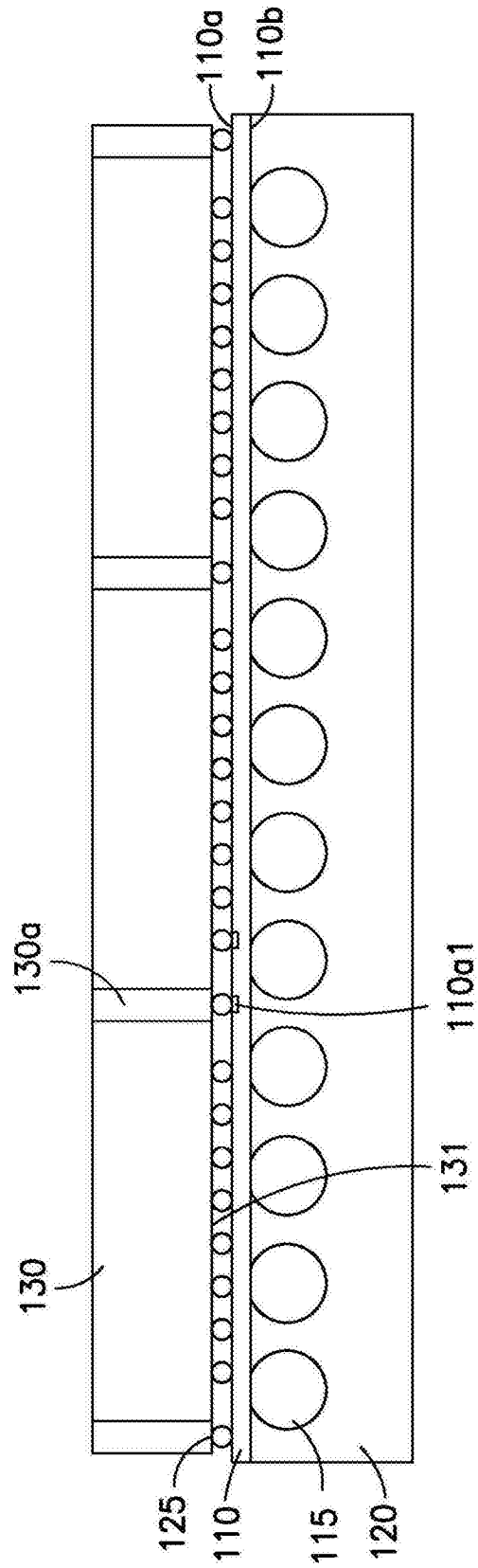


图5

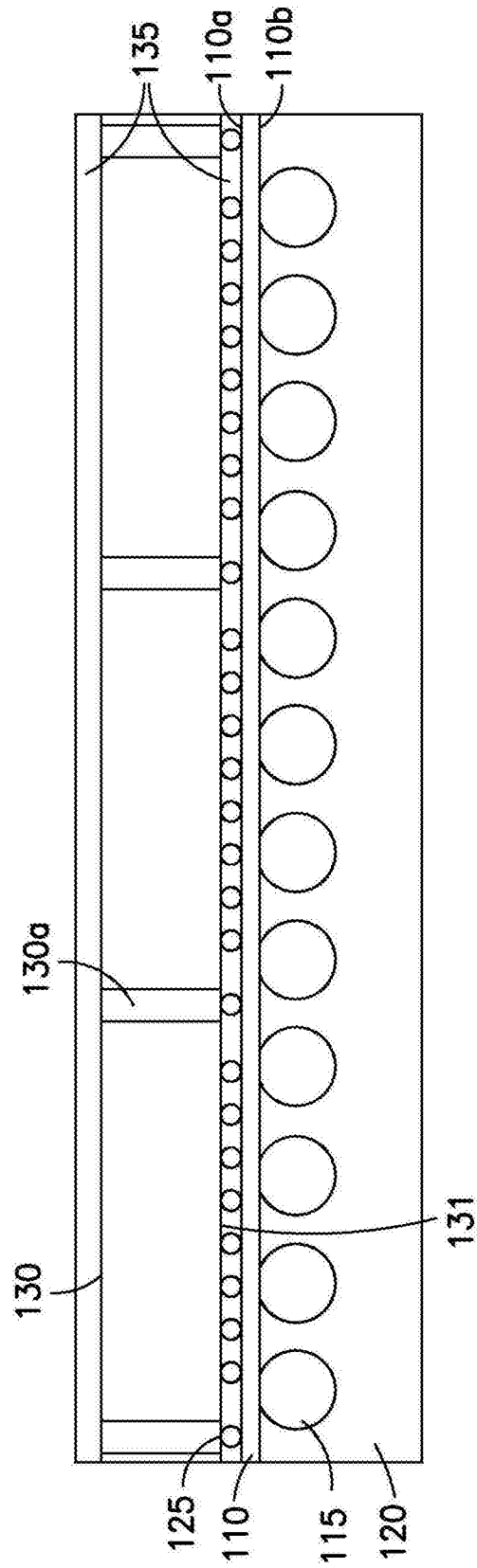


图6

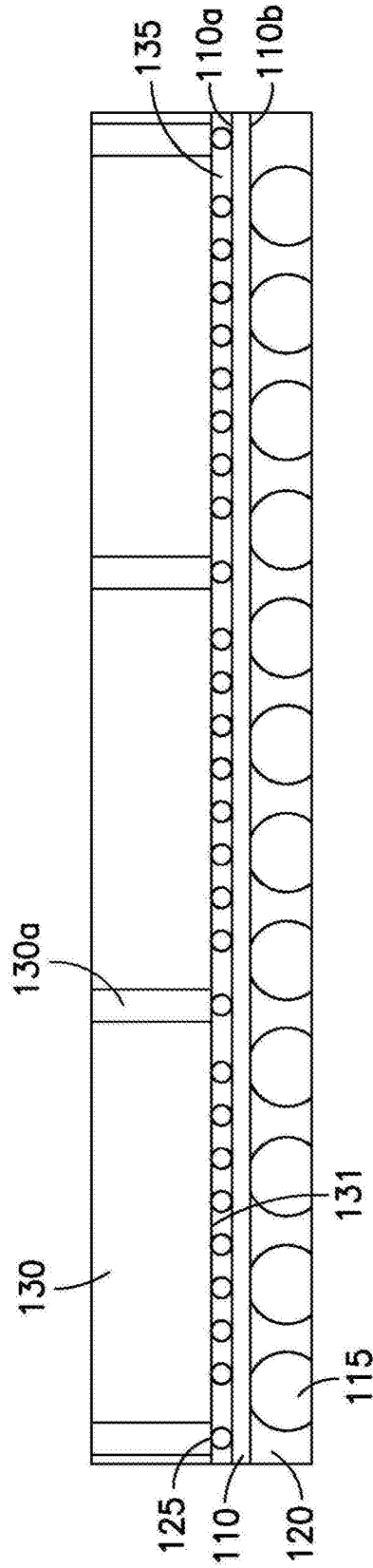


图7



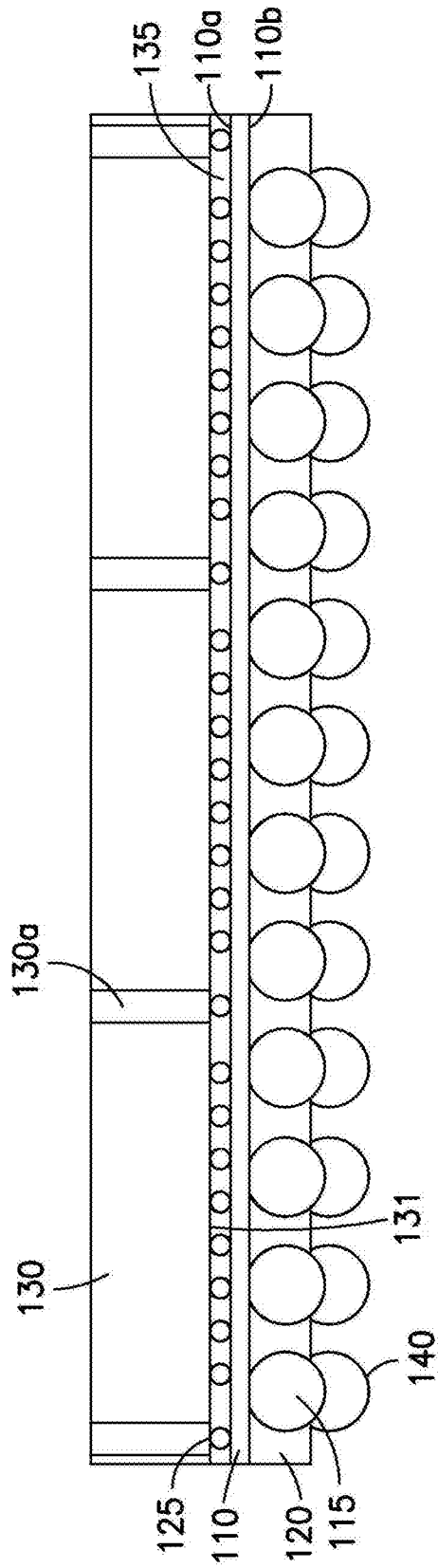


图8

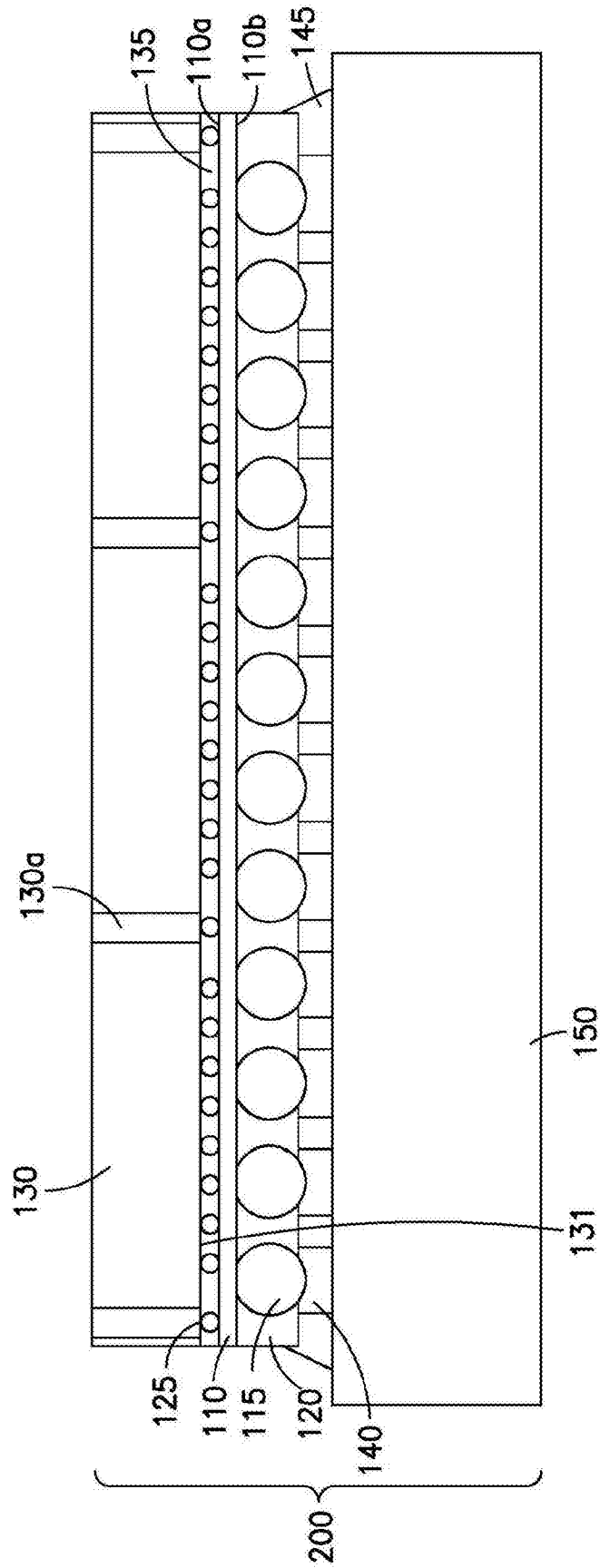


图9

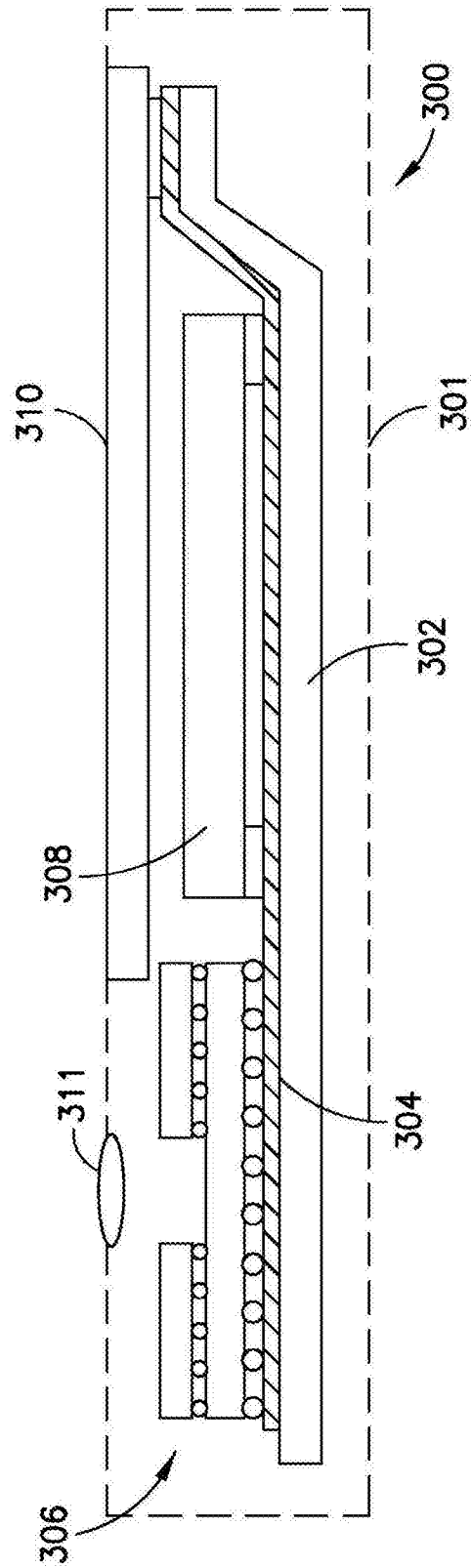


图10