



(12) 发明专利

(10) 授权公告号 CN 101405817 B

(45) 授权公告日 2012. 07. 04

(21) 申请号 200680053998. 5

(22) 申请日 2006. 03. 28

(85) PCT申请进入国家阶段日  
2008. 09. 25

(86) PCT申请的申请数据  
PCT/JP2006/306267 2006. 03. 28

(87) PCT申请的公布数据  
W02007/110927 JA 2007. 10. 04

(73) 专利权人 富士通半导体股份有限公司  
地址 日本神奈川县

(72) 发明人 小林广之

(74) 专利代理机构 北京东方亿思知识产权代理  
有限责任公司 11258

代理人 柳春雷 南霆

(51) Int. Cl.

G11C 29/04 (2006. 01)

(56) 对比文件

JP 8017197 A, 1996. 01. 19,  
JP 2001035187 A, 2001. 02. 09,  
JP 2004220722 A, 2004. 08. 05,  
CN 1725378 A, 2006. 01. 25,

审查员 王晓渊

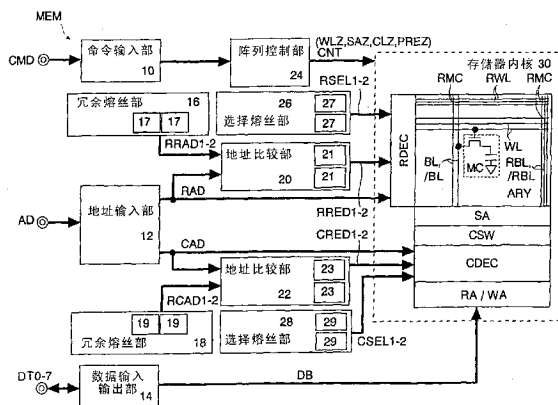
权利要求书 2 页 说明书 12 页 附图 14 页

(54) 发明名称

半导体存储器

(57) 摘要

对应于使故障地址编程的冗余熔丝电路而专门设置有标准冗余线。在冗余熔丝电路中共享设置有备用冗余线。地址比较电路对由冗余熔丝电路使其编程的故障地址与存储地址进行比较, 在比较结果一致时输出冗余信号。开关电路按照从选择熔丝电路输出的冗余选择信号进行切换, 使对应的标准冗余线或者备用冗余线的某一个响应冗余信号而有效。通过将冗余线分类成标准冗余线和备用冗余线, 能够通过简单的淡绿使各个冗余电路与多个冗余线的某一个对应。因此, 能够减小进行故障补救时与不存在故障时的信号的传输延迟时间的差, 并减小存取时间的差。



CN 101405817 B

1. 一种半导体存储器,其特征在于,包括:  
单元阵列,具有存储单元、以及与存储单元连接的字线和位线;  
多个冗余熔丝电路,对多个故障地址分别进行编程;  
标准冗余线,分别对应于所述冗余熔丝电路而专门设置,用于对故障进行补救;  
备用冗余线,被设置为由所述冗余熔丝电路共享,用于对故障进行补救;  
多个地址比较电路,分别对应于所述冗余熔丝电路而设置,将所述冗余熔丝电路中被编程的故障地址与存取地址进行比较,在比较结果一致时分别输出冗余信号;  
开关电路,响应所述冗余信号,使对应的标准冗余线或者所述备用冗余线中的某一个有效;以及  
选择熔丝电路,输出用于对所述开关电路的切换进行控制的冗余选择信号。
2. 根据权利要求1所述的半导体存储器,其特征在于,包括:  
寄存器,可改写地保存有多个故障地址;以及  
故障地址选择部,将所述各个冗余熔丝电路中被编程的故障地址或者所述寄存器中保存的对应的故障地址的某一个输出给所述各地址比较电路。
3. 根据权利要求1所述的半导体存储器,其特征在于,所述半导体存储器包括编程控制电路,按照从半导体存储器的外部提供的编程信息而输出用于对所述选择熔丝电路进行编程的电信号。
4. 根据权利要求1所述的半导体存储器,其特征在于,  
所述标准冗余线和所述备用冗余线是用于对故障的字线进行补救的冗余字线。
5. 根据权利要求1所述的半导体存储器,其特征在于,所述半导体存储器包括:  
多个冗余位线,用于对故障的位线进行补救;以及  
冗余列开关,分别与所述冗余位线连接,  
所述标准冗余线和所述备用冗余线是传输对所述冗余列开关的开/关进行控制的列线控制信号的冗余列线。
6. 一种半导体存储器,其特征在于,包括:  
存储器内核,包括存储单元、用于对存储单元进行存取的控制线、以及用于对故障的存储单元或者故障的控制线进行补救的多个冗余控制线;  
多个驱动器,分别驱动所述控制线;  
冗余熔丝电路,对故障地址进行编程;  
选择开关电路,用于选择性地将所述驱动器与所述冗余控制线的某一个连接;  
冗余开关电路,将所述各驱动器的输出与除了对应于所述冗余熔丝电路中被编程的故障地址的控制线以外的控制线以及选择开关电路相连接;以及  
选择熔丝电路,输出用于对所述选择开关电路的切换进行控制的冗余选择信号。
7. 根据权利要求6所述的半导体存储器,其特征在于,  
所述冗余控制线包括分别与所述驱动器的某一个相对应的多个标准冗余线、以及与所述标准冗余线相对应的驱动器所共享的备用冗余线。
8. 根据权利要求6所述的半导体存储器,其特征在于,包括:  
寄存器,可改写地保存有多个故障地址;以及  
故障地址选择部,将所述各个冗余熔丝电路中被编程的故障地址或者所述寄存器中保

存的故障地址的某一个输出给所述冗余开关电路。

9. 根据权利要求 6 所述的半导体存储器,其特征在于,所述半导体存储器包括编程控制电路,按照从半导体存储器的外部提供的编程信息而输出用于对所述选择熔丝电路进行编程的电信号。

10. 根据权利要求 6 所述的半导体存储器,其特征在于,  
所述存储器内核包括与存储单元相连接的字线,  
所述冗余控制线是用于对故障的字线进行补救的冗余字线。

11. 根据权利要求 6 所述的半导体存储器,其特征在于,  
所述存储器内核包括与存储单元连接的位线、用于对故障的位线进行补救的冗余位线、与位线连接的列开关、以及与冗余位线连接的冗余列开关,  
所述冗余控制线是传输对冗余列开关的开 / 关进行控制的列线控制信号的冗余列线。

## 半导体存储器

### 技术领域

[0001] 本发明涉及具有用于对故障进行补救的冗余电路的半导体存储器。

### 背景技术

[0002] 一般半导体存储器具有冗余电路,用于对衬底中的晶格缺陷以及由于生产工序中产生的异物而发生的故障进行补救并且提高合格率。更具体地说,DRAM 等半导体存储器除了正规的字线和位线以外,还具有冗余字线和冗余位线。并且,当在测试工序中检测到存储单元有故障的情况下,为了将发生故障的字线和位线替换为冗余字线或冗余位线,形成在半导体存储器中的熔丝电路会被进行编程。通过使用冗余电路对故障的存储单元进行补救,提高半导体存储器的成品率。

[0003] 熔丝电路需要分别与冗余字线和冗余位线对应。此外,各熔丝电路为了对故障地址进行编程,需要按地址的每一位设置熔丝。因此,熔丝电路成了使半导体存储器的芯片尺寸增大的主要原因。另一方面,如果冗余字线或冗余位线中存在故障,则对应的熔丝电路便不能使用,因而补救效率下降。例如,专利文献 1、2 等记载了通过减少熔丝电路的个数而削减芯片面积,并通过使各个熔丝电路可对多个冗余字线或位线使用来提高补救效率的方法。

[0004] 专利文献 1:日本专利文献特开平 6-44795 号公报;

[0005] 专利文献 2:日本专利文献特开 2000-11680 号公报。

### 发明内容

[0006] 通过采用上述方法,可使为了补救故障而使用的冗余字线或者冗余位线的选择的自由度变高,并使补救效率得到提高。但是,为了使熔丝电路与期望的冗余字线或者冗余位线相对应,需要复杂的虚拟电路。其结果是电路规模增加。此外,当电路的延迟变大时,使用冗余字线或者冗余位线时的存取时间变长,半导体存储器的性能降低。

[0007] 本发明的目的在于,通过简单的电路,在不降低半导体存储器的性能和补救效率的情况下补救故障。

[0008] 在本发明的一个方式中,单元阵列包括存储单元以及与存储单元连接的字线和位线。标准冗余线分别对应于对故障地址进行编程的冗余熔丝电路而专门设置。备用冗余线被设置成由冗余熔丝电路共享。地址比较电路将冗余熔丝电路中被编程的故障地址与存取地址进行比较,在比较结果一致时输出冗余信号。开关电路按照从选择熔丝电路输出的冗余选择信号控制切换,使对应的标准冗余线或备用冗余线的某一个响应冗余信号而有效。通过将冗余线分类为标准冗余线和备用冗余线,能够通过简单的开关电路使各冗余电路对应于多个冗余线的某一个。因此,能够减小在使用冗余线(故障的补救时)与不使用冗余线时(良品)时的信号的传输延迟时间的差,并减小存取时间的差。即,能够通过简单的电路,在不降低半导体存储器的性能和补救效率的情况下来补救故障。

[0009] 本发明的其他方式中,存储器内核包括存储单元、用于对存储单元进行存取而

由驱动器驱动的控制线、以及用于对故障的存储单元或者故障的控制线进行补救的多个冗余控制线。选择开关电路选择性地将驱动器与所述冗余控制线的某一个连接。冗余开关电路将所述各驱动器的输出与除了对应于所述冗余熔丝电路中被编程的故障地址的控制线以外的控制线以及选择开关电路相连接。即,在该方式中,采用移位冗余方式。选择熔丝电路输出用于对选择开关电路的切换进行控制的冗余选择信号。因此,在采用移位冗余方式的半导体存储器中,能够通过简单的冗余开关电路使冗余熔丝电路对应于多个冗余控制线的某一个。因此,减小在使用冗余线(故障的补救时)与不使用冗余线时(良品)时的信号的传输延迟时间的差,并减小存取时间的差。即,能够通过简单的电路,在不降低半导体存储器的性能和补救效率的情况下补救故障。

[0010] 发明效果

[0011] 本发明能够通过简单的电路,在不降低半导体存储器的性能和补救效率的情况下补救故障。

### 附图说明

[0012] 图 1 是表示本发明的第一实施方式的半导体存储器的框图;

[0013] 图 2 是示出图 1 所示的行译码器的详细构成的框图;

[0014] 图 3 是示出图 1 所示的列译码器的详细构成的框图;

[0015] 图 4 是示出图 2 所述的冗余字译码器和图 3 所示的冗余列译码器的详细构成的电路图;

[0016] 图 5 是示出第二实施方式的半导体存储器的框图;

[0017] 图 6 是示出第三实施方式的半导体存储器的框图;

[0018] 图 7 是示出第四实施方式的半导体存储器的框图;

[0019] 图 8 是示出图 7 所示的行译码器的详细构成的框图;

[0020] 图 9 是示出图 7 所示的列译码器的详细构成的框图;

[0021] 图 10 是示出本发明的第五实施方式的半导体存储器的框图;

[0022] 图 11 是示出图 10 所示的行译码器的详细构成的框图;

[0023] 图 12 是示出图 10 所示的列译码器的详细构成的框图;

[0024] 图 13 是示出第六实施方式的半导体存储器的框图;

[0025] 图 14 是示出第七实施方式的半导体存储器的框图。

### 具体实施方式

[0026] 下面,通过附图对本发明的实施方式进行说明。图中以粗线示出的信号线由多根信号线所构成。另外,粗线连接出来的框的一部分由多个电路构成。对传输信号的信号线使用与信号名相同的标号。图中的双重圆表示外部端子。

[0027] 图 1 示出了本发明的第一实施方式的半导体存储器。半导体存储器 MEM 例如是具有动态存储单元的 DRAM。存储器 MEM 包括命令输入部 10、地址输入部 12、数据输入部 14、冗余熔丝部 16、18、地址比较部 20、22、阵列控制部 24、选择熔丝部 26、28、以及存储器内核 30。

[0028] 命令输入部 10 接受由命令端子 CMD 提供的命令 CMD(外部存取命令),并将接收到

的命令 CMD 输出给阵列控制部 24。在本实施方式中,读出命令、写入命令、以及刷新命令作为命令 CMD 提供给命令输入部 10。

[0029] 地址输入部 12 接受由地址端子 AD 提供的外部地址 AD,将接受到的外部地址 AD 作为行地址(高位地址)和列地址 CAD(低位地址)输出给存储器内核 30。外部地址 AD 表示进行存取的存储单元 MC。行地址 RAD 用于选择字线 WL。列地址 CAD 用于选择位线 BL、/BL。行地址 RAD 和列地址 CAD 由地址端子 AD 同时提供。

[0030] 数据输入输出部 14 在进行读出动作时经由数据总线 DB 将从存储器内核 30 输出的读出数据输出给数据端子 DT(DT0-7),在进行写入动作时将通过数据端子 DT 接受的写入数据经由数据总线 DB 输出给存储器内核 30。数据端子 DT 是读出数据和写入数据所共享的端子。

[0031] 冗余熔丝部 16 具有用于分别对表示故障的字线 WL 的冗余行地址 RRAD1-2 进行编程的两个冗余熔丝电路 17。冗余熔丝部 18 具有用于分别对表示故障的位线 BL、/BL 的冗余列地址 RCAD1-2 进行编程的两个冗余熔丝电路 19。因此,本实施方式的存储器 MEM 最多能够对四个故障进行补救。

[0032] 地址比较部 20 具有用于分别对地址端子 AD 接受的行地址 RAD 与冗余行地址 RRAD1-2 进行比较的地址比较电路 21。地址比较电路 21 在比较结果一致时分别将行冗余信号 RRED1-2 激活。地址比较部 22 具有用于分别对通过地址端子 AD 接受的列地址 CAD 与冗余列地址 RCAD1-2 进行比较的地址比较电路 23。地址比较电路 23 在比较结果一致时分别将列冗余信号 CRED1-2 激活。

[0033] 阵列控制部 24 为了执行存储器内核 30 的存取动作,响应命令 CMD 并输出用于对单元阵列 ARY 进行存取的控制信号 CNT。控制信号 CNT 包括:用于选择字线 WL 的字线控制信号 WLZ;用于激活读出放大器 SA 的读出放大器控制信号 SAZ;用于选择列开关的列线控制信号 CLZ;以及用于对位线 BL、/BL 进行预充电的预充电控制信号 PREZ 等。

[0034] 选择熔丝部 26 具有选择熔丝电路 27,该选择熔丝电路用于分别针对是否将后述的图 2 表示的标准冗余字线 RWL1-2 替换为备用冗余字线 RSVWL 而进行编程。选择熔丝电路 27 根据编程状态分别输出行冗余选择信号 RSEL1-2。

[0035] 选择熔丝部 28 具有选择熔丝电路 29,该选择熔丝电路用于分别针对是否将后述的图 3 表示的标准冗余列线 RCL1-2 替换成备用冗余列线 RSVCL 进行编程。选择熔丝电路 29 根据编程状态分别输出列冗余选择信号 CSEL1-2。

[0036] 存储器内核 30 包括行译码器 RDEC、列译码器 CDEC、读出放大器(sense amplifier)SA、列开关 CSW、读取放大器(read amplifier)RA,写入放大器 WA、以及单元阵列 ARY。单元阵列 ARY 包括:动态存储单元 MC、以及与动态存储单元 MC 相连接的字线 WL 和位线对 BL、/BL。存储单元 MC 形成于字线 WL 与位线对 BL、/BL 的交叉部分。

[0037] 另外,单元阵列 ARY 包括冗余存储单元 RMC、以及与冗余存储单元相连接的三个冗余字线 RWL(图 2 表示的 RWL 1-2、RSVWL)和三组冗余位线对 RBL、/RBL(与图 3 表示的 RCL1-2、RSVCL 对应的位线)。图中以一根信号线表示冗余位线对 RBL、/RBL。冗余存储单元 RMC 形成于冗余字线 RWL 与位线对 BL、/BL、RBL、/RBL 的交叉部分和冗余位线对 RBL、/RBL 与字线 WL、RWL 的交叉部分。

[0038] 在行冗余信号 RRED1-2 处于未激活状态时,行译码器 RDEC 响应存取命令 CMD 而对

行地址 RAD 进行译码,选择字线 WL 的某一个。在行冗余信号 RRED1-2 的某一个处于激活状态时,行译码器 RDEC 禁止对行地址 RAD 进行译码,按照行冗余选择信号 RSEL1-2 的逻辑电平来选择冗余字线 RWL 的至少一个。

[0039] 在列冗余信号 CRED1-2 处于未激活状态时,列译码器 CDEC 响应存取命令 CMD 而对列地址 CAD 进行译码,选择与数据端子 DT 的位数相对应的 8 组位线对 BL、/BL。在列冗余信号 CRED1-2 的某一个处于激活状态时,列译码器 CDEC 禁止对列地址 CAD 进行译码,按照列冗余选择信号 CSEL1-2 的逻辑电平来选择冗余位线对 RBL、/RBL 的至少一组。

[0040] 读出放大器 SA 放大位线对 BL、/BL 中读出的数据信号的信号量的差。列开关 CSW 按照列地址 CAD 将位线对 BL、/BL 与数据总线 DB 连接。

[0041] 读取放大器 RA 将进行读取动作时经由列开关 CSW 输出的互补的读出数据进行放大。写入放大器 WA 将进行写入动作时经由数据总线 DB 提供的互补的写入数据进行放大并提供给位线对 BL、/BL。

[0042] 图 2 示出了图 1 所述的行译码器 RDEC 的详细构成。行译码器 RDEC 包括:对行地址 RAD 进行译码的行地址译码器 RADEC;用于将高电平电压分别提供给字线 WL 的字驱动器 WDRV;以及用于将高电平电压提供给标准冗余位线 RWL1-2 和备用冗余字线 RSVWL 的冗余字驱动器 RWDRV。

[0043] 字驱动器 WDRV、RWDRV 与字线控制信号 WLZ 同步动作,使被存取的字线 WL、标准冗余字线 RWL1-2、备用冗余字线 RSVWL 的某一个在预定的期间内变为高电平。在使用冗余字线 RWL1-2、RSVWL 的某一个的情况下,响应对故障的字线 WL 的存取命令 CMD,使行冗余信号 RRED1-2 的至少某一个激活。字驱动器 WDRV 在行冗余信号 RRED1-2 激活时不被激活,停止字线 WL 的驱动动作。

[0044] 冗余字驱动器 RWDRV 响应行冗余信号 RRED1 的激活,将高电平电压提供给标准冗余字线 RWL1 或者备用冗余字线 RSVWL 的某一个。另外,冗余字驱动器 RWDRV 响应行冗余信号 RRED2 的激活,将高电平电压提供给标准冗余字线 RWL2 或者备用冗余字线 RSVWL 的某一个。在标准冗余字线 RWL1-2 的某一个存在故障时,图 1 所示的选择熔丝电路 27 的某一个被编程而输出低逻辑电平的行选择信号 RSEL1 或 RSEL2。

[0045] 行冗余选择信号 RSEL1 为低逻辑电平时,禁止故障的标准冗余字线 RWL1 的激活,并允许备用冗余字线 RSVWL 的激活。行冗余选择信号 RSEL2 为低逻辑电平时,禁止故障的标准冗余字线 RWL2 的激活,并允许备用冗余字线 RSVWL 的激活。冗余字驱动器 RWDRV 具有对行冗余选择信号 RSEL1-2 进行响应而使对应的标准冗余字线 REL1-2 或者备用冗余字线 RSVWL 的某一个有效的开关电路的功能。并且,代替故障的字线 WL 而使用冗余字线 RSEL1-2 和 RSVWL 来进行存取动作,补救了单元阵列 ARY 的故障。

[0046] 图 3 示出了图 1 所示的列译码器 CDEC 的具体构成。列译码器 CDEC 包括:对列地址 CAD 进行译码的列地址译码器 CADEC;用于将高电压电平分别提供给列线 CL 的列驱动器 CDRV;用于将高电平电压提供给标准冗余列线 RCL1-2 和备用冗余列线 RSVCL 的冗余列驱动器 RCDRV。列线 CL 与连接位线对 BL、/BL 的列开关 CSW 相连接,标准冗余列线 RCL1-2 和备用冗余列线 RSVSL 与连接冗余位线对 RBL、/RBL 的冗余列开关 CSW 相连接。

[0047] 列驱动器 CDRV 与列线控制信号 CLZ 同步动作,使控制列开关 CSW 的开/关的列线 CL 的某一个在预定的期间变为高电平。列驱动器 RCDRV 与列线控制信号 CLZ 同步动作,使

控制冗余列开关 CSW 的开 / 关的标准冗余列线 RCL1-2 和备用冗余列线 RSVCL 的某一个在预定的期间变为高电平。

[0048] 在使用冗余列线 RCL1-2、RSVCL 的某一个时, 响应与故障的位线对 BL、/BL 或者列线 CL 相对的存取命令 CMD 而使列冗余信号 CRED1-2 的至少某一个激活。列驱动器 CDRV 在列冗余信号 CRED1-2 处于激活时成为不激活状态而停止列线 CL 的驱动动作。

[0049] 冗余列驱动器 RCDRV 响应列冗余信号 CRED1 的激活而将高电平电压提供给标准冗余列线 RCL1 或者备用冗余列线 RSVCL 的某一个。另外, 冗余列驱动器 RCDRV 响应列冗余信号 CRED2 的激活, 将高电平电压提供给标准冗余列线 RCL2 或者备用冗余列线 RSVCL 的某一个。冗余列线 RCL1-2 的某一个存在故障时, 图 1 所示的选择熔丝电路 29 的某一个被进行编程而输出低逻辑电平的列冗余选择信号 CSEL1 或 CSEL2。

[0050] 列冗余选择信号 CSEL1 为低逻辑电平时, 禁止故障的标准冗余列线 RCL1 的激活, 并许可备用冗余列线 RSVCL 的激活。列冗余选择信号 CSEL2 为低逻辑电平时, 禁止故障的标准冗余列线 RCL2 的激活, 并许可备用冗余列线 RSVCL 的激活。由此, 冗余列驱动器 RCDRV 具有响应列冗余信号 CRED1-2 而使对应的标准冗余列线 RCL2 或者备用冗余列线 RSVCL 的某一个有效的开关电路的功能。并且, 代替故障的列线 CL 而使用冗余列线 RCL1-2、RSVCL 来执行存取动作, 补救了单元阵列 ARY 的故障。

[0051] 图 4 示出了图 2 所示的冗余字驱动器 RWDRV 和图 3 所示的冗余列驱动器 RCDRV 的具体构成。由于冗余字驱动器 RWDRV 和冗余列驱动器 RCDRV 的主要部分的逻辑结构相同, 因此, 这里对冗余字驱动器 REDRV 进行说明。

[0052] 冗余字驱动器 RWDRV 包括: 分别驱动标准冗余字线 RWL1-2 的缓冲器 BUF1-2; 以及驱动备用冗余字线 RSVWL 的缓冲器 BUFR。缓冲器 BUF1 使用于行冗余选择信号 RSEL1 为高逻辑电平时, 缓冲器 BUF2 使用于行冗余选择信号 RSEL2 为高逻辑电平时。缓冲器 BUFR 使用于行冗余选择信号 RSEL1-2 的某一个为低逻辑电平时。通过选择熔丝电路 27、29 的编程规格来禁止行冗余选择信号 RSEL1-2 (或者列冗余选择信号 CSEL1-2) 同时被设定为低逻辑电路。

[0053] 以上, 在第一实施方式中通过设置分别与两个冗余熔丝电路 17 相对应的标准冗余电路字线 RWL1-2 以及两个冗余熔丝电路 17 共用的标准冗余字线 RSVWL, 能够通过简单的冗余字驱动器 RWDRV (开关电路) 使各冗余电路 17 对应于冗余字线 RWL1-2、RSVWL 的某一个。由此, 在补救故障时和不补救故障时 (良品时) 能够减少信号的传输延迟时间的差, 因而能使存取时间的差变小。即, 能够通过简单的电路, 在不使半导体存储器 MEM 的性能和补救效率下降的情况下来补救故障。

[0054] 图 5 示出了本发明的第二实施方式的半导体存储器。对第一实施方式中已说明的元件标记相同的标号, 并省略对于它们的具体说明。本实施方式的半导体存储器 MEM 被构成为在第一实施方式中加入了模式寄存器 32A 和故障地址选择部 34A、36A。其他的结构与第一实施方式相同。即, 半导体存储器 MEM 形成为 DRAM。

[0055] 模式寄存器 32A 包括: 用于分别使冗余熔丝部 16、18 的输出无效的存储部; 以及用于保存临时的冗余行地址 RRAD1-2 以及临时的冗余列地址 RCAD1-2 (故障地址)。存储部可改写, 并根据与模式寄存器设定命令一起提供的外部地址 AD 或者数据 RT 而设定。模式寄存器 32A 根据存储部设定的值而输出行熔丝无效信号、列熔丝无效信号、临时的冗余行



地址 RRAD1-2、以及临时的冗余列地址 RCAD1-2。

[0056] 故障地址选择部 34A 根据从模式寄存器 32A 输出的行熔丝无效信号而使冗余熔丝部 16 的输出无效,并将模式寄存器 32A 设定的临时的冗余行地址 RRAD1-2 输出给地址比较部 20。故障地址选择部 36A 根据从模式寄存器 32A 输出的列熔丝无效信号使冗余熔丝部 18 的输出无效,并将模式寄存器 32A 设定的临时的冗余列地址 RCAD1-2 输出给地址比较部 22。即,故障地址选择部 34A、36A 将各冗余熔丝部 16、18 编程的故障地址或者模式寄存器 32A 保存的临时的故障地址的某一个输出给对应的地址比较部 20、22。

[0057] 在该实施方式中,冗余熔丝部 16、18 进行编程前将临时的冗余行地址 RRAD1-2 和临时的冗余列地址 RCAD1-2 输出给地址比较部 20、22,能够使用标准冗余字线 RWL1-2 或者标准冗余列线 RCL1-2 来暂时补救字线 WL 或者列线 CL。因此,能够在冗余熔丝部 16、18 进行编程前检测到在标准冗余字线 RWL1-2 和标准冗余列线 RCL1-2 中是否存在故障。

[0058] 测试存储器 MEM 的 LSI 测试器 (tester) 等根据上述检测结果来判断是否使用标准冗余字线 RSVWL 或备用冗余列线 RSVCL。因此,在不使用冗余熔丝部 16、18 而确认了冗余字线 RWL1-2 和冗余列线 RCL1-2 的故障后,能够编程选择熔丝部 26、28。其结果是能够在在一个测试工序中实施冗余熔丝部 16、18 和选择熔丝部 26、28 的编程。

[0059] 在第二实施方式中也能够获得与所述第一实施方式相同的效果。此外,在该实施方式中,能够在在一个测试工序中实施冗余熔丝部 16、18 和选择熔丝部 26、28 的编程。结果是能够在不使存储器 MEM 的性能下降的情况下,通过简单的电路提高补救效率并削减测试成本。

[0060] 图 6 示出了本发明的第三实施方式的半导体存储器。针对与第一实施方式中说明的要素相同的要素标记相同的标号,省略对它们的详细说明。本实施方式的半导体存储器 MEM 代替第一实施方式的选择熔丝部 26、28 而具有选择熔丝部 26B、28B。另外,半导体存储器 MEM 具有模式寄存器 32B。其他的构成与第一实施方式相同。即,半导体存储器 MEM 被构成为 DRAM。

[0061] 模式寄存器 32B 包括:分别保存用于使与选择熔丝电路 27B、29B 编程的值相对应的选择信号 RSEL1-2、CSEL1-2 的输出无效的输出无效信号的值的存储部;用于分别保持临时的选择信号 RSEL1-2、CSEL1-2 的值的存储部;以及写入用于对各选择熔丝电路 27B、29B 进行编程的编程信息的编程设定部。存储部和编程设定部按照在存储器 MEM 的动作模式为测试模式时与模式寄存器设定命令被共同提供的外部地址 AD 或者数据 DT 来设定。

[0062] 模式寄存器 32B 按照存储部中设定的值,将输出无效信号和临时的选择信号 RSEL1-2、CSEL1-2 作为编程信号 RPRG1、CPRG1 分别输出给选择熔丝部 26B、28B。另外,模式寄存器 32B 在编程设定部中被写入编程信息时,输出对应的编程信号 RPRG2、CPRG2 (电信号)。存储器 MEM 具有未图示的电流生成电路或者电压生成电路用于将大电流或者高电压提供给编程信号线 RPRG2、CPRG2。

[0063] 选择熔丝部 26B、28B 通过编程信号线 RPRG2、CPRG2 的大电流或者高电压而被编程。即,模式寄存器 32B 起到了作为根据从存储器 MEM 的外部提供的编程信息来输出用于对选择熔丝电路 27B、29B 进行编程的电信号 RPRG2、CPRG2 的编程控制电路的作用。

[0064] 与第一实施方式相同,选择熔丝部 26B 具有选择熔丝电路 27B,用于分别对是否将标准冗余字线 RWL1-2 (图 2) 置换为备用冗余字线 RSVWL 进行编程。各选择熔丝电路 27B

为了按照电信号 RPRG2 而被编程,具有通过电流熔断的熔丝(利用金属的电迁移现象)或者通过电压而导通或绝缘的熔丝(利用氧化膜等的耐压性)。选择熔丝电路 27B 按照编程状态分别输出行冗余选择信号 RSE1-2。但是,选择熔丝部 26B 按照从模式寄存器 32B 输出的输出无效信号来禁止来自熔丝电路 27B 的行冗余选择信号 RSEL1-2 的输出,将从模式寄存器 32B 输出的临时的行冗余选择信号 RSEL1-2 输出给存储器内核 30。

[0065] 与第一实施方式相同,选择熔丝部 28B 具有选择熔丝电路 29B,分别用于是否将标准冗余列线 RCL1-2(图 3) 置换为备用冗余列线 RSVCL 进行编程。各选择熔丝电路 29B 为了按照电信号 CPRG2 进行编程,具有通过电流熔断的熔丝(利用金属的电迁移现象)或者通过电压而导通或绝缘的熔丝(利用氧化膜等的耐压性)。选择熔丝电路 29B 按照编程状态分别输出列冗余选择信号 CSE1-2。但是,选择熔丝部 28B 按照从模式寄存器 32B 输出的输出无效信号来禁止来自熔丝电路 29B 的列冗余选择信号 CSEL1-2 的输出,将从模式寄存器 32B 输出的临时的列冗余选择信号 CSEL1-2 输出给存储器内核 30。

[0066] 在本实施方式中,在选择熔丝部 26B、28B 编程前,能够检测在图 2 所示的备用冗余字线 RSVWL 以及图 3 所示的备用冗余列线 RSVCL 中是否存在故障。由此,例如,在标准冗余字线 RWL1 和备用冗余字线 RSVWL 中存在故障并且有两个应该补救的字线 WL 的情况下,测试半导体存储器的 LSI 测试器等能够判断为不进行选择熔丝部 26B、28B 的编程,不能补救该存储器 MEM 的故障。因此,能够防止无用地对选择熔丝部 26B、28B 进行编程。

[0067] 并且,在测试工序完成后,通过模式寄存器 32B 的编程设定部中写入编程信息而能够对选择熔丝电路 27B、29B 进行编程。由此,存储器 MEM 被制造出以后,也能够代替普通熔丝字线 RWL1-2 使用备用冗余字线 RSVWL,代替普通熔丝列线 RCL1-2 使用备用冗余列线 RSVCL。由此,在测试工序完成后,能够补救标准冗余字线 RWL1-2 和普通熔丝列线 RCL1-2 中发生的故障。

[0068] 以上,在第三实施方式中也能够获得与所述第一以及第二实施方式相同的效果。即,能够防止对选择熔丝部 26B、28B 无用地编程,削减了测试成本。并且,测试工序完成后,能够补救冗余线 RWL1-2、RCL1-2 中发生的故障。结果是能够通过简单的电路,在不降低存储器 MEM 的性能的情况下提高补救效率,削减了测试成本。

[0069] 图 7 是出了本发明的第四实施方式的半导体存储器。针对已在第一实施方式中说明的要素标记相同的标号,省略对它们的详细说明。本实施方式的半导体存储器 MEM 代替第一实施方式的冗余熔丝部 16、18、选择熔丝电路 26、28、以及存储器内核 30 而具有冗余熔丝部 16C、18C、选择熔丝电路 26C、28C、以及存储器内核 30C。另外,半导体存储器 MEM 没有第一实施方式的地址比较部 20、22。其他的构成与第一实施方式相同。即,半导体存储器 MEM 被形成为 DRAM。

[0070] 本实施方式的半导体存储器 MEM 采用所谓的移位冗余方式。如后述的图 8 所示,移位冗余方式的存储器 MEM 具有冗余开关电路 RRSW。冗余开关电路 RRSW 在存储器 MEM 通电(パワーオンシーケンス)时动作,将字驱动器 WDRV 与字线 WL、RWL 连接。同样,如后述的图 9 所示,移位冗余方式的存储器 MEM 具有冗余开关电路 CRSW。冗余开关电路 CRSW 在存储器 MEM 通电时动作,将列驱动器 CDRV 与字线 CL、RCL 连接。因此,不需要每次访问时比较地址 AD 与故障地址的地址比较部。

[0071] 冗余熔丝部 16C 具有用于对表示故障的字线 WL 的冗余地址 RRAD 进行编程的熔丝

电路 17C, 输出被编程的冗余行地址 RRAD。冗余熔丝部 18C 具有用于对表示故障的位线对 BL、/BL 的冗余列地址 RCAD 进行编程的熔丝电路 19C, 输出被编程的冗余列地址 RCAD。通过使用冗余熔丝部 16C、18C, 能够补救单元阵列 ARY 中发生的两个故障。

[0072] 选择熔丝部 26C 具有选择熔丝电路 27C, 用于对使用图 8 所示的标准冗余字线 RWL1-2 的某一个来补救故障进行编程。选择熔丝电路 27C 输出与编程状态相对应的逻辑电平的行冗余选择信号 RSEL。选择熔丝部 28C 具有选择熔丝电路 29C, 用于对使用图 9 所示的标准冗余列线 RCL1-2 的某一个来补救故障进行编程。选择熔丝电路 29C 输出与编程状态相对应的逻辑电平的列冗余选择信号 CSEL。

[0073] 存储器内核 30C 的行译码器 RDEC、列译码器 CDEC、以及单元阵列 ARY 与第一实施方式不同。单元阵列 ARY 具有两个冗余字线 RWL(图 8 所示的 RWL1-2) 以及两组冗余位线对 RBL、/RBL(与图 9 所示的 RCL1-2 对应的位线)。其他的构成与第一实施方式相同。

[0074] 图 8 是出了图 7 所示的行译码器 RDEC 的详细构成。行译码器 RDEC 包括行地址译码器 RASDEC、字驱动器 WDRV、冗余开关电路 RRSW、以及选择开关电路 RSSW。在移位冗余方式的存储器中, 未被构成有冗余字线专用的冗余字线驱动器 RWDRV。冗余开关电路 RRSW 和选择开关电路 RSSW 例如由 CMOS 传输门构成, 电路规模小并且传输延迟时间短。

[0075] 开关电路 RRSW 避开冗余行地址 RRAD 表示的故障的字线 WL(图中以 X 标记表示), 将字驱动器 WDRV 与字线 WL、选择开关电路 RSSW(冗余字线 RWL1-2 的某一个) 连接。在没有故障的情况下, 字驱动器 WDRV 与通常的字线 WL 连接, 与冗余字线 RWL1-2(冗余控制线) 间不连接。

[0076] 选择开关电路 RSSW 在行冗余选择信号 RSEL 为低逻辑电平时使字驱动器 WDRV 与冗余字线 RWL1 连接, 在行冗余选择信号 RSEL 为高逻辑电平时使字驱动器 WDRV 与冗余字线 RWL2 连接。由此, 在冗余字线 RWL2 存在故障时能够使用冗余字线 RWL1 来补救, 在冗余字线 RWL1 存在故障时能够使用冗余字线 RWL2 来补救。

[0077] 图 9 是出了图 7 所示的列译码器 CDEC 的详细构成。列译码器 CDEC 包括列译码器 CDEC、列地址译码器 CADEC、列驱动器 CDRV、冗余开关电路 CRSW、以及选择开关电路 CSSW。列线 CL 与连接位线对 BL、/BL 的列开关 CSW 相连接, 标准冗余列线 RCL1-2 与连接冗余位线对 RBL、/RBL 的冗余列开关 CSW 相连接。

[0078] 在移位冗余方式的存储器 MEM 中, 未构成冗余列线专用的冗余列驱动器 RCDRV。冗余开关电路 CRSW 和选择开关电路 CSSW 例如通过 CMOS 传输门构成, 电路规模小并且传输延迟时间短。

[0079] 开关电路 CRSW 避开与冗余列地址 RCAD 表示的故障的位线对 BL、/BL(图中通过 X 标记表示) 对应的列线 CL, 将列驱动器 CDRV 与列线 CL 和选择开关电路 CSSW(冗余列线 RCL1-2 的某一个) 连接。在不存在故障的情况下, 列驱动器 CDRV 与通常的列线 CL 连接, 与冗余列线 RCL1-2(冗余控制线) 不连接。

[0080] 与第一实施方式(图 3) 相同, 列驱动器 CDRV 与列线控制信号 CLZ 同步动作, 使控制列开关 CSW 的开/关的列线 CL 的某一个在预定的期间内变为高电平。列驱动器 RCDRV 与列线控制信号 CLZ 同步动作, 将控制冗余列开关 CSW 的开/关的冗余列线 RCL1-2 的某一个在预定的期间内变为高电平。

[0081] 选择开关电路 CSSW 在列冗余选择信号 CSEL 为低逻辑电平时使列驱动器 CDRV 与

冗余列线 RCL1 连接, 在行冗余选择信号 RSEL 为高电平时使列驱动器 CDRV 与冗余列线 RCL2 连接。由此, 在冗余列线 RCL2 存在故障时能够使用冗余列线 RCL1 来进行补救, 在冗余列线 RCL1 存在故障时能够使用冗余列线 RCL2 来进行补救。

[0082] 以上, 在第四实施方式中也能够获得与第一实施方式相同的效果。并且, 在该实施方式中, 即使在采用了移位冗余方式的存储器 MEM 中, 也不会使降低半导体存储器 MEM 的性能以及补救效率降低, 通过简单的冗余开关电路 RRSW、CRSW 来补救故障。

[0083] 图 10 示出了本发明的第五实施方式的半导体存储器。针对与已在第一以及第二实施方式中说明的要素相同的要素标记相同的标号, 省略对它们的详细说明。本实施方式的半导体存储器 MEM 代替第四实施方式的冗余熔丝部 16C、18C、选择熔丝部 26C、28C、以及存储器内核 30C 而具有冗余熔丝部 16、18、选择熔丝部 26、28、以及存储器内核 30D。其他的构成与第四实施方式相同。即, 半导体存储器 MEM 被构成为 DRAM。

[0084] 与第一实施方式相同, 冗余熔丝部 16、18 分别存储两个冗余行地址 RRAD1-2 和两个冗余列地址 RCAD1-2。与第一实施方式相同, 选择熔丝部 26、28 分别输出行冗余选择信号 RSE1-2 和列冗余选择信号 CSEL1-2。存储器内核 30D 的行译码器 RSEC 的冗余开关电路 RRSW 和选择开关电路 RSSW、以及列译码器 CDEC 的冗余开关电路 CRSW 和选择开关电路 CSSW 与第四实施方式不同。其他的构成与第二实施方式相同。

[0085] 图 11 是出了图 10 所示的行译码器 RDEC 的详细构成。在本实施方式中, 能够补救两个字线故障。在存在两个字线故障的情况下, 开关电路 RRSW 避开冗余行地址 RRAD1-2 表示的故障的字线 WL (图中通过 X 标记表示), 将字驱动器 WDRV 与字线 WL、选择开关电路 RSSW 连接。在字线仅存在一个故障的情况下, 仅使字驱动器 WDRV 中的一个与选择开关电路 RSSW 连接。在没有故障的情况下, 字驱动器 WDRV 与通常的字线 WL 连接, 不与选择开关电路 RSSW 连接。

[0086] 选择开关电路 RSSW 在行冗余选择信号 RSEL1 为低逻辑电平时使字驱动器 WDRV 与标准冗余字线 RWL1 连接, 在行冗余选择信号 RSEL1 为高逻辑电平时使字驱动器 WDRV 与备用冗余字线 RSVWL 连接。选择开关电路 RSSW 在行冗余选择信号 RSEL2 为低逻辑电平时使字驱动器 WDRV 与标准冗余字线 RWL2 连接, 在行冗余选择信号 RSEL2 为高逻辑电平时使字驱动器 WDRV 与备用冗余字线 RSVWL 连接。各备用冗余字线 RW1-2 仅通过对应的字驱动器 WDRV 进行驱动, 备用冗余字线 RSVWL 被与备用冗余字线 RW1-2 相对应的两个字驱动器 WDRV 共享使用, 通过两个字驱动器 WDRV 的某一个进行驱动。由此, 在备用冗余字线 RW1-2 的某一个中存在故障时, 能够使用备用冗余字线 RSVWL 来实施补救。

[0087] 图 12 示出了图 10 表示的列译码器 CDEC 的详细构成。在本实施方式中, 能够补救两个位线故障。在存在两个位线故障的情况下, 开关电路 CRSW 避开与冗余列地址 RCAD1-2 表示的故障的列线 CL 相对应的位线对 BL、/BL (图中通过 X 标记表示), 将列驱动器 CDRV 与列线 CL、选择开关电路 CSSW 连接。在仅存在一个位线故障的情况下, 仅使列驱动器 CDRV 中的一个与选择开关电路 CSSW 连接。在不存在位线故障的情况下, 列驱动器 CDRV 与通常的列线 CL 连接, 不与选择开关电路 CSSW 连接。

[0088] 选择开关电路 CSSW 在列冗余选择信号 CSEL1 为低逻辑电平时使列驱动器 CDRV 与标准冗余字线 RCL1 连接, 在行冗余选择信号 RSEL1 为高逻辑电平时使列驱动器 CDRV 与备用冗余字线 RSVCL 连接。选择开关电路 CSSW 在列冗余选择信号 CSEL2 为低逻辑电平时使

字驱动器 CDRV 与标准冗余列线 RCL2 连接, 在行冗余选择信号 RSEL2 为高逻辑电平时使列驱动器 CDRV 与备用冗余字线 RSVCL 连接。各标准冗余列线 RCL1-2 仅通过对应的列驱动器 CDRV 进行驱动, 备用冗余列线 RSVCL 被与备用冗余字线 RCL1-2 相对应的两个列驱动器 CDRV 共享使用, 通过两个字驱动器 CDRV 的某一个进行驱动。由此, 在备用冗余列线 RCL1-2 的某一个中存在故障时, 能够使用备用冗余列线 RSVCL 来实施补救。

[0089] 此外, 在如图 12 所示的例子中, 由于与标准冗余列线 RCL2 相对应的冗余位线对 RBL、/RBL 中存在故障, 因此, 选择开关电路 CSSW 不使列驱动器 CDRV 与标准冗余列线 RCL2 连接, 而是连接备用列线 RSVCL。

[0090] 以上, 第五实施方式也能够获得与所述第一以及第二实施方式相同的效果。并且, 在本实施方式中, 能够通过简单的选择开关电路 RSSW 来补救标准冗余线 RWL1-2、RCL1-2 的故障。即, 不降低存储器 MEM 的性能, 能够通过简单的电路提高补救效率。

[0091] 图 13 示出了本发明的第六实施方式的半导体存储器。针对与第一、第二以及第四实施方式中说明了的要素相同的要素标记相同的标号, 省略针对它们的详细说明。本实施方式的半导体存储器 MEM 被构成为向第四实施方式中加入了模式寄存器 32E 和故障地址选择部 34E、36E。其他的构成与第四实施方式相同。即, 半导体存储器 MEM 被构成为 DRAM。

[0092] 模式寄存器 32E 包括分别用于使冗余熔丝部 16C、18C 的输出无效的存储部、以及用于保存临时的冗余行地址 RRAD 和临时的冗余列地址 RCAD 的值 (故障地址) 的存储部。存储部可进行改写, 根据与模式寄存器设定命令共同提供的外部地址 AD 或者数据 DT 进行设定。模式寄存器 32E 按照存储部中设定的值, 输出行熔丝无效信号、列熔丝无效信号、临时的冗余地址 RRAD、以及临时的冗余列地址 RCAD。

[0093] 故障地址选择部 34E 按照从模式寄存器 32E 输出的行熔丝无效信号使冗余熔丝部 16C 的输出无效, 将模式寄存器 32E 设置的临时的冗余行地址 RRAD 输出给存储器内核 30C。故障地址选择部 36E 按照从模式寄存器 32E 输出的列熔丝无效信号使冗余熔丝部 18C 的输出无效, 将模式寄存器 32E 设定的临时的冗余列地址 RCAD 输出给存储器内核 30C。即, 故障地址选择部 34E、36E 将对各冗余熔丝部 16C、18C 进行编程的故障地址或者模式寄存器 32E 中保存的临时的故障地址的某一个输出给行译码器 RDEC 的冗余开关电路 RRSW (图 8) 和列译码器 CDEC 的冗余开关电路 CRSW (图 9)。

[0094] 与第二实施方式相同, 本实施方式在冗余熔丝部 16C、18C 的编程前能够使用临时的冗余行地址 RRAD 和临时的冗余列地址 RCAD 来暂时补救字线 WL 或者列线 CL。因此, 能够在冗余熔丝部 16C、18C 被编程前检测到冗余字线 RWL1-2 (图 8) 和冗余列线 RCL1-2 (图 9) 中是否存在故障。以上, 第六实施方式能够获得与第一、第二以及第四实施方式相同的效果。

[0095] 图 14 示出了本发明的第七实施方式的半导体存储器。对于与第一、第三以及第四实施方式中说明了的要素相同的要素标记相同的标号, 并省略对于它们的详细说明。本实施方式的半导体存储器 MEM 具有代替第四实施方式的选择熔丝部 26C、28C 的选择熔丝部 26F、28F。另外, 半导体存储器 MEM 具有模式寄存器 32F。其他的构成与第四实施方式相同。即, 半导体存储器 MEM 被构成为 DRAM。

[0096] 模式寄存器 32F 包括: 分别保存用于使与对选择熔丝部 26F、28F 进行编程的值相对应的选择信号 RSEL、CSEL 的输出无效的输出无效信号的存储部; 用于分别保存临时的选

择信号 RSEL、CSEL 的存储部；以及写入用于使各选择熔丝电路 27F、29F 编程的编程信息的编程设定部。存储部和编程设定部在存储器 MEM 的动作模式为测试模式时，按照与模式寄存器设定命令共同提供的外部地址 AD 或者数据 DT 进行设定。

[0097] 模式寄存器 32F 按照存储部中设定的值，将输出无效信号和临时的选择信号 RSEL、CSEL1 作为编程信号 RPPG1、CPRG1 分别输出给选择熔丝部 26F、28F。另外，与第三实施方式相同，模式寄存器 32F 在编程设定部被写入编程信息时，输出用于使选择熔丝电路 27F、29F 编程的编程信号 RPRG2、CPRG2（电信号）。即，模式寄存器 32F 作为按照从存储器 MEM 的外部提供的编程信息而输出电信号 RPRG2、CPRG2 的编程控制电路来执行功能。此外，存储器 MEM 具有用于将大电流或者高电压提供给编程信号线 RPRG2 和 CPRG2 的、未图示的电流生成电路或者电压生成电路。

[0098] 选择熔丝电路 27F、29F 为了按照电信号 RPRG1-2 来编程，具有通过电流熔断的熔丝或者通过电压而导通或绝缘的熔丝。选择熔丝电路 27F 为了使用标准冗余字线 RWL1-2（图 8）的某一个而输出按照编程状态的行冗余选择信号 RSEL。选择熔丝电路 29F 为了使用标准冗余列线 RCL1-2（图 9）的某一个而输出按照编程状态的列冗余选择信号 CSEL。

[0099] 但是，选择熔丝部 26F 按照从模式寄存器 32F 输出的输出无效信号，禁止来自选择熔丝电路 27F 的行冗余选择信号 RSEL 的输出，将从模式寄存器 32F 输出的临时的行冗余选择信号 RSEL 输出给存储器内核 30C。另外，选择熔丝部 28F 按照从模式寄存器 32F 输出的输出无效信号，禁止来自选择熔丝电路 29F 的列冗余选择信号 CSEL 的输出，将从模式寄存器 32F 输出的临时的列冗余选择信号 CSEL 输出给存储器内核 30C。

[0100] 以上，第七实施方式能够获得与第一、第三以及第四实施方式相同的效果。即，不使存储器 MEM 的性能下降，能够通过简单的电路提高补救效率并削减测试成本。

[0101] 此外，在上述实施方式中，对于将本发明应用于 DRAM 的例子进行了说明。本发明并不仅限于所涉及的实施方式。例如，还可以将本发明应用到模拟 SRAM、DRAM、以及闪存等。模拟 SRAM 是具有 DRAM 的存储单元并具有与 SRAM 相同的输入输出接口，在内部自动执行存储单元的更新动作的存储器。应用本发明的半导体存储器可以是非时钟同步式，也可以是时钟同步式。

[0102] 在所述第一 - 第三、第五实施方式中，说明了对两个标准冗余字线 RWL1-2 形成一个备用字线 RSVWL，并对两个标准冗余列线 RCL1-2 形成一个备用列线 RSVCL 的例子。本发明并不仅限于所涉及的实施方式。例如，可以对三个标准冗余字线 RWL 形成一个备用字线 RSVWL，并对三个标准冗余列线 RCL 形成一个备用列线 RSVCL。

[0103] 在上述实施方式中，说明了将本发明应用于字线 WL 的冗余电路和列线 CL 的冗余电路这两者的例子。本发明并不仅限于所涉及的实施方式。例如，还可以将本发明应用于字线 WL 的冗余电路和列线 CL 的冗余电路中的一个。

[0104] 在所述第三以及第七实施方式中，说明了使用模式寄存器 32B、32F，在测试工序后使选择熔丝部 26B、28B、26F、28F 编程的例子。本发明并不仅限于所涉及的实施方式。例如，也可以是使用模式寄存器 32B、32F，在测试工序后使冗余熔丝部 16、18、16C、18C 编程的电路结构。该情况下，能够对测试工序后发生的通常的字线 WL 的故障以及位线 BL、/BL 的故障进行补救。

[0105] 在所述第三以及第七实施方式中，说明了在存储器 MEM 中设置可在测试工序后编

程的功能、以及使选择熔丝电路 27B、29B、27F、29F 编程的内容无效的功能。本发明并不仅限于所涉及的实施方式。例如,也可以在存储器 MEM 中仅设置上述功能中的某一个。

[0106] 另外,可以向第二实施方式中加入第三实施方式的特征。另外,可以向第六实施方式中加入第七实施方式的特征。即,可以在使冗余熔丝部和选择熔丝部编程前,使用临时的冗余地址和临时的选择信号进行暂时补救。该情况下,能够预先判断出即使使用熔丝电路也不能补救的情况。结果不会使熔丝电路无用地编程,从而能够削减测试成本。

[0107] 本发明可以应用于注模成单独的封装的半导体存储器,也可以应用于与 CPU 或者存储器控制器等共同安装在硅基板上的半导体存储器(SOC;系统级芯片)。或者,也可以应用于与 CPU 或者存储器控制器等共同构造成单独的封装的半导体存储器(SIP;系统级封装)。

[0108] 以上,对本发明进行了详细说明,但是上述实施方式及其实施例只是发明的一例,本发明并不限于此。可以明了在不脱离本发明的范围内还可实施各种变更。

[0109] 产业上的实用性

[0110] 本发明能够应用于具有用于补救故障的冗余电路的半导体存储器中。

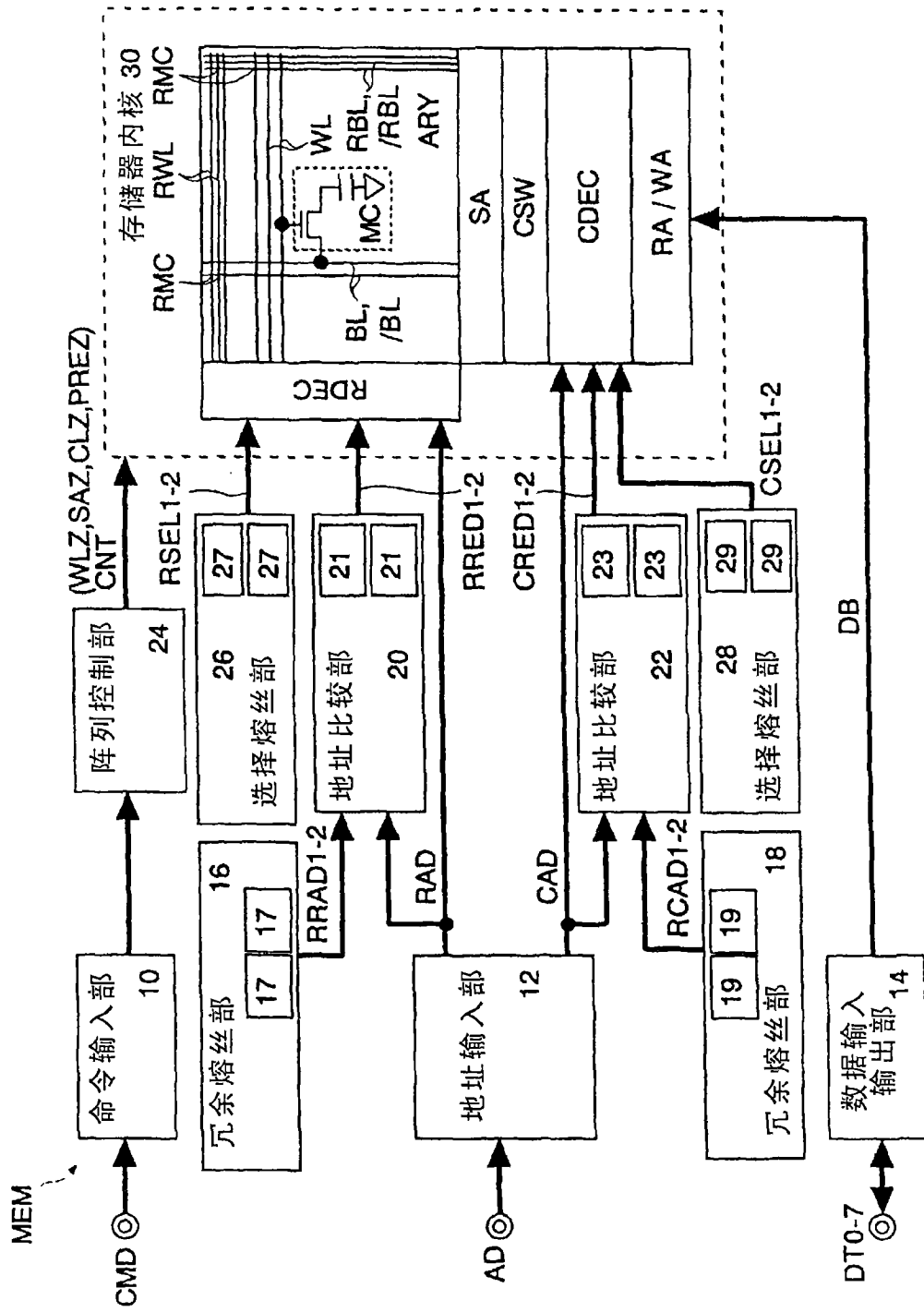


图1



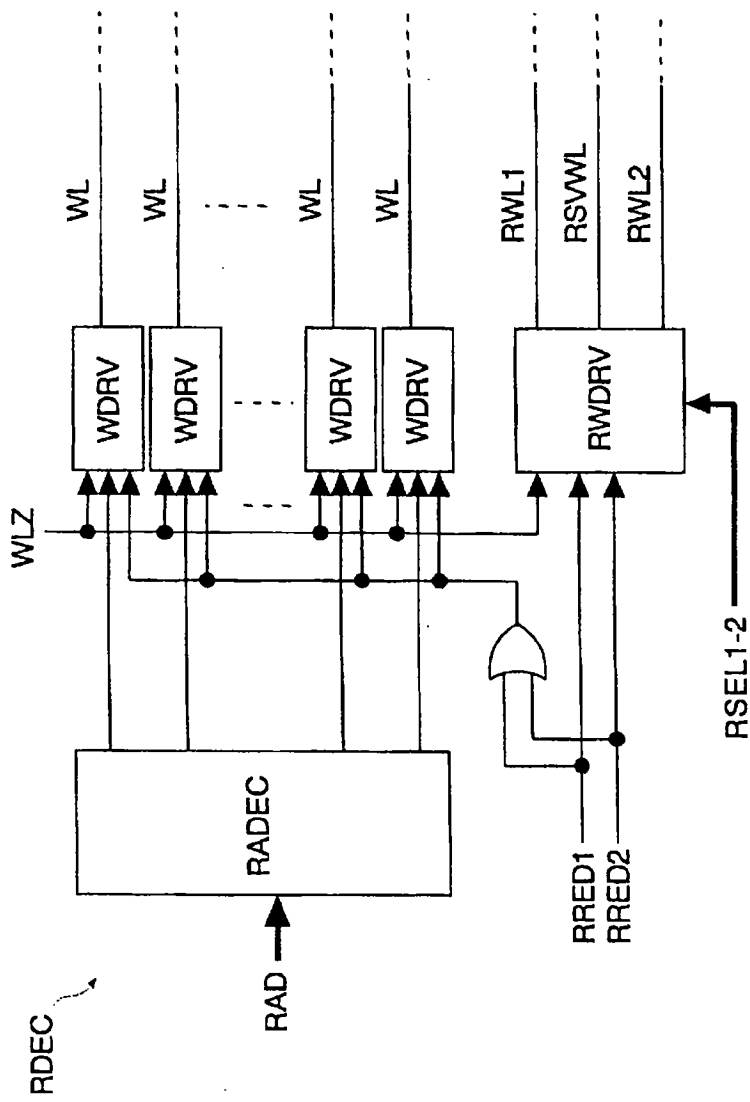


图 2

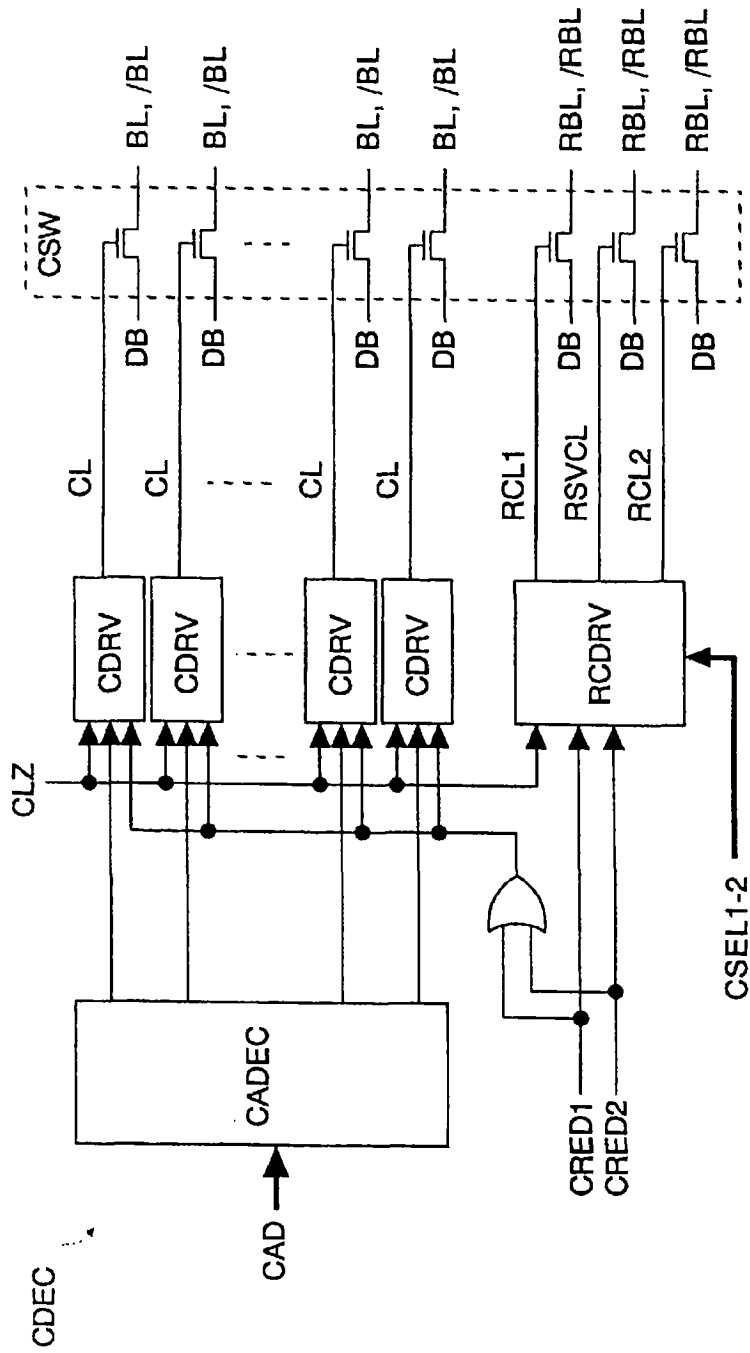


图 3

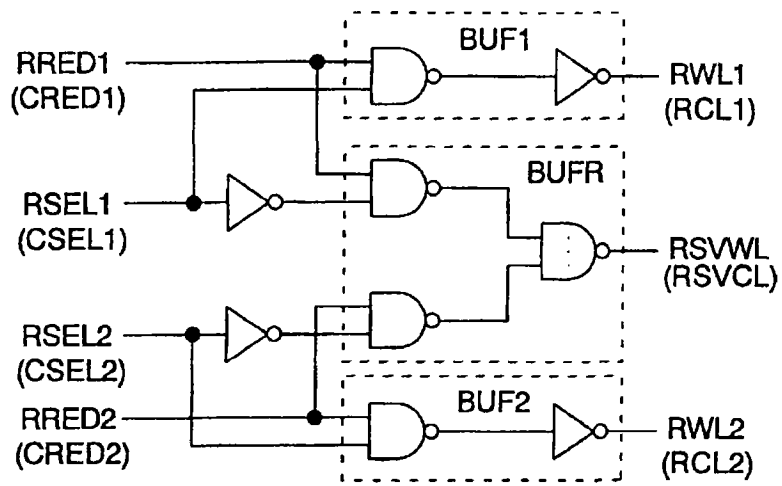


图4

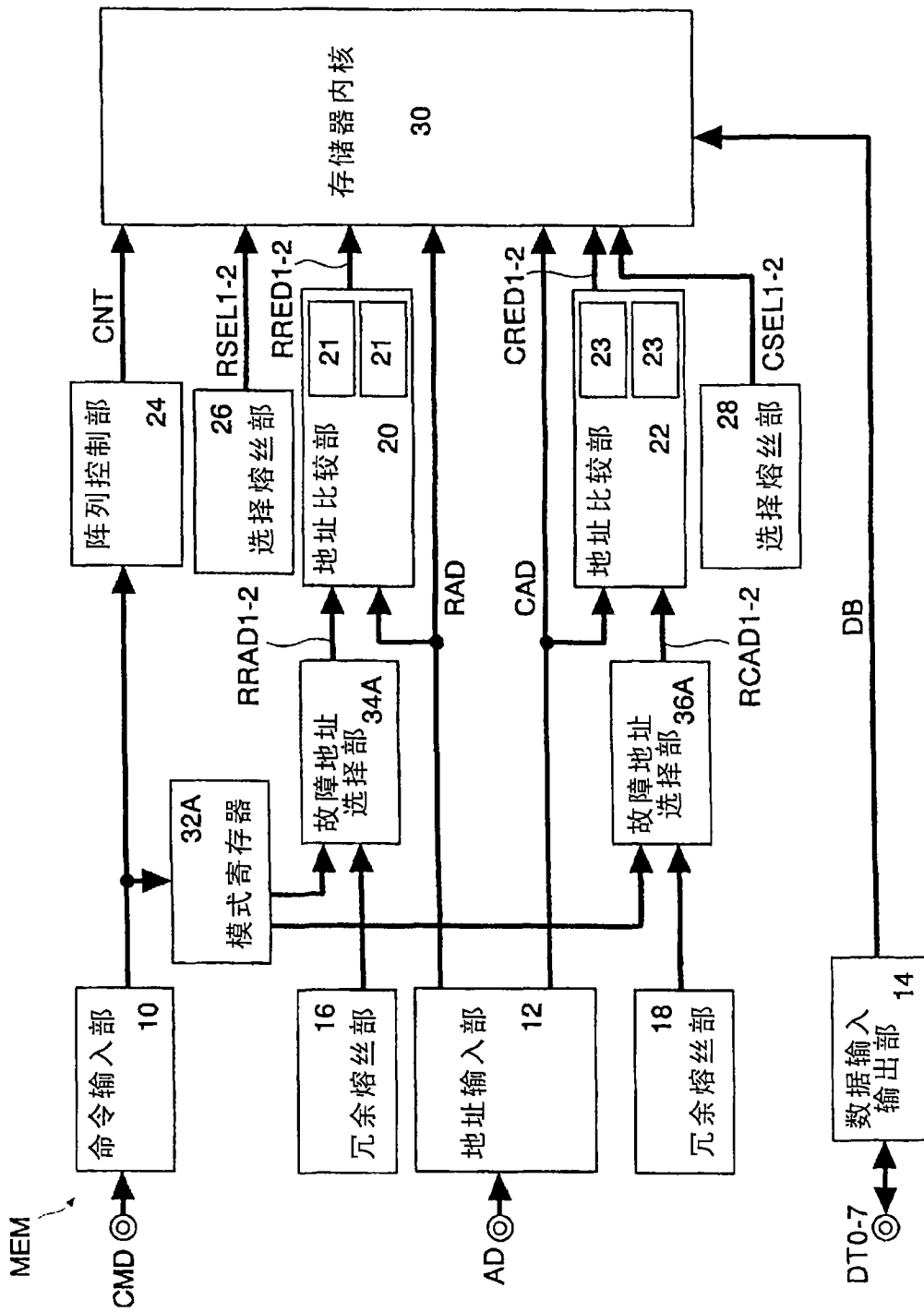


图5

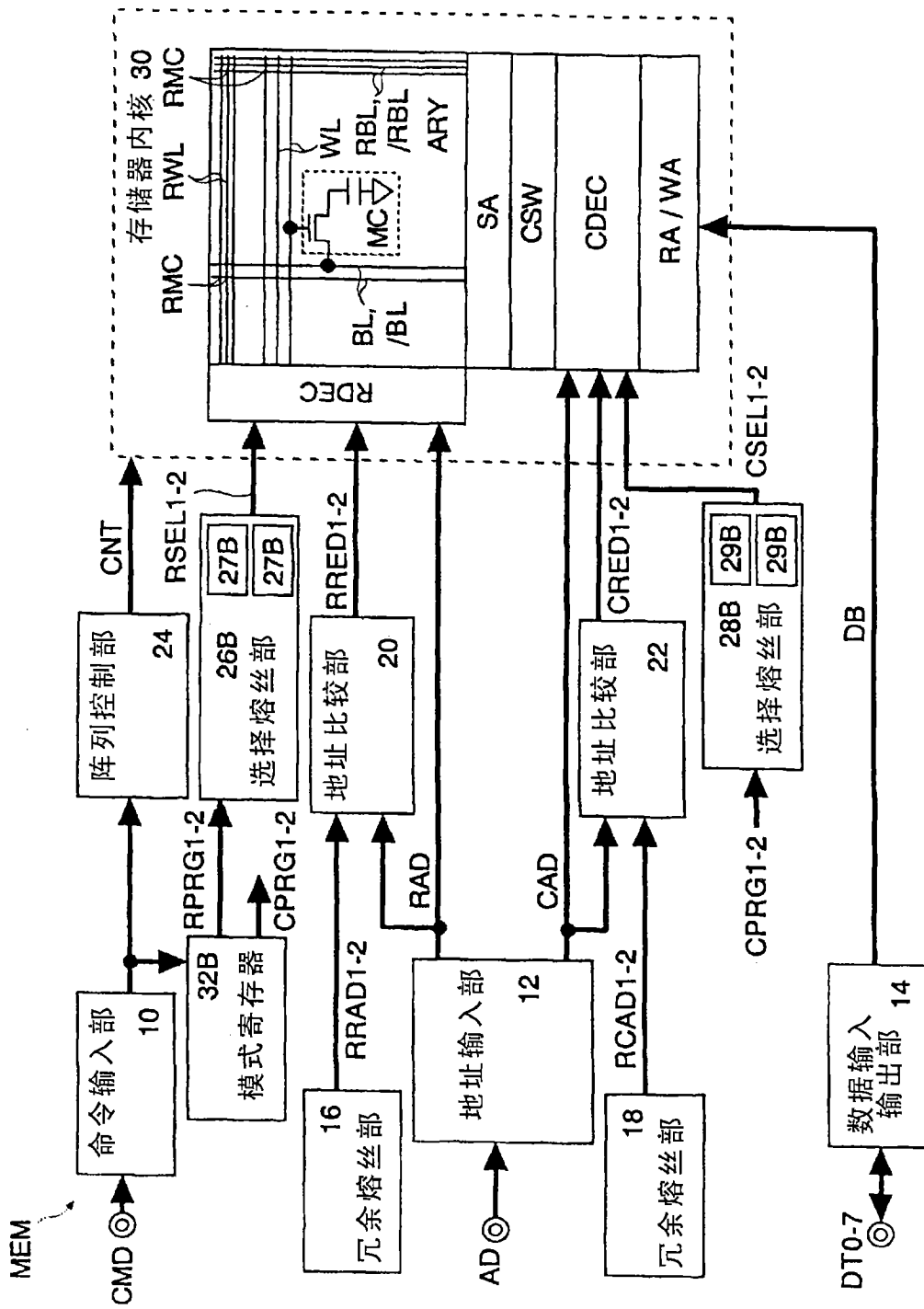


图6

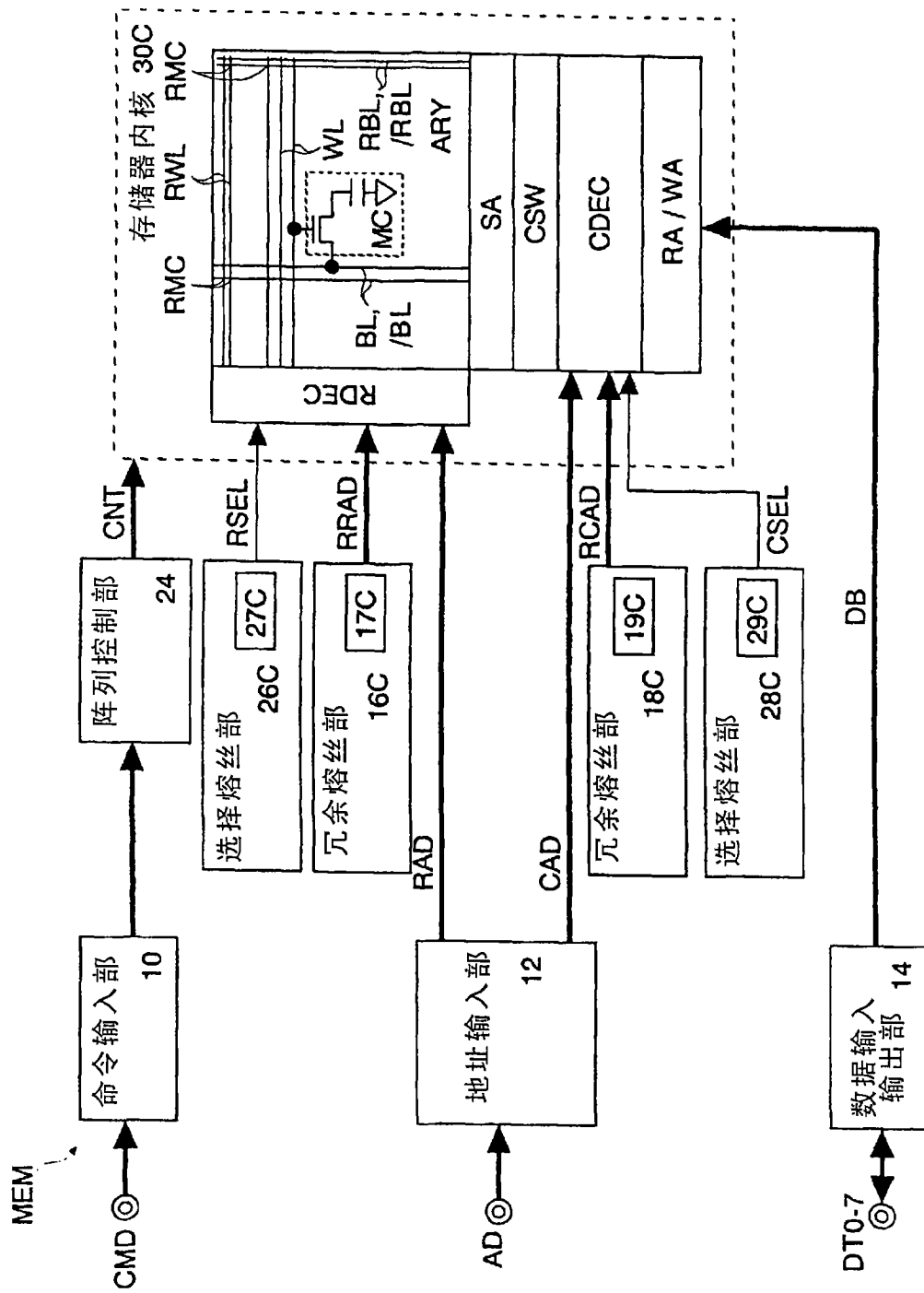


图7

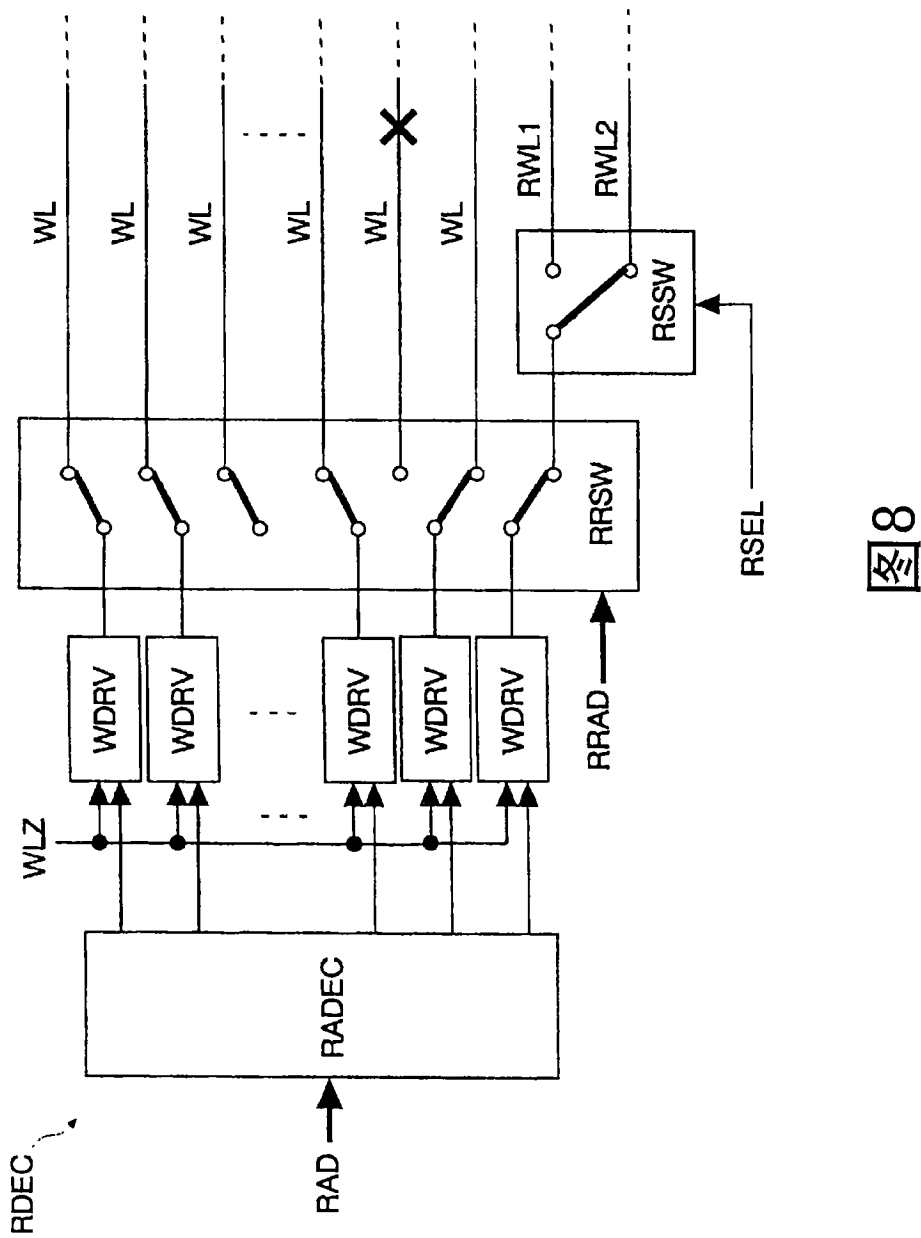


图 8

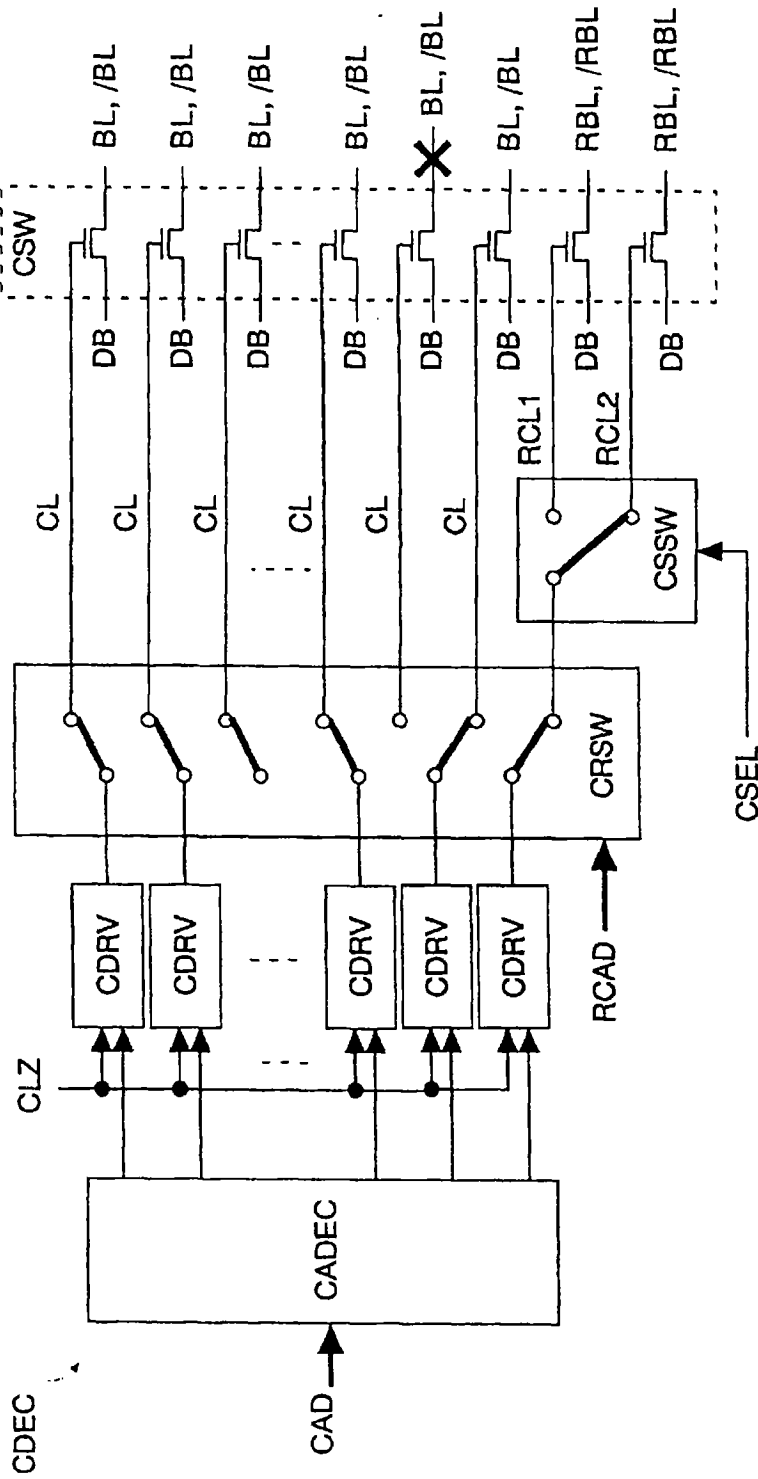


图9



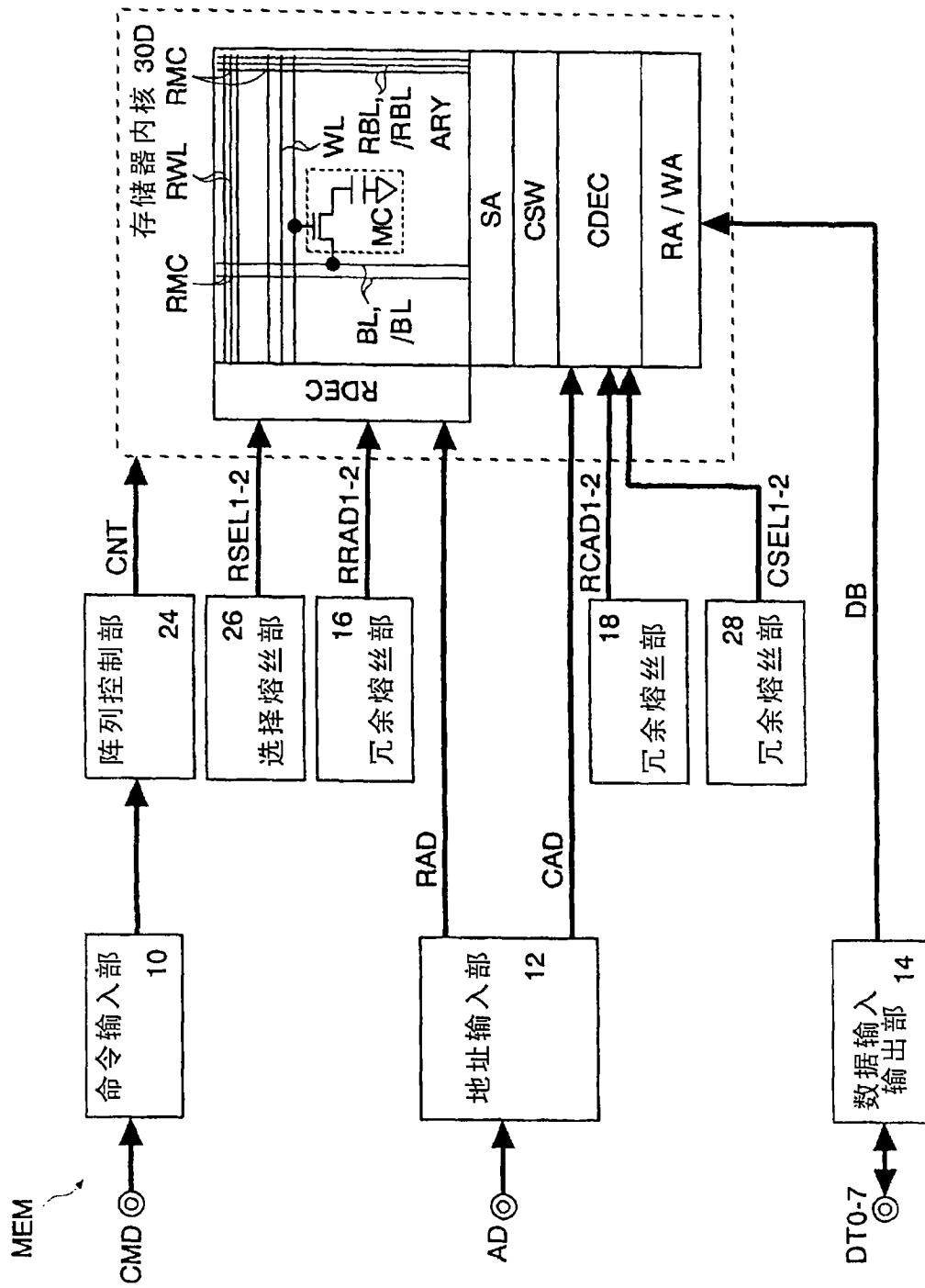


图10

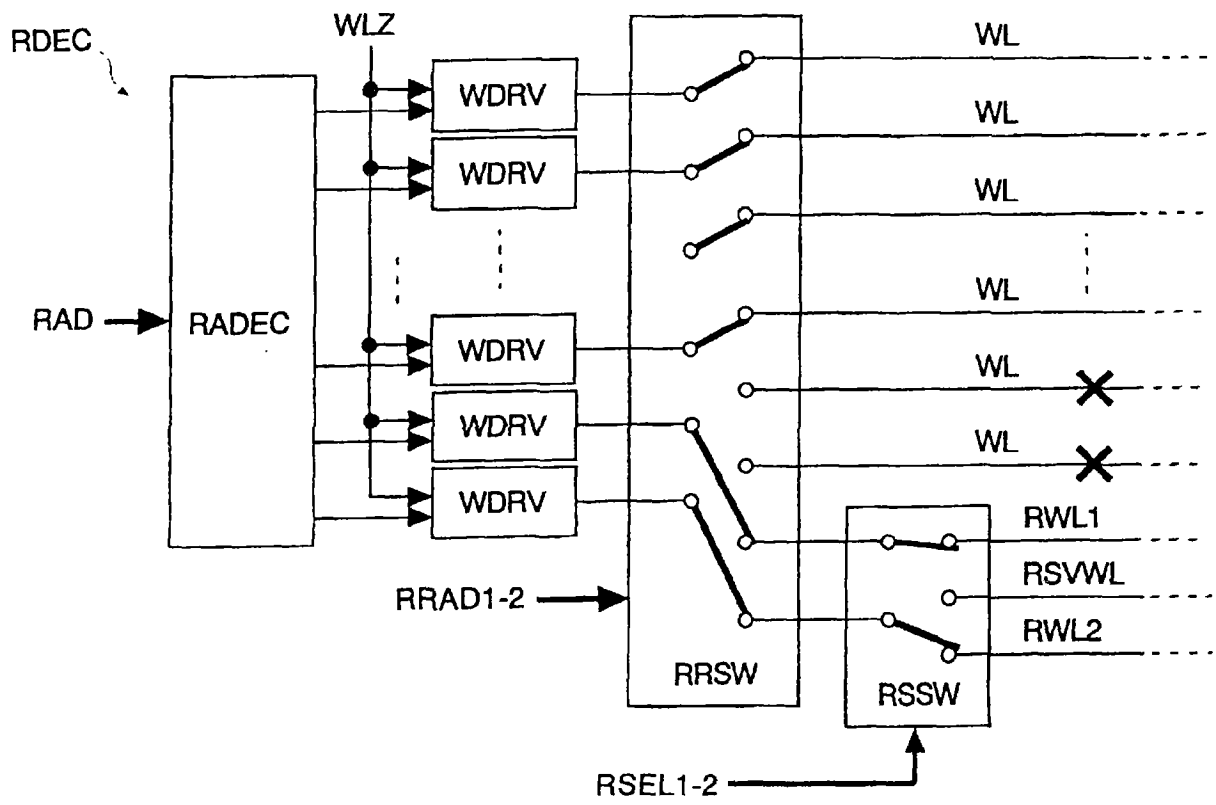


图 11

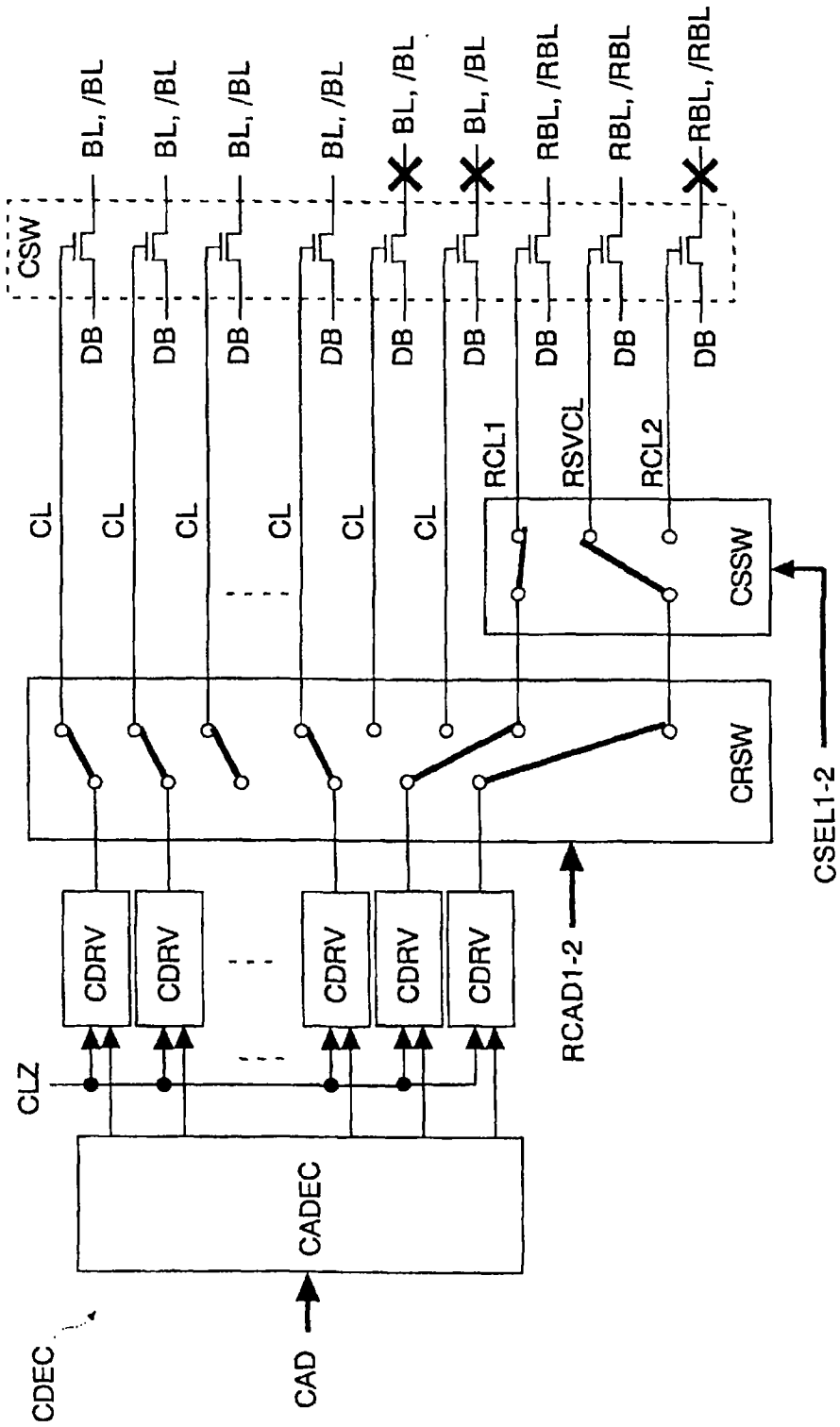


图12

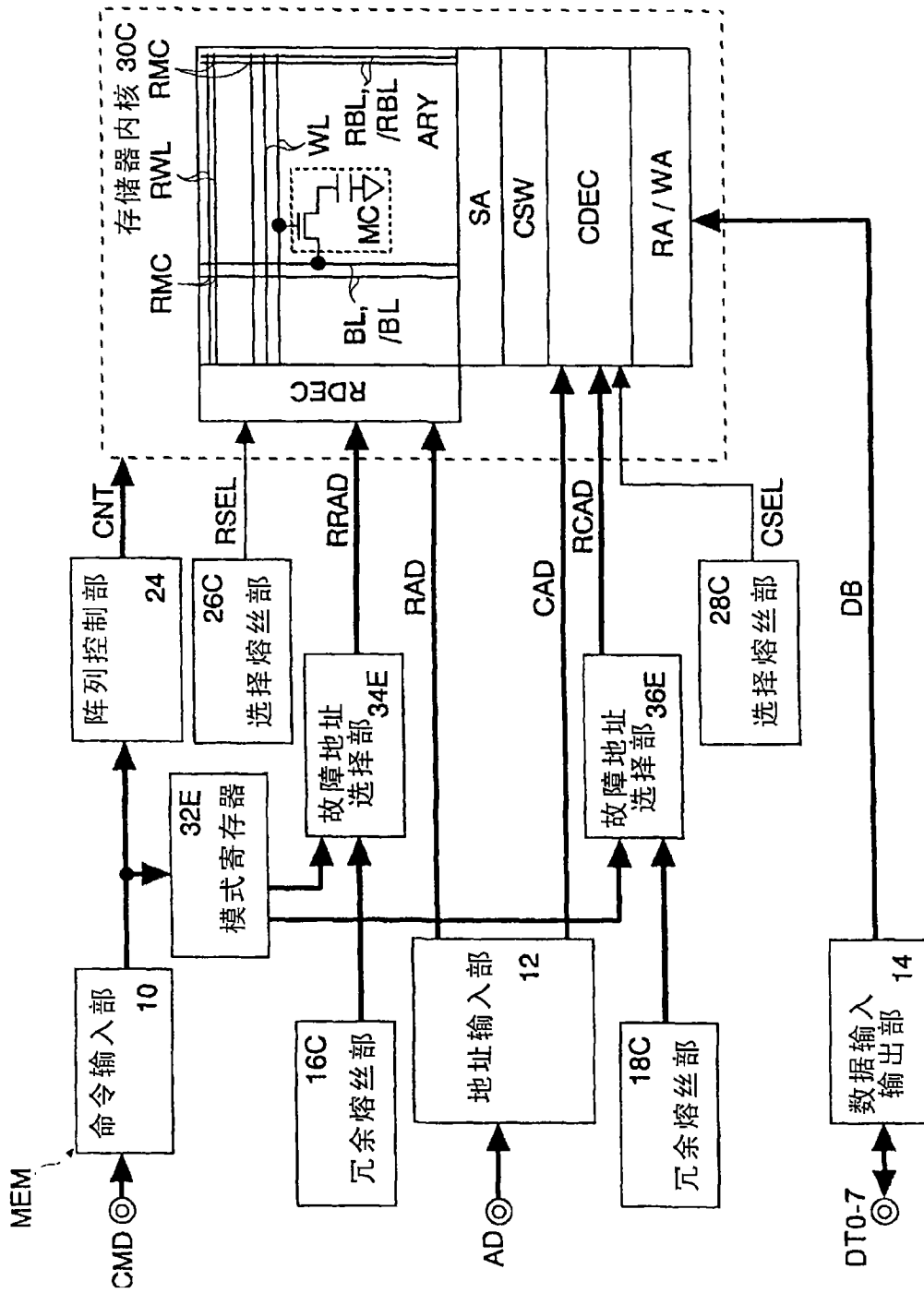


图13

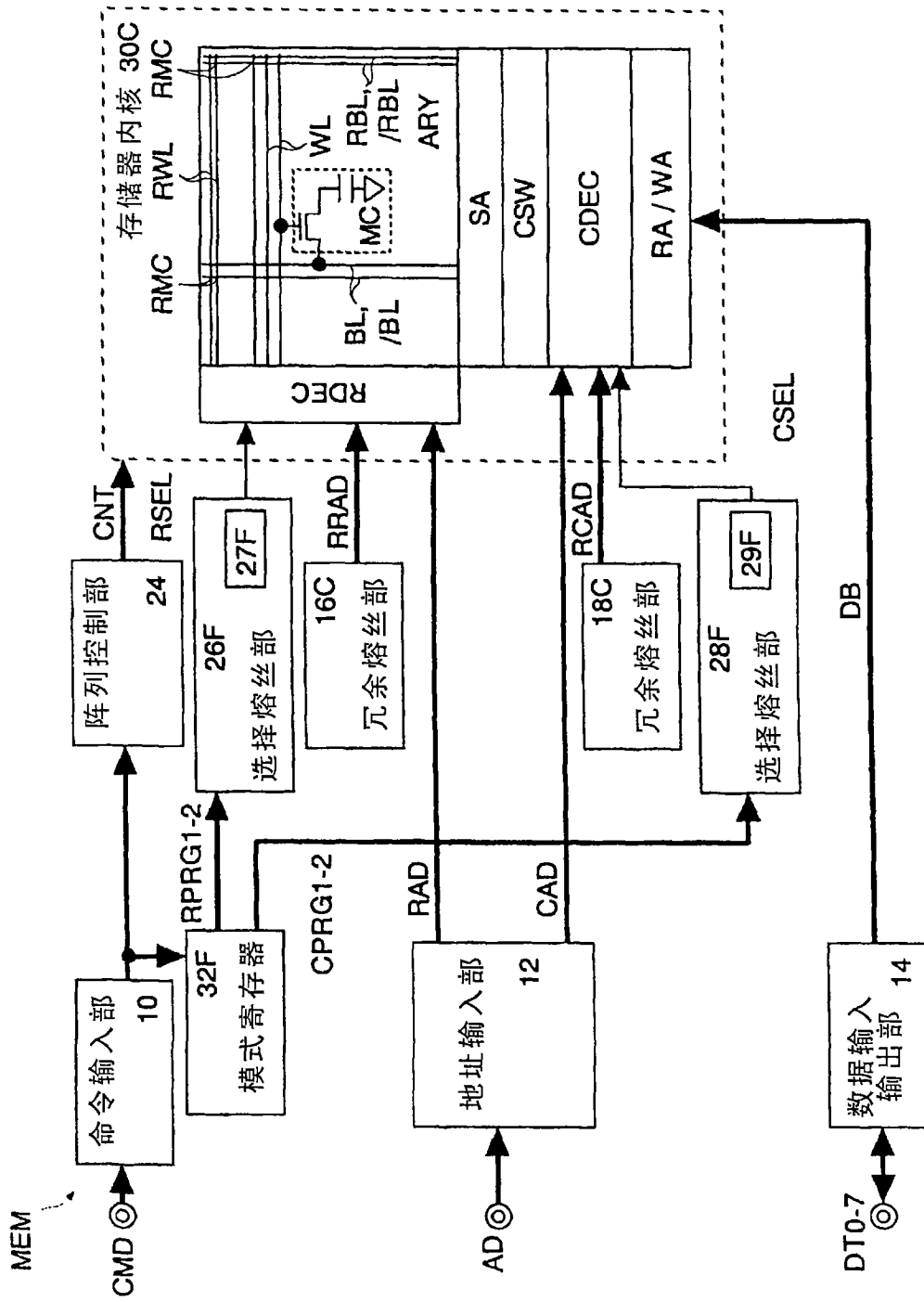


图14