



(12) 发明专利

(10) 授权公告号 CN 103094292 B

(45) 授权公告日 2015. 12. 09

(21) 申请号 201210432093. 6

US 2011/0089311 A1, 2011. 04. 21, 全文.

(22) 申请日 2012. 11. 02

审查员 张权林

(30) 优先权数据

13/288, 880 2011. 11. 03 US

(73) 专利权人 全视科技有限公司

地址 美国加利福尼亚州

(72) 发明人 真锅宗平 顾克强

文森特·韦内齐亚 戴幸志

毛杜立 霍华德·E·罗兹

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 齐杨

(51) Int. Cl.

H01L 27/146(2006. 01)

(56) 对比文件

CN 101641789 A, 2010. 02. 03, 全文.

US 2002/0003611 A1, 2002. 01. 10, 说明书第 2 页第 [0021] 段至第 3 页第 [0041] 段, 图 1-8.

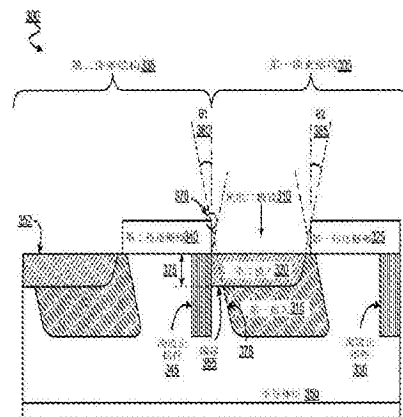
权利要求书3页 说明书13页 附图11页

(54) 发明名称

用于提供图像传感器像素中的经改进全阱容量的方法、设备及系统

(57) 摘要

本申请案涉及用于提供图像传感器像素中的经改进全阱容量的方法、设备及系统。在一实施例中, 所述图像传感器的第一像素结构包含植入区, 其中所述植入区的偏斜对应于植入角度, 且所述图像传感器的第二像素结构包含传送栅极。在另一实施例中, 所述第一像素结构的所述植入区与所述第二像素结构的所述传送栅极的偏移对应于所述植入角度。



1. 一种图像传感器设备,其包括:

像素阵列,其包含:

第一像素结构,其包含:

第一光电二极管,其在半导体层中,所述第一光电二极管包含第一植入区及至少部分地与所述第一植入区重叠的第二植入区,其中所述第二植入区的一部分安置在所述半导体层的表面和所述第一植入区之间;

第一传送栅极,其传送所述第一光电二极管的电荷,所述第一传送栅极毗连所述半导体层的所述表面,其中所述第一植入区根据第一植入角度偏斜以延伸至所述第一传送栅极下方;

第二像素结构,其包含所述半导体层中的第二光电二极管和传送所述第二光电二极管的电荷的第二传送栅极,所述第二传送栅极在所述半导体层的所述表面处毗连所述第二植入区,其中所述第一植入区的边界根据所述第一植入角度与所述第二传送栅极的边沿对准;及

在所述半导体层中的邻近于所述第二植入区的沟道阻挡件,所述沟道阻挡件仅包含掺杂半导体材料,其中所述第二传送栅极至少部分地与所述沟道阻挡件重叠,其中所述第二植入区横跨所述沟道阻挡件与所述第一植入区之间的间隔;其中所述第一像素结构及所述第二像素结构的元件驻留于所述半导体层的区中,且其中所述像素阵列进一步包括一个或多个浅沟槽隔离结构及一个或多个浮动扩散结构,其中所述一个或多个浅沟槽隔离结构及一个或多个浮动扩散结构界定所述半导体层的所述区的周界;及读出电路,其耦合到所述像素阵列,所述读出电路用以基于来自所述像素阵列的信号而产生图像数据。

2. 根据权利要求 1 所述的图像传感器设备,其中所述第一植入区与所述第二传送栅极的所述边沿的对准进一步根据所述第一植入区的离子植入扩散。

3. 根据权利要求 1 所述的图像传感器设备,其中所述第一像素结构及第二像素结构彼此邻近,而在所述第一像素结构与所述第二像素结构之间不具有浅沟槽隔离结构。

4. 根据权利要求 1 所述的图像传感器设备,其进一步包括包含驻留于所述半导体层的所述区外侧的元件的多个像素结构,其中所述多个像素结构与所述第一像素结构及所述第二像素结构共享所述一个或多个浮动扩散结构。

5. 一种像素阵列,其包括:

第一像素结构,其包含:

第一光电二极管,其在半导体层中,所述第一光电二极管包含第一植入区及至少部分地与所述第一植入区重叠的第二植入区,其中其中所述第二植入区的一部分安置在所述半导体层的表面和所述第一植入区之间;及

第一传送栅极,其传送所述第一光电二极管的电荷,所述第一传送栅极毗连所述半导体层的所述表面,其中所述第一植入区根据第一植入角度偏斜以延伸至所述第一传送栅极下方;

第二像素结构,其包含所述半导体层中的第二光电二极管和传送所述第二光电二极管的电荷的第二传送栅极,所述第二传送栅极在所述半导体层的所述表面处毗连所述第二植入区,其中所述第一植入区的边界根据所述第一植入角度与所述第二传送栅极的边沿对准;及

在所述半导体层中的邻近于所述第二植入区的沟道止挡件,所述沟道止挡件仅包含掺杂半导体材料,其中所述第二传送栅极至少部分地与所述沟道止挡件重叠,其中所述第二植入区横跨所述沟道止挡件与所述第一植入区之间的间隔;其中所述第一像素结构及所述第二像素结构的元件驻留于所述半导体层的区中,且其中所述像素阵列进一步包括一个或多个浅沟槽隔离结构及一个或多个浮动扩散结构,其中所述一个或多个浅沟槽隔离结构及一个或多个浮动扩散结构界定所述半导体层的所述区的周界。

6. 根据权利要求 5 所述的像素阵列,其中所述第一植入区与所述第二传送栅极的所述边沿的对准进一步根据所述第一植入区的离子植入扩散。

7. 根据权利要求 5 所述的像素阵列,其中所述第一像素结构及第二像素结构彼此邻近,而在所述第一像素结构与所述第二像素结构之间不具有浅沟槽隔离结构。

8. 根据权利要求 5 所述的像素阵列,其进一步包括包含驻留于所述半导体层的所述区外侧的元件的多个像素结构,其中所述多个像素结构与所述第一像素结构及所述第二像素结构共享所述一个或多个浮动扩散结构。

9. 一种包含设计结构的计算机可读存储媒体,所述设计结构包括:

第一数据,其表示第一像素结构,所述第一像素结构包含:

第一光电二极管,其在半导体层中,所述第一光电二极管包含:

第一植入区及至少部分地与所述第一植入区重叠的第二植入区,其中所述第二植入区的一部分安置在所述半导体层的表面和所述第一植入区之间;及

第一传送栅极,其传送所述第一光电二极管的电荷,所述第一传送栅极毗连所述半导体层的所述表面,其中所述第一植入区根据第一植入角度偏斜以延伸至所述第一传送栅极下方;

第二数据,其表示第二像素结构,所述第二像素结构包含所述半导体层中的第二光电二极管和传送所述第二光电二极管的电荷的第二传送栅极,所述第二传送栅极在所述半导体层的所述表面处毗连所述第二植入区,其中所述第一植入区的边界根据所述第一植入角度与所述第二传送栅极的边沿对准;及

第三数据,其表示在所述半导体层中的邻近于所述第二植入区的沟道止挡件,所述沟道止挡件仅包含掺杂半导体材料,其中所述第二传送栅极至少部分地与所述沟道止挡件重叠,其中所述第二植入区横跨所述沟道止挡件与所述第一植入区之间的间隔;

其中,所述第一像素结构及所述第二像素结构的元件驻留于所述半导体层的区中,且其中所述像素阵列进一步包括一个或多个浅沟槽隔离结构及一个或多个浮动扩散结构,其中所述一个或多个浅沟槽隔离结构及一个或多个浮动扩散结构界定所述半导体层的所述区的周界。

10. 根据权利要求 9 所述的计算机可读存储媒体,其中所述第一植入区与所述第二传送栅极的所述边沿的对准进一步根据所述第一植入区的离子植入扩散。

11. 根据权利要求 9 所述的计算机可读存储媒体,其中所述第二植入区的偏斜对应于第二植入角度。

12. 根据权利要求 9 所述的计算机可读存储媒体,其中所述第一像素结构及第二像素结构彼此邻近,而在所述第一像素结构与所述第二像素结构之间不具有浅沟槽隔离结构。

13. 根据权利要求 9 所述的计算机可读存储媒体,所述设计结构进一步包括表示包含

驻留于所述半导体层的所述区外侧的元件的多个像素结构的数据,其中所述多个像素结构与所述第一像素结构及所述第二像素结构共享所述一个或多个浮动扩散结构。

## 用于提供图像传感器像素中的经改进全阱容量的方法、设备及系统

### 技术领域

[0001] 本发明的实施例大体来说涉及集成电路结构,且更特定来说(但非排他地),涉及用于增加图像传感器中的像素结构的全阱容量的技术。

### 背景技术

[0002] 图像传感器将视觉图像转换成可表示为图片的数字数据。举例来说,数码相机及视频成像装置采用了此些图像传感器。所述图像传感器通常包含像素(用于将视觉图像转换成数字数据的单位集成电路(IC)结构)阵列。举例来说,图像传感器通常包含互补金属氧化物半导体(CMOS)IC元件。

[0003] 近来,已针对背侧照射(“BSI”)设计图像传感器。BSI指代图像传感器中的成像元件的布置,其中将半导体衬底的其上制作有光敏区及其相关联像素与图像处理电路的一侧指定为前侧,而经由衬底的相对表面(或其背侧)接收来自待成像的物件的照射。在BSI图像传感器中,照射是在无来自形成(举例来说)像素单元及相关联互连件的晶体管组件的任何金属或氧化物层的干扰的情况下发生的,从而允许入射电磁能量具有穿过光电二极管的更直接的路径。相比之下,在前侧照射(“FSI”)图像传感器中,来自图像的光在衬底的多晶硅栅极电极、氧化物及金属互连层驻留于其上的侧上射到衬底上,且因此必须谨慎以确保FSI像素单元的光敏区不被多晶硅或金属层覆盖。因此,通常更多的电磁能量可到达BSI配置中的光电二极管,此可改进图像质量。

[0004] IC制作的改进持续减小图像传感器中的组件的大小。因此,连续几代的像素阵列已实施连续变小的IC设计特征,使得某些设计特征现在小于可见光的波长。这些进步已使得CMOS图像传感器(举例来说)能够在相同或更小的IC占用面积内定位越来越大数目的越来越小的像素。随着图像传感器中的组件的大小的减小,更高效地捕获照射其感测阵列的入射光变得越来越重要。也就是说,更高效地捕获入射光有助于维持或改进由这些连续变小的感测阵列捕获的电子图像的质量。为此目的,增加或至少维持个别像素内的光敏面积(例如,与分配给所述像素的总面积相比)已变得越来越重要。

### 发明内容

[0005] 本发明提供一种图像传感器设备,其包括:像素阵列,其包含:第一像素结构,其包含:第一光电二极管,其在半导体层中,所述第一光电二极管包含第一植入区及至少部分地与所述第一植入区重叠的第二植入区,所述第一植入区根据第一植入角度偏斜;及第一传送栅极,其毗连所述半导体层的表面;及第二像素结构,其包含毗连所述半导体层的所述表面的第二传送栅极,其中所述第一植入区的边界根据所述第一植入角度与所述第二传送栅极的边沿对准;及读出电路,其耦合到所述像素阵列,所述读出电路用以基于来自所述像素阵列的信号而产生图像数据。

[0006] 本发明还提供一种像素阵列,其包括:第一像素结构,其包含:第一光电二极管,

其在半导体层中,所述第一光电二极管包含第一植入区及至少部分地与所述第一植入区重叠的第二植入区,其中所述第一植入区根据第一植入角度偏斜;及第一传送栅极,其毗连所述半导体层的表面;及第二像素结构,其包含毗连所述半导体层的所述表面的第二传送栅极,其中所述第一植入区的边界根据所述第一植入角度与所述第二传送栅极的边沿对准。

[0007] 本发明还提供一种包含设计结构的计算机可读存储媒体,所述设计结构包括:第一数据,其表示第一像素结构,所述第一像素结构包含:第一光电二极管,其在半导体层中,所述第一光电二极管包含:第一植入区及至少部分地与所述第一植入区重叠的第二植入区,其中所述第一植入区根据第一植入角度偏斜;及第一传送栅极,其毗连所述半导体层的表面;及第二数据,其表示第二像素结构,所述第二像素结构包含毗连所述半导体层的所述表面的第二传送栅极,其中所述第一植入区的边界根据所述第一植入角度与所述第二传送栅极的边沿对准。

### 附图说明

[0008] 在附图的各图中,以实例的方式而非以限制的方式图解说明本发明的各种实施例,且在附图中:

[0009] 图 1 是图解说明根据一实施例的图像传感器的像素单元的元件的电路图。

[0010] 图 2A 是图解说明常规像素结构的俯视图的布局图。

[0011] 图 2B 是图解说明常规像素结构的横截面视图的横截面图。

[0012] 图 2C 是图解说明像素结构的常规布置的布局图。

[0013] 图 3A 是图解说明根据一实施例的图像传感器的横截面视图的横截面图。

[0014] 图 3B 是图解说明根据一实施例的图像传感器的俯视图的布局图。

[0015] 图 3C 是图解说明根据一实施例的图像传感器的布局图。

[0016] 图 4 是图解说明根据一实施例的图像传感器的俯视图的布局图。

[0017] 图 5A 到 5C 是图解说明根据一实施例的图像传感器的横截面视图的横截面图。

[0018] 图 6 是图解说明根据一实施例的成像系统的框图。

[0019] 图 7 是图解说明根据一实施例的用于设计及制造图像传感器像素阵列的设计流程的元素的框图。

[0020] 图 8 是图解说明根据一实施例的成像阵列内的像素电路的元件的电路图。

### 具体实施方式

[0021] 本文中所述实施例以各种方式提供成像像素的经改进的填充因数(例如,像素的光电二极管区与像素的总占用面积的比率)且/或提供图像传感器中的像素相对于彼此的经改进的对称性。举例来说,某些实施例提供具有自对准组件的图像传感器像素以与根据常规技术实施的像素结构相比减小总体像素大小同时维持大的光电二极管大小及全阱容量。较大的填充因数有助于改进由像素收集的光量,而像素对称性有助于减小固定图案噪声及色彩发暗。固定图案噪声可能由图像传感器的像素阵列中的像素设计变化及/或工艺变化引起。色彩发暗可能由具有不同设计几何形状的像素的不同频率响应引起。可通过由某些实施例以各种方式实施的像素结构来改进填充因数及/或像素对称性。

[0022] 另外或替代地,某些实施例提供与根据常规技术实施的像素结构相对浅沟槽隔

离 (“STI”) 的使用减少的图像传感器像素。为了进一步改进每单位面积像素的数目 (像素密度), 一些实施例包含通常共享的浮动扩散 (FD) 区, 可从所述浮动扩散 (FD) 区感测像素信号且可从所述浮动扩散 (FD) 区复位像素。

[0023] 如本文中所界定, “图像传感器像素” 指代图像传感器的从照射的光学信号产生电信号的单位元件。此外, 如本文中所界定, “图像传感器像素结构” 是包含至少一个图像传感器像素且任选地包含操纵来自所述至少一个图像传感器像素中的任一者的电信号的一个或一个以上额外结构的物理结构。图像传感器像素可包含用以 (举例来说) 结合多种装置 (例如逻辑装置、成像器 (包含 CMOS 及 CCD 成像器) 及存储器 (例如 DRAM 以及基于 NOR 及 NAND 的快闪存储器装置)) 中的任一者进行操作的 IC 结构。举例来说, 这些装置可将晶体管用于多种功能, 包含信号的切换及放大。

[0024] 可通过对硅衬底执行的光刻工艺而在集成电路中形成晶体管。举例来说, 用以形成这些晶体管的工艺可包含例如以下操作: 将光刻抗蚀剂层施加到衬底、使用光 (包含深紫外波长) 将所述抗蚀剂层暴露于图案、通过蚀刻移除光致抗蚀剂的经暴露部分 (或未暴露部分) 及对经暴露结构进行改质 (举例来说, 通过沉积或离子植入额外材料) 以形成电子组件 (包含晶体管) 的各种结构。

[0025] 如本文中所使用, 术语 “衬底” 指代使用半导体材料 (例如, 基于硅、硅 - 锗、锗、砷化镓及 / 或类似材料) 形成的多种衬底中的任一者。衬底层可包含此衬底及由已对所述衬底执行的操作产生的一个或一个以上结构 - 例如, 这些操作在衬底中形成若干区、结及 / 或其它结构。以图解说明而非限制的方式, 这些结构可包含掺杂半导体区及 / 或未掺杂半导体区、硅外延层及形成于衬底上的其它半导体结构中之一者或一者以上。

[0026] 在一实施例中, 可执行化学机械平面化 (CMP) 以使经改质衬底的表面变得适合于形成额外结构。举例来说, 可通过执行额外处理操作 (例如上文所列的那些操作) 来给衬底添加这些额外结构。在一实施例中, 掺杂剂到衬底的选定区中的离子植入可用于通过利用经反向偏置二极管的特性来电隔离安置于衬底内的区。使用填充有电介质的沟槽来实现电隔离的浅沟槽隔离 (STI) 是用于隔离安置于衬底内的区的另一方法。

[0027] 图 1 是根据一实施例的成像传感器的四晶体管 (“4T”) 单位像素单元 100 的电路图。本文中关于说明性 4T 像素单元 100 来论述各种实施例的特征。然而, 这些特征的论述可经扩展以适用于多种额外及 / 或替代像素结构 (例如, 3T 像素、5T 像素及 / 或类似像素) 中的任一者。

[0028] 在一实施例中, 单位像素单元 100 包含光电二极管 (“PD”) 110、传送晶体管 (“TX”) 120、复位晶体管 (“RST”) 130、源极随耦器放大器 (“SF”) 150 及行选择晶体管 (RS) 160。举例来说, TX 120、RST 130、SF 150 及 RS 160 中的每一者可包含源极、漏极及栅极。PD 110 可电耦合到 TX 120 的源极。TX 120 的漏极可在浮动漏极 (“FD”) 140 处耦合到 RST 130 的漏极且耦合到 SF 150 的栅极。SF 150 的漏极可连接到 RS 160 的源极。RS 160 的漏极可连接到列总线 170。RST 130 的源极及 SF 150 的源极可连接到供应电压 V<sub>dd</sub>。

[0029] 当 TX 120 关断时, 可通过复位脉冲接通 RST 130, 且随后可将 FD 140 设定到大约 V<sub>dd</sub> 的电压电平。随后, FD 140 处的电压可由 SF 150 放大 - 举例来说, 当将行选择信号施加到 RS 160 的栅极时。随后, 可将复位电压电平 V<sub>dd</sub> 传送到列总线 170。

[0030] PD 110 可响应于像素单元 100 曝光于电磁能量 (由箭头 180 表示) 而积累电

子 - 例如, 当正在相机上拍摄图像且所述相机的快门打开时。此曝光周期也称为积分周期。在积分周期结束时, 可将传送脉冲信号施加到 TX 120 的栅极以接通 TX 120, 借此允许 PD 110 中所积累的电子 (即, 电荷) 传送到 FD 140。SF 150 可将 FD 140 处的此电荷转换成信号电压。响应于将行选择信号施加到 RS 160 的栅极, 可将 RS 160 处的所积累电压电平传送到列总线 170。在一实施例中, 可在所积累电压电平以及复位电压电平下对列总线 170 上的电压进行取样, 使得可将所积累电压电平与复位电压电平之间的差识别为归因于电磁能量 180 入射于光电二极管 110 上的信号电压。

[0031] 在于第二积分周期期间拍摄另一图像之前, 可对光电二极管 110 自身进行复位。此复位可通过将传送信号施加到 TX 120 的栅极 (例如, 同时将复位信号施加到 RST 130 的栅极) 而发生。因此, 可将 PD 110 复位到大约 Vdd, 此后且像素单元可准备好用于第二积分周期。

[0032] 光电二极管的光敏区将入射电磁能量转换成所积累电子的效率取决于许多因素, 包含光电二极管的全阱容量 (FWC)。FWC 是光电二极管可在其达到饱和之前存储的电子的数目的度量。当达到光电二极管的饱和时, 过剩电子可能溢出到邻近像素。针对 CMOS 传感器, 增加的光电二极管 FWC 可产生更高的动态范围及更高的信噪比, 此最终产生更高质量的数字图像。

[0033] PD 110 中的未由 TX 120 从 PD 110 传送到 FD 140 的任何所积累电荷可在复位之后保持于 PD 110 中且可促成图像滞后 (例如, 归因于剩余电荷从先前积分周期到一个或一个以上后续积分周期及因此后续图像的转入)。除引起图像滞后以外, 在复位之后保持于 PD 110 中的电子可能实际上针对后续积分周期减小光电二极管的全阱容量 (FWC)。各种实施例提供用于改进 FWC 及 / 或减少图像滞后的技术。

[0034] 现在转到图 2A 及 2B, 图 2A 展示常规像素结构的俯视图 (也称作“前侧”视图) 200a, 而图 2B 展示同一像素结构的横截面视图 200b, 横截面视图 200b 是沿着图 2A 中所展示的线 2B-2B' 截取的。

[0035] CMOS 图像传感器中常见的一种类型的光电二极管是钉扎光电二极管。特定来说, 通常使用 p 型半导体衬底、植入到 p 型衬底中的 n 型阱及植入到 n 型阱中的 p+ 层来构造 p-n-p 钉扎光电二极管。此 p+ 层充当 p-n-p 光电二极管中的“引脚”。如从图 2A 中所展示的俯视图可见, 像素结构 200 包含光电二极管 205、传送栅极 215、安置于 p 型浮动漏极阱 225 内的浮动漏极 220 及浅沟槽隔离 (STI) 结构 230。为简单起见, 图 2A 及 2B 中仅展示了像素结构的与传送栅极 215 及光电二极管 205 的部分相关联的某些元件。

[0036] 如在图 2B 中可看出, 像素结构 200 的所述部分进一步包含 p 掺杂衬底或外延生长的层 245 及形成于 p 掺杂衬底或外延生长的层 245 的前侧内的 n 型光电二极管植入物 235。完成所述 p-n-p 结构, p+ 钉扎光电二极管植入层 210 安置于 n 型光电二极管植入层 235 的顶部上。此外, p 型衬底 245 的背侧表面上的 p+ 掺杂层或衬底延伸部 213 用作到 p 型衬底或外延生长的层 245 的触点。

[0037] 在给定光电二极管积分时间期间, 电磁能量入射于像素结构 200 上。STI 230 横向环绕光电二极管 205 且使光电二极管 205 与一个或一个以上邻近光电二极管 (未展示) 电隔离。如先前所提及, 在积分周期之后, 将传送脉冲信号施加到传送栅极 215, 其使光电二极管 205 与浮动漏极 220 及 p 型浮动漏极阱 225 分离。所积累电荷接着沿着衬底 245 的沟



道区 260 从光电二极管 205 行进到浮动漏极 220。P 型浮动漏极阱 225 使 p 型衬底 245 与 n 型浮动漏极 220 隔离,与 p 型衬底 245 相比,n 型浮动漏极 220 具有相对较高的掺杂。

[0038] 电子流动穿过 n 型光电二极管植入区 235 与传送栅极 215 的重叠部及由传送栅极 215 产生的作用沟道 260 (在传送栅极 215 下方)。传送栅极 215 与 n 型光电二极管植入区 235 之间的重叠区促进电子的输送。如果重叠区太小或不存在重叠,那么难以从光电二极管 205 移除大致所有电子,此产生图像滞后。传送栅极 215 的重叠减小光电二极管 205 的表面区,此又减小光电二极管区 205 的光收集区。

[0039] 图 2C 图解说明在类型上类似于图 2A 及 2B 中所展示的像素结构的像素结构的常规布置 250。如本文中所论述,布置 250 图解说明与某些实施例的图像传感器架构相比先前图像传感器架构的各种缺点。

[0040] 布置 250 包含像素对 255a、255b、255c。图 2C 图解说明共享像素架构中的常规传送栅极设计。更特定来说,像素对 255a、255b、255c 各自包含共享的相应浮动漏极—例如,其中像素对 255a 的传送栅极 265a、275a 两者均耦合到浮动漏极 280a,其中像素对 255b 的传送栅极 265b、275b 两者均耦合到浮动漏极 280b,且其中像素对 255c 的传送栅极 265c、275c 两者均耦合到浮动漏极 280c。

[0041] 跨越像素对 255a、255b、255c 中的像素的设计变化可产生所述像素的相应填充因数的变化。举例来说,像素对 255a 的经暴露光电二极管区 260a 与栅极区 265a (或经暴露光电二极管区 270a 与栅极区 275a) 的比率可大致大于像素对 255b 的经暴露光电二极管区 260b 与栅极区 265b (或经暴露光电二极管区 270b 与栅极区 275b) 的比率。

[0042] 另外,举例来说,设计规则通常决定邻近传送栅极之间的最小空间、从传送栅极到光电二极管的最近边缘的最小距离、传送栅极触点的放置及 / 或倾向于减小像素中的填充因数的类似性质。举例来说,根据常规技术的设计规则可能需要像素对之间的横向间隔。为了图解说明,相对于像素对 255c 来展示像素对 255b,其中像素对 255b 的传送栅极区 265b、275b 与像素对 255c 的光电二极管 260c、270c 横向分离。通常,通过包含于像素对 255b、255c 的像素结构中或安置于其之间的一个或一个以上 STI 区来进行此横向分离。如视图 200a 中所展示,常规像素包含用以沿着水平行的像素以及在垂直列中的像素之间分离邻近光敏区的 STI 区。

[0043] 尽管传送栅极对 265a、275a (或者传送栅极对 265b、275b 或传送栅极对 265c、275c) 存在视在镜像对称性,但传送栅极 265b、265c 的对角边缘具有为第一 (例如,“正”) 大体定向的相应斜率,而传送栅极 275b、275c 的对角边缘具有为相反 (例如,“负”) 大体定向的相应斜率。此外,像素设计几何形状的变化 (例如,为了适应光电二极管区 260a 对红色光的感测、光电二极管区 260c 及光电二极管区 270b 对绿色光的感测以及光电二极管区 270c 对蓝色光的感测) 可导致传送栅极 265b、265c、275b、275c 的对角边缘具有在像素对内及 / 或之间变化的斜率。在色彩处理期间,叠加来自每一组绿色、红色及蓝色光电二极管的经取样值 (举例来说,以产生图像的每一像素的 RGB 像素值)。然而,所述实例中的光电二极管中的不同传送栅极定向通常产生具有偏斜色彩的图像。因此,叠加色彩可在图像中产生色彩发暗、固定图案噪声及 / 或其它不平衡。因此,布置 250 中的此不对称性可影响正由其产生的图像数据的质量。

[0044] 图 3A 图解说明根据一实施例的图像传感器 300 的某些元件。本文中的各图并未

按比例绘制,除非另有指示。举例来说,图像传感器 300 可产生或以其它方式提供数字照片及 / 或数字视频的图像数据。在一实施例中,图像传感器 300 包含其中及 / 或其上安置有相应图像感测像素的各种结构的半导体层 350。举例来说,半导体层 350 可包含半导体材料(例如 p 型衬底 245 的半导体材料),但某些实施例在这方面并不受限制。

[0045] 以图解说明而非限制的方式,图像传感器 300 可包含第一像素结构 305 及第二像素结构 335。根据各种实施例,图像传感器 300 可包含多种额外及 / 或替代像素结构中的任一者。半导体层 350 可包含第一像素结构 305 的第一沟道止挡件 330 及第二像素结构 335 的第二沟道止挡件 345。沟道止挡件 330、345 可各自包括相应植入区以减少邻近像素结构之间的信号串扰。

[0046] 虽然用于减少信号串扰的沟道止挡件的特定性质可根据不同实施例的实施方案细节而变化,但沟道止挡件 330、345 中的任一者或两者可(举例来说)由被 p 型掺杂到  $10^{15}$  原子/cc 到  $10^{18}$  原子/cc 的浓度范围内及 / 或从  $0.1 \mu\text{m}$  到  $1.0 \mu\text{m}$  的深度范围内的半导体材料构成。然而,这些性质仅仅为说明性且不对某些实施例形成限制。

[0047] 在一实施例中,沟道止挡件 330、345 中的任一者或两者仅包含掺杂半导体材料-例如,允许第一像素结构 305 的结构及第二像素结构 335 的结构彼此毗连而无任何将其分离的 STI 结构。

[0048] 在一实施例中,图像传感器 300 包含第一像素结构 305 的第一传送栅极 325 及第二像素结构 335 的第二传送栅极 340-例如,传送栅极 325、340 毗连半导体层 350 的表面 352。举例来说,传送栅极 325、340 中的任一者或两者可实施对应于传送栅极 215 的功能性的功能性。传送栅极 325、340 中的任一者或两者可包含相应组件结构(未展示),例如栅极氧化物、栅极电极及 / 或类似结构。传送栅极 325、340 可分别至少部分地与沟道止挡件 330、345 重叠。

[0049] 第一像素结构 305 可包含具有在半导体层 350 中的第一植入区 315 的光电二极管 310。举例来说,第一植入区 315 的功能性可对应于 N 型层 235 的功能性。在一实施例中,第一植入区 315 包含 N 型光电二极管层,但某些实施例在这方面并不受限制。可通过将表面 352 的一区的至少一部分暴露于离子植入来形成第一植入区 315-例如,其中表面 352 的所述区在第一传送栅极 325 与第二传送栅极 340 之间。在一实施例中,第一植入区 315 在半导体层 350 内偏斜-例如,其中所述偏斜对应于成角度离子植入工艺的第一角度  $\theta_1$  360。第一角度  $\theta_1$  360 可与表面 352 斜交。举例来说,第一植入区 315 的某一部分(例如,在第一光电二极管 310 的第二植入区 320 下方的至少一部分)可具有随着在半导体层 350 中的深度的增加而沿朝向第一传送栅极 325 的方向成角度的大体长菱形轮廓。

[0050] 光电二极管 310 可进一步包含在半导体层 350 中的第二植入区 320-例如,其中第二植入区 320 至少部分地与第一植入区 315 重叠。举例来说,第二植入区 320 的功能性可对应于 P+ 钉扎层 210 的功能性。在一实施例中,第二植入区 320 包含 P+ 钉扎层,但某些实施例在这方面并不受限制。也可通过将表面 352 的一区的至少某一部分(例如,表面 352 的同一区的在第一传送栅极 325 与第二传送栅极 340 之间的一部分)暴露于另一离子植入来形成第二植入区 320。在一实施例中,第二植入区 320 也在半导体层 350 内偏斜-例如,其中第二植入区 320 的偏斜对应于成角度离子植入工艺的第二角度  $\theta_2$  365。举例来说,第二角度  $\theta_2$  365 可与表面 352 斜交。

[0051] 图像传感器 300 的各种尺寸可根据不同实施例的实施方案细节而变化。举例来说,在一实施例中,传送栅极 325、340 与彼此的间距可在  $0.75\ \mu\text{m}$  与  $3.0\ \mu\text{m}$  之间。另外或替代地,举例来说,第一植入区 315 可与第一传送栅极 325 重叠  $0.01\ \mu\text{m}$  到  $0.5\ \mu\text{m}$ 。另外或替代地,举例来说,第一植入区 315 可在表面 352 下方延伸到  $0.5\ \mu\text{m}$  到  $2.0\ \mu\text{m}$  的深度。另外或替代地,举例来说,第二植入区 320 可在表面 352 下方延伸到  $0.1\ \mu\text{m}$  到  $0.25\ \mu\text{m}$  的深度。在一实施例中,第一植入角度  $\theta_1$  360 可在  $30^\circ$  到  $60^\circ$  的范围内,且 / 或第二植入角度  $\theta_2$  365 可 (举例来说) 沿与第一植入角度  $\theta_1$  360 的方向相反的方向在  $30^\circ$  到  $60^\circ$  的范围内。然而,这些尺寸仅仅为说明性且并不对某些实施例形成限制。

[0052] 在一实施例中,第二传送栅极 340 的边沿 370 界定表面 352 的暴露于成第一植入角度  $\theta_1$  360 的离子植入的所述部分的边缘。边沿 370 可包含或以其它方式由位于表面 352 上方给定高度处的一个或一个以上弯曲及 / 或线性边缘部分确定。因此,第一植入层 315 的边界可至少部分地由边沿 370 的高度及 / 或形状确定。举例来说,第一植入层 315 的边界 378 可至少部分地沿循包含边沿 370 且与表面 352 斜交成第一角度  $\theta_1$  360 的平面。如图 3B 中所展示,边界 378 可平行于边沿 370 延续,其中边界 378 的边缘沿在表面 352 上的方向与第二传送栅极 340 的侧成偏移 355。在此意义上,可以称第一植入区 315 (例如,其边界 378) 根据第一角度  $\theta_1$  360 与边沿 370 对准,其中边界 378 也根据所述同一第一角度  $\theta_1$  360 在半导体层 350 中偏斜。

[0053] 在某些实施例中,边界 378 的至少某一部分可沿循包含边沿 370 的平面同时也与此平面偏移,例如,其中与半导体层 350 及第一植入层 315 相关联的植入离子扩散特性已导致边界 378 的所述部分与所述平面偏移。在此意义上,可进一步称第一植入区 315 与边沿 370 的对准是根据第一植入区的植入离子扩散。

[0054] 在一实施例中,在第一植入区 315 之后将第二植入区 320 植入到半导体层 350 中。举例来说,第二植入区 320 可从表面 352 延伸到深度 375。深度 375、边沿 370 的高度及第一植入角度  $\theta_1$  360 的几何结构可确定第二传送栅极 340 的一侧与第一植入区 315 的最近边缘的偏移 355—例如,沿平行于表面 352 的方向的偏移 355。举例来说,偏移 355 可对应于第一植入角度  $\theta_1$  360 及深度 375 与边沿 370 的高度的和—例如,根据下式:

[0055] (1) 偏移 355  $\approx [\tan(\theta_1)][(\text{边沿 } 370 \text{ 的高度})+(\text{深度 } 375)]$

[0056] 在一实施例中,第一植入区 315 的边界 (其界定针对光电二极管操作展现非线性电性质的区) 中的一者或一者以上可比图 3A 中所展示的稍微理想化的线性边界更弯曲及 / 或与所述线性边界偏移。举例来说,这些弯曲及 / 或偏移边界可归因于所植入的离子根据第一植入区 315 中的掺杂浓度、半导体层 350 的掺杂性质及 / 或类似性质而在半导体层 350 中扩散。确实,某些实施例依赖于第一植入区 315 的此扩散而与第一传送栅极 325 的底部直接接触。不过,在一实施例中,这些弯曲 / 偏移边界可展现第一植入角度  $\theta_1$  360 特有的偏斜。然而,因此,偏移 355 可从方程式 (1) 变化—例如,其中偏移 355 小了对应于光电二极管 310 的离子扩散性质的某一量  $\epsilon$ 。在一实施例中,偏移 355 在  $0.05\ \mu\text{m}$  到  $0.5\ \mu\text{m}$  的范围内。

[0057] 在一实施例中,第一传送栅极 325 可界定表面 352 的暴露于成第一植入角度  $\theta_1$  360 的离子植入的所述部分的另一边缘。因此,第一传送栅极 325 可确定第一传送栅极 325 与第一植入区 315 重叠的程度。举例来说,此重叠将有别于第一植入区 315 可与第一传送

栅极 325 的底部直接接触的程度。在一实施例中,第一传送栅极 325 对第一植入区 315 的重叠可对应于第一植入角度  $\theta_1$  360 及第一植入区 315 在表面 352 下方延伸到的深度。

[0058] 在一实施例中,第二植入层 320 可横跨偏移 355- 例如,其中第二植入层 320 从第一植入区 315 的边缘延伸到沟道止挡件 345。另外或替代地,第一传送栅极 325 的边沿界定表面 352 的暴露于成第二植入角度  $\theta_2$  365 的离子植入的所述部分的边缘。因此,第一传送栅极 325 的边沿的高度与第二植入角度  $\theta_2$  365 可至少部分地确定第一传送栅极 325 的一侧与第二植入区 320 的最近边缘的对应偏移 - 例如,沿平行于表面 352 的方向的偏移。

[0059] 图 3B 图解说明图 3A 中所展示的图像传感器 300 的俯视图。在图 3B 中,第一像素结构 305 的第一传送栅极 325 与第二像素结构 335 的第二植入区 320 界定半导体层 350 的一区的相应边缘。第一植入区 315 及第二植入区 320 可各自至少部分地驻留于半导体层 350 的此区中。如本文中所论述,第一植入区 315 的最近边缘与第二传送栅极 340 的一侧的偏移 355 可对应于与第一植入区 315 相关联的植入角度 - 例如,其中第一植入区 315 的偏斜对应于所述植入角度。在一实施例中,第二植入区 320 可横跨偏移 355- 例如,其中第二植入区 320 在第一植入区 315 与第二像素结构 335 的沟道止挡件 354 之间延伸。

[0060] 在一实施例中,边沿 370 提供第一植入区 315 的边界与第二传送栅极 340 的自对准 - 例如,其中此边界以与第二传送栅极 340 的一致偏移 355 平行于边沿 370 延续。通过使用边沿 370 作为此对准的基础,偏移 355 可接近最小值 - 允许光电二极管 310 的占用面积增加且以较佳的 FWC 进行改进的操作。

[0061] 图 3C 图解说明包含对应于图 3A 及 3B 中所展示的类型的一个或一个以上像素结构的图像传感器 380 的元件。在图像传感器 380 中,四个像素结构包含相应传送栅极 390a、390b、390c、390d 以及相应光电二极管 395a、395b、395c、395d。根据各种实施例,图像传感器 380 可包含多种额外或替代像素结构中的任一者。为清晰起见,未展示图像传感器 380 中的像素结构的各种额外组件。在一实施例中,传送栅极 390a、390b、390c、390d 以各种方式促进分别由光电二极管 395a、395b、395c、395d 积累的电荷的交换。为了促进这些交换,传送栅极 390a、390c 可共享到浮动扩散部 395x 的连接,且传送栅极 390b、390d 可共享到浮动扩散部 395y 的连接。可容易看出与图 2C 中所展示的传送栅极相比传送栅极 390a、390b、390c、390d 的增加的对称性。

[0062] 此外,图像传感器 380 的架构允许毗连像素结构的传送栅极之间的所有或几乎所有区域均被光电二极管的植入区所占据,且 / 或允许消除原本可能分离邻近像素结构的 STI 结构。横向间隔开的像素元件之间的 STI 结构的消除允许增加的填充因数。

[0063] 在一实施例中,多个像素结构的元件驻留于半导体层的一区内,其中一个或一个以上 STI 结构及一个或一个以上浮动扩散结构界定所述半导体层的所述区的周界。此多个像素结构可进一步包含安置于所述区上的一个或一个以上组件元件 - 例如,包含毗连半导体层的表面的一个或一个以上传送栅极。

[0064] 举例来说,半导体层的由一个或一个以上 STI 结构及一个或一个以上浮动扩散结构定界的区可包含彼此不由任何 STI 结构分离的不同相应像素结构的元件。在一实施例中,具有在半导体层的所述区内的元件的多个像素结构可与驻留于半导体层的所述区外侧的一个或一个以上像素结构共享一个或一个以上浮动扩散结构。

[0065] 以图解说明而非限制的方式,图 4 中展示根据一个实施例的像素阵列结构 400。图

4 中展示图解说明像素阵列结构 400 的 3 个像素元件的部分的俯视图,其中群组(例如,行)中的每一像素具有单个光电二极管、单个沟道止挡件、单个传送栅极及每像素共享的浮动扩散部。图 4 图解说明具有光电二极管区 460 的第一像素元件 401,其中 STI 隔离区 410 沿着第一光电二极管区 460 的侧中的三者安置,而第一传送栅极 420 及第一沟道止挡件 430 沿着第一光电二极管区 460 的第四侧布置。第一传送栅极 420 具有一个相关联的第一浮动扩散部 450。第一浮动扩散区 450 安置于垂直邻近的传送栅极 420(在像素行 400 下方的像素元件行中且未展示)之间且可如上文关于图 3C 所论述而加以共享。如较早所描述,在成像期间,在光电二极管中产生及收集的光电子在传送栅极下方传送到浮动扩散区。沟道止挡件防止邻近像素元件之间的信号载流子交换(串扰)。

[0066] 图 4 还图解说明具有第二光电二极管区 460 的第二像素元件 402,第二光电二极管区 460 具有沿着第二光电二极管区 460 的侧中的两者的 STI 隔离区 410。第二传送栅极 420 及沟道止挡件 430 沿着第二光电二极管区 460 的第三侧布置。在第二像素元件 402 的第四侧上,所述第二光电二极管区邻近于第一像素元件的第一传送栅极 420 及第一沟道止挡件而布置。第二传送栅极 420 具有一个相关联的第二浮动扩散部 450。第二浮动扩散区 450 安置于垂直邻近的传送栅极 420(在像素行 400 下方的像素元件行中且未展示)之间且可如上文关于图 3C 所论述而加以共享。

[0067] 图 4 还图解说明具有第三光电二极管区 460、第三传送栅极 420 及第三沟道止挡件 430 的第三像素元件 403。STI 隔离区 410 沿着第三像素元件 403 的侧中的三者伸展,而在第三像素元件的第四侧上,第三光电二极管区 460 沿着第二像素元件的与第三像素元件共有的侧而邻近于第二像素元件的第二传送栅极 420 及第二沟道止挡件 430 布置。第三传送栅极 420 具有一个相关联的第三浮动扩散部 450。第三浮动扩散区 450 安置于垂直邻近的传送栅极 420(在像素行 400 下方的像素元件行中且未展示)之间且可如上文关于图 3C 所论述而加以共享。下文论述图 4 中所图解说明的横截面视图线 A-A'、B-B' 及 C-C'。

[0068] 图 5A 图解说明图 4 的第一横截面视图 500(视图 A-A')。如所图解说明,像素元件 401、402 及 403 中的每一者含有具有在传送栅极 420 下方延伸的一部分的光电二极管区 460 及具有在传送栅极 420 下方延伸的一部分的沟道止挡件区 430 及在光电二极管区 460 上方的 p 型植入区 440(钉扎植入)以及 STI 区 410。某些实施例以各种方式提供 p 型钉扎区植入 440 及 n 型光电二极管植入 460 两者与传送栅极 420 的自对准 - 例如,经由成角度离子植入的使用。举例来说,多晶硅传送栅极 420 的电极可具有足够厚度使得其高度充当对各种所图解说明的离子植入(例如,用于 p 型植入区 440 的植入)的阴影掩模。使用成角度离子植入来形成光电二极管区 460 与相应传送栅极 420 的相对边缘的偏移有助于实施本文中所揭示的高效光电二极管结构。

[0069] 图 5B 图解说明图 4 的第二横截面视图 510(视图 B-B')。如所图解说明,横截面视图 510 展示由 p 型钉扎区 440 覆盖的 n 型光电二极管区 460 及任一侧上的两个 STI 区 410。在一实施例中,光电二极管区 440、460 占据 p 型掺杂衬底(或 p 型阱)。

[0070] 图 5C 图解说明图 4 的第三横截面视图 520(视图 C-C')。如所图解说明,横截面视图 520 展示一端处具有 STI 隔离区 410 且另一端处具有浮动扩散部 450 的 p 型阱/沟道区上方的传送栅极电极 420。当激活传送栅极 420 时,已在光电二极管区中收集的电子被传送到浮动扩散区 450。传送路径涉及直角路径而非标准传送晶体管独有的直通式路径。

[0071] 图6图解说明根据一实施例的成像系统600的元件。成像系统600可包含光学器件601(例如,折射、衍射及/或反射光学元件的多种组合中的任一者)及耦合到其的图像传感器602。在一实施例中,光学器件601可将图像聚焦到图像传感器602的像素阵列604中的像素上。像素阵列604可捕获所述图像以供成像系统600的其它电路进行处理-例如,以产生表示所述图像的像素数据。

[0072] 举例来说,图像传感器602可包括像素阵列604及耦合到其的信号读取与处理电路610。在一个实施例中,图像传感器602是背侧照射(BSI)图像传感器,其包含具有布置成行606及列608的多个像素的像素阵列604。或者,图像传感器602可为前侧照射(FSI)图像传感器或组合BSI与FSI的图像传感器。在一个实施例中,像素阵列604中的像素中的一者或一者以上可包括例如图4及5A到5C中所展示的布置的布置。另外或替代地,像素阵列604中的一个或一个以上像素可包括本文中所论述的各种其它像素结构布置中的任一者。像素阵列604仅仅为说明性的且并不对某些实施例形成限制。以图解说明而非限制的方式,像素阵列604可具有多种额外或替代行及/或列中的任一者。

[0073] 在像素阵列604捕获图像的操作期间,像素阵列604中的像素可在某一曝光周期期间捕获入射光(即,光子)且将所收集的光子转换成电荷。可将由此些像素中的一者产生的电荷读出为模拟信号-例如,其中所述模拟信号的特性(例如,其电荷、电压或电流)可表示在所述曝光周期期间入射于所述像素上的光的强度。

[0074] 此外,在不同实施例中,像素阵列604可包含彩色图像传感器(例如,包含经设计以捕获在光谱的可见部分中的图像的红色、绿色及蓝色像素)、黑白图像传感器及/或经设计以捕获在光谱的不可见部分(例如红外或紫外)中的图像的图像传感器。

[0075] 图像传感器602可包含信号读取与处理电路610。除其它之外,电路610可包含有条理地从每一像素读取模拟信号、对这些信号进行滤波、校正有缺陷的像素等等的电路及逻辑。在其中电路610仅执行一些读取与处理功能的实施例中,所述功能的剩余部分可由成像系统600的一个或一个以上其它组件(例如信号调节器612或数字信号处理器(DSP)616)执行。虽然展示为与像素阵列604分离的元件,但在一些实施例中读取与处理电路610可与像素阵列604一起集成于同一衬底上或可包括嵌入于像素阵列内的电路及逻辑。然而,在其它实施例中,读取与处理电路610可为在像素阵列604外部的元件。在又一些实施例中,读取与处理电路610可为不仅在像素阵列604外部而且在图像传感器602外部的元件。

[0076] 成像系统600可包含用以接收及调节来自像素阵列604及/或读取与处理电路610的模拟信号的信号调节器612-例如,耦合到图像传感器602。在不同实施例中,信号调节器612可包含用于调节模拟信号的各种组件。可存在于信号调节器612中的组件的实例包含滤波器、放大器、偏移电路、自动增益控制件等。在其中信号调节器612仅包含这些元件中的一些元件且仅执行一些调节功能的实施例中,剩余功能可由一个或一个以上其它组件(例如电路610或DSP 616)执行。在一实施例中,模/数转换器(ADC)614可耦合到信号调节器612以从信号调节器612接收经调节模拟信号(例如,对应于像素阵列604中的每一像素的经调节信号)并将这些模拟信号转换成数字值。

[0077] 成像系统600可包含用以从ADC 614接收经数字化像素数据并处理所述数字数据以产生最终数字图像的DSP 616-例如,耦合到模/数转换器614。举例来说,DSP 616可包

含处理器及内部存储器（未展示），DSP 616 可在所述内部存储器中存储及检索数据。在由 DSP 616 处理图像之后，可将所述图像输出到存储单元 618（例如快闪存储器或者光学或磁性存储单元）及显示单元 620（例如 LCD 屏幕）中的一者或两者。

[0078] 图 7 展示根据本发明的用于例如半导体设计以及图像传感器像素阵列及半导体电路的制造中的示范性设计流程 700 的框图。设计结构 720 可包含到设计过程 710 的输入，其中设计结构 720 包括以简图或硬件描述语言（HDL；例如，Verilog、VHDL、C 等）的形式描述根据一实施例（例如，图 3A 到 3C、4 及 5A 到 5C 中的任一者所展示的实施例）的结构的数据。设计结构 720 可为本发明的实施例（例如，如图 3A 到 3C、4 及 5A 到 5C 中的一些或所有图中所展示）的文本文件或图形表示。

[0079] 可提供包含设计结构的机器可读存储媒体。举例来说，所述设计结构可包含表示第一像素结构的第一数据，所述第一像素结构包含在半导体层中的第一光电二极管，所述第一光电二极管具有第一植入区，其中所述第一植入区的偏斜对应于第一植入角度。表示第一像素结构的第一数据可进一步表示至少部分地与第一植入区重叠的第二植入区及毗连半导体层的表面的第一传送栅极两者。所述设计结构可进一步包含表示第二像素结构的第二数据，所述第二像素结构包含毗连半导体层的表面的第二传送栅极，其中第一植入区与第二传送栅极的偏移对应于第一植入角度及第二传送栅极的高度与第二植入区的厚度的和。由设计结构的数据中的每一者表示的物理结构可为上文所描述的物理结构。

[0080] 设计过程 710 优选地将本发明的实施例（例如，如图 3A 到 3C、4 及 5A 到 5C 中的一些或所有图中所展示）合成（或转变）为网表 780，其中举例来说，网表 780 为导线、晶体管、逻辑门、控制电路、I/O、模型等的列表（其描述到集成电路设计中的其它元件及电路的连接）且记录于至少一个机器可读媒体上。举例来说，所述媒体可为 CD、紧凑快闪、其它快闪存储器、将经由因特网或其它连网适合手段发送的数据包。所述合成可为其中取决于电路的设计规范及参数而一次或一次以上地重新合成网表 780 的反复过程。

[0081] 设计过程 710 可包含使用多种输入；举例来说，来自以下各项的输入：可装用于给定制造技术（例如，不同技术节点，例如 32nm、45nm 及 90nm 等）的一组常用元件、电路及装置（包含模型、布局及符号表示）的库元素 730、设计规范 740、表征数据 750、检验数据 760、设计规则 770 及测试数据文件 785（举例来说，其可包含标准电路设计过程，例如定时分析、检验、设计规则检查、布局布线操作等）。集成电路设计领域的技术人员可了解在不背离本发明的范围及精神的情况下在设计过程 710 中使用的可能电子设计自动化工具及应用程序的广度。

[0082] 设计过程 710 优选地将本发明的实施例（例如，如图 3A 到 3C、4 及 5A 到 5C 中的一些或所有图中所展示）连同任何额外集成电路设计或数据（如果适用）一起转变为第二设计结构 790。设计结构 790 以用于集成电路的布局数据的交换的数据格式及 / 或符号数据格式（例如，以 GDSII (GDS2)、GL1、OASIS、映射文件存储的信息或用于存储此些设计结构的任何其它适合格式）驻留于存储媒体上。设计结构 790 可包括例如以下的信息：符号数据、映射文件、测试数据文件、设计内容文件、制造数据、布局参数、导线、金属等级、通孔、形状、用于贯穿制造线的布线的的数据及半导体制造商生产如图 4 到 5 中所展示的本发明实施例中的一者所需的任何其它数据。设计结构 790 可接着继续进行到阶段 795，举例来说，在所述阶段中设计结构 790 继续进行到下线、交付到制造、交付到掩模室、发送到另一设计

室、送回到客户等。

[0083] 图 8 是图解说明根据本发明的实施例的成像阵列内的两个四晶体管 (“4T”) 像素的像素电路 800 的电路图。像素电路 800 仅仅为用于实施图 4 的像素阵列 400 内的像素的一个可能像素电路架构。然而,应了解,某些实施例并不限于 4T 像素架构;而是,可使用 5T 设计及各种其它像素架构。

[0084] 在图 8 中,像素 Pa 及 Pb 布置成一行及两列。举例来说,包括像素 Pa 及 Pb 的成像阵列可含有数百个行及列。每一成像像素电路 800 的所图解说明实施例包含光电二极管 PD、传送晶体管 T1、复位晶体管 T2、源极随耦器 (“SF”) 晶体管 T3 及选择晶体管 T4。在操作期间,传送晶体管 T1 接收传送信号 TX,所述传送信号 TX 将在光电二极管 PD 中积累的电荷传送到浮动扩散节点 FD。

[0085] 复位晶体管 T2 耦合在电源导轨 VDD 与浮动扩散节点 FD 之间以在复位信号 RST 的控制下进行复位(例如,将 FD 放电或充电到预设电压)。浮动扩散节点 FD 耦合到 SF 晶体管 T3 的栅极。SF 晶体管 T3 耦合在电源导轨 VDD 与选择晶体管 T4 之间。SF 晶体管 T3 作为从浮动扩散部 FD 提供高阻抗输出的源极随耦器而操作。最后,选择晶体管 T4 在选择信号 SEL 的控制下选择性地将成像像素电路 800 的输出耦合到读出列线。在一个实施例中, TX 信号、RST 信号及 SEL 信号均由控制电路产生。可借助于金属互连层在成像像素电路 800 中路由 TX 信号、RST 信号、SEL 信号、VDD 及接地。在一个实施例中,可借助于金属互连层如图 8 中所展示来连接晶体管 T1、T2、T3 及 T4、光电二极管 PD 以及浮动扩散节点 FD。

[0086] 本文中描述用于提供图像感测结构的技术及架构。在以上描述中,出于解释的目的,阐述众多特定细节以提供对某些实施例的透彻理解。然而,所属领域的技术人员将明了,可在没有这些特定细节的情况下实践某些实施例。在其它实例中,以框图形式展示了若干结构及装置以避免使描述模糊。

[0087] 在本说明书中对“一个实施例”或“一实施例”的提及意指结合所述实施例所描述的特定特征、结构或特性包含于本发明的至少一个实施例中。在本说明书中的各个位置中短语“在一个实施例中”的出现未必全部指代同一实施例。

[0088] 本文中的详细描述的一些部分是就算法及对计算机存储器内的数据位的操作的符号表示的方面而呈现。这些算法描述及表示是计算领域的技术人员用来最有效地向所属领域的其它技术人员传达其工作实质的手段。本文且一般来说将算法设想为能达到所要结果的自相容的步骤序列。所述步骤是需要对物理数量进行物理操纵的步骤。通常(但未必),这些量采取能够存储、传送、组合、比较及以其它方式进行操纵的电信号或磁信号的形式。已证明,主要出于常用的原因,将这些信号称作位、值、元素、符号、字符、项、数字或类似物有时较为方便。

[0089] 然而,应记住,所有这些术语及类似术语将与适当的物理数量相关联,且仅仅为应用于这些物理数量的方便标记。除非从本文中的论述显而易见另有具体陈述,否则应了解,在本描述通篇中,利用例如“处理”或“计算”或“运算”或“确定”或“显示”或类似词语的术语进行的论述指代计算机系统或类似电子计算装置的如下动作及过程:将在计算机系统的寄存器及存储器内的表示为物理(电子)数量的数据操纵且转换成在计算机系统存储器或寄存器或其它此类信息存储、传输或显示装置内类似地表示为物理数量的其它数据。

[0090] 某些实施例还涉及用于执行本文中的操作的设备。此设备可专门针对所需目的而



构造,或其可包括通用计算机,所述通用计算机由存储于所述计算机中的计算机程序来选择性地激活或重新配置。此计算机程序可存储于计算机可读存储媒体中,例如,但不限于:包含软盘、光盘、CD-ROM 及磁光盘的任何类型的磁盘、只读存储器 (ROM)、随机存取存储器 (RAM) (例如,动态 RAM (DRAM))、EPROM、EEPROM、磁性或光学卡或者适合于存储电子指令且耦合到计算机系统总线的任何类型的媒体。

[0091] 本文中呈现的算法及显示并非与任何特定计算机或其它设备固有地相关。各种通用系统可与根据本文中的教示的程序一起使用,或者可证明便于构造用以执行所需方法步骤的更专门化设备。依据本文中的描述将显露多种这些系统的所需结构。另外,某些实施例并非参考任何特定程序设计语言进行描述的。将了解,可使用多种程序设计语言来实施如本文中所描述的此些实施例的教示。

[0092] 除本文中所描述的内容之外,还可对所揭示的本文实施例及实施方案做出各种修改而不背离所述实施例的范围。因此,本文中的图解说明及实例应理解为说明性意义而非限制性意义。本发明的范围应仅参考以上权利要求书来衡量。

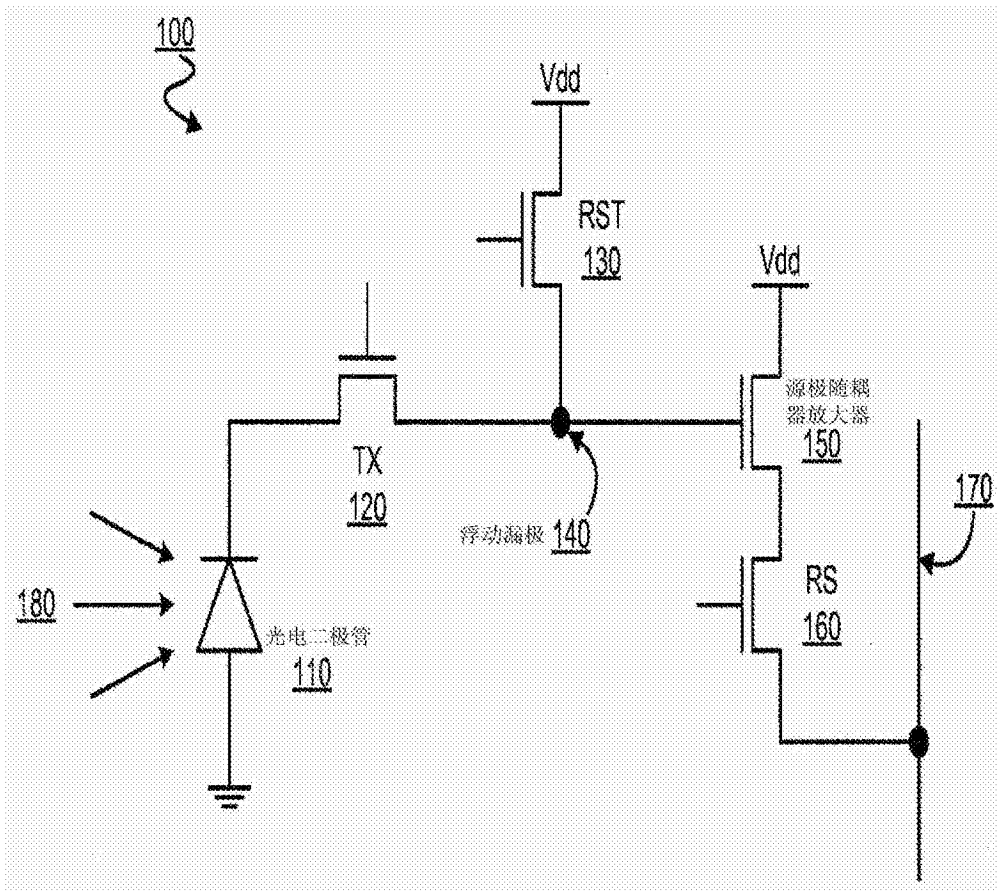


图 1

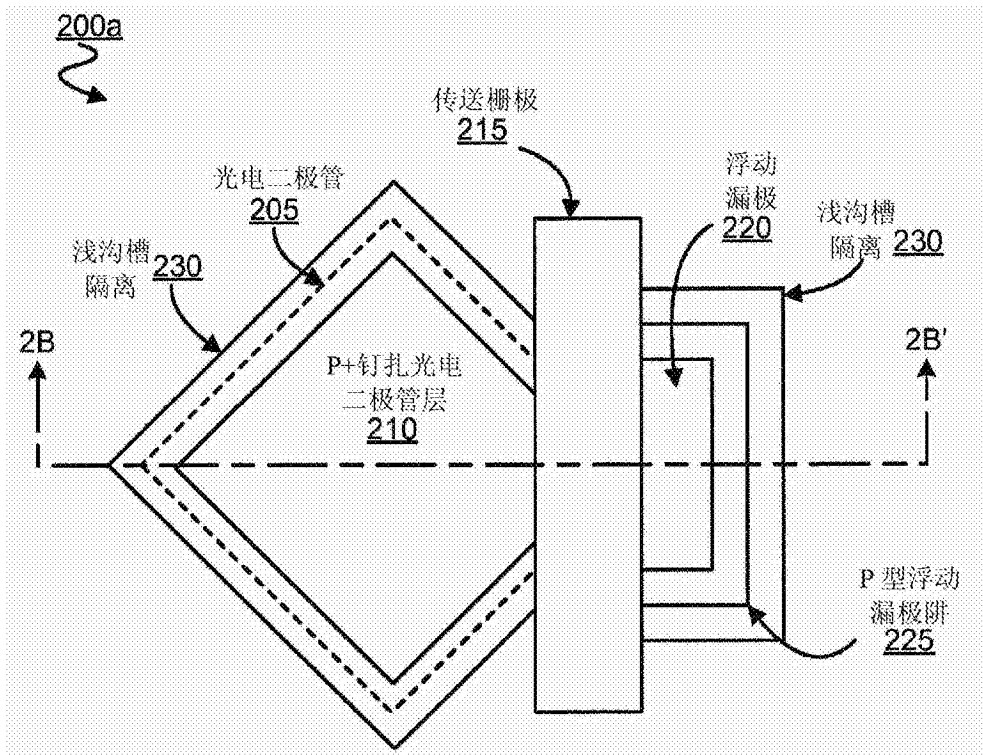


图 2A(现有技术)

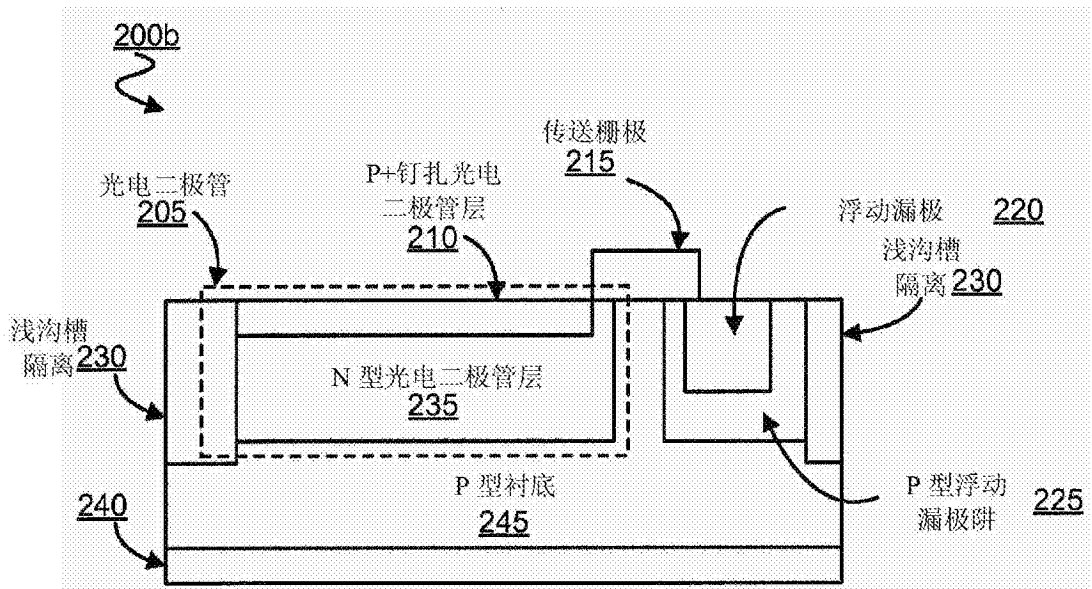


图 2B(现有技术)

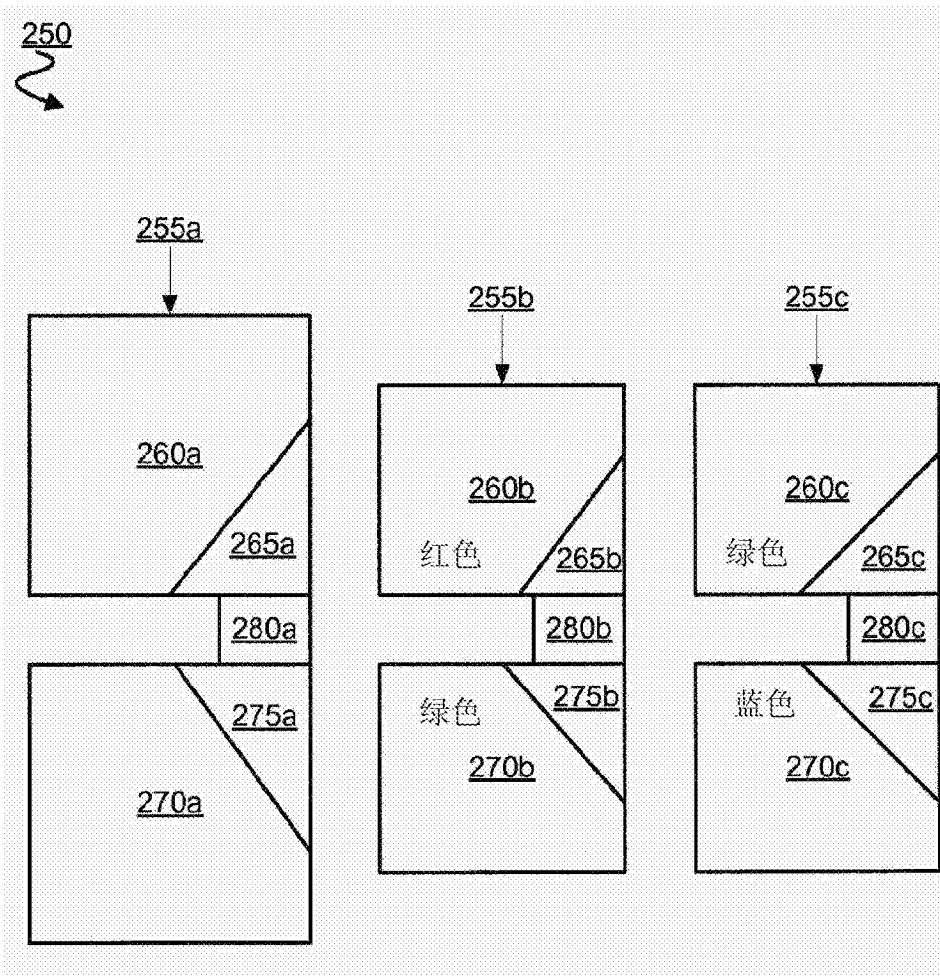


图 2C(现有技术)

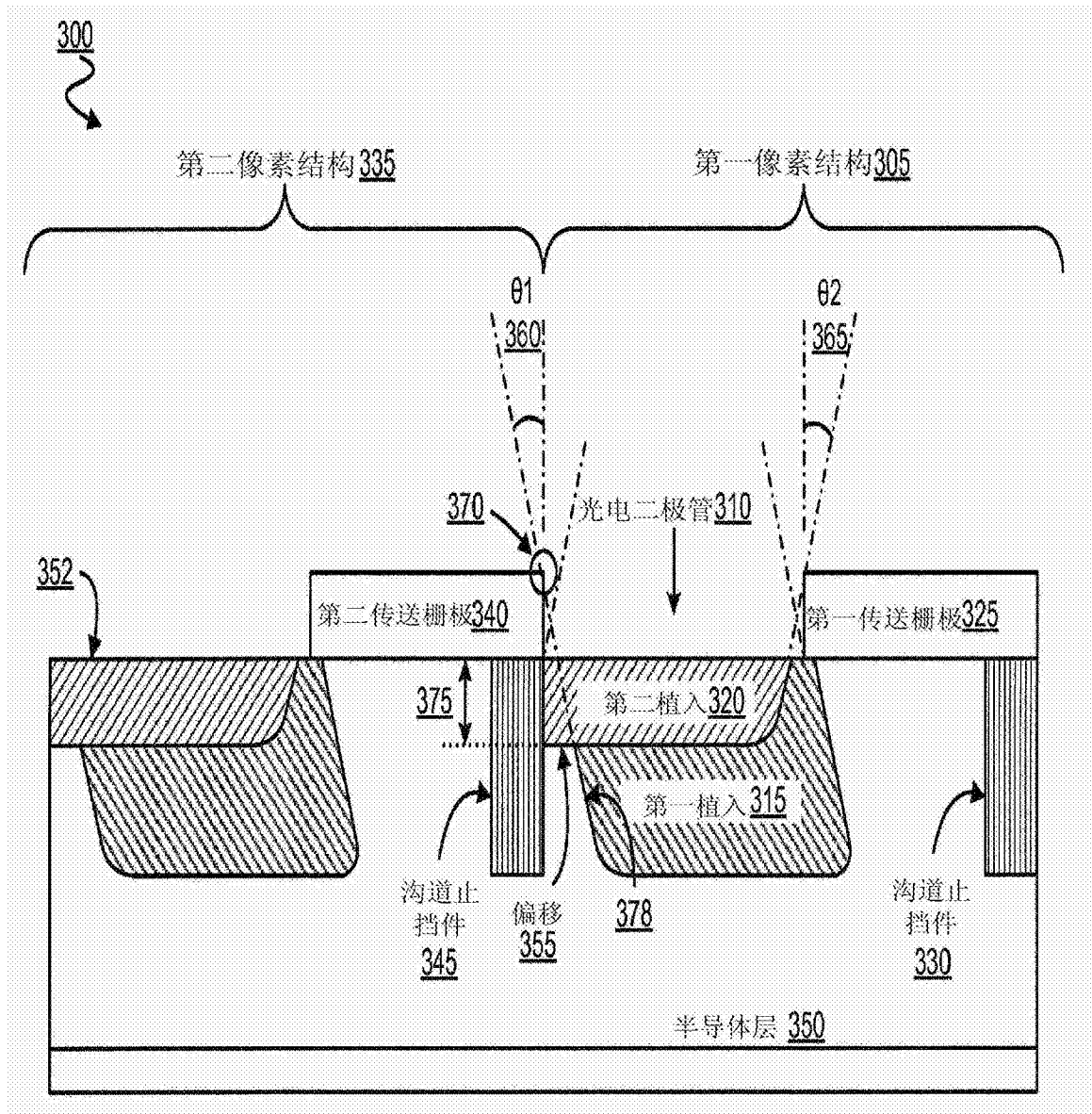


图 3A

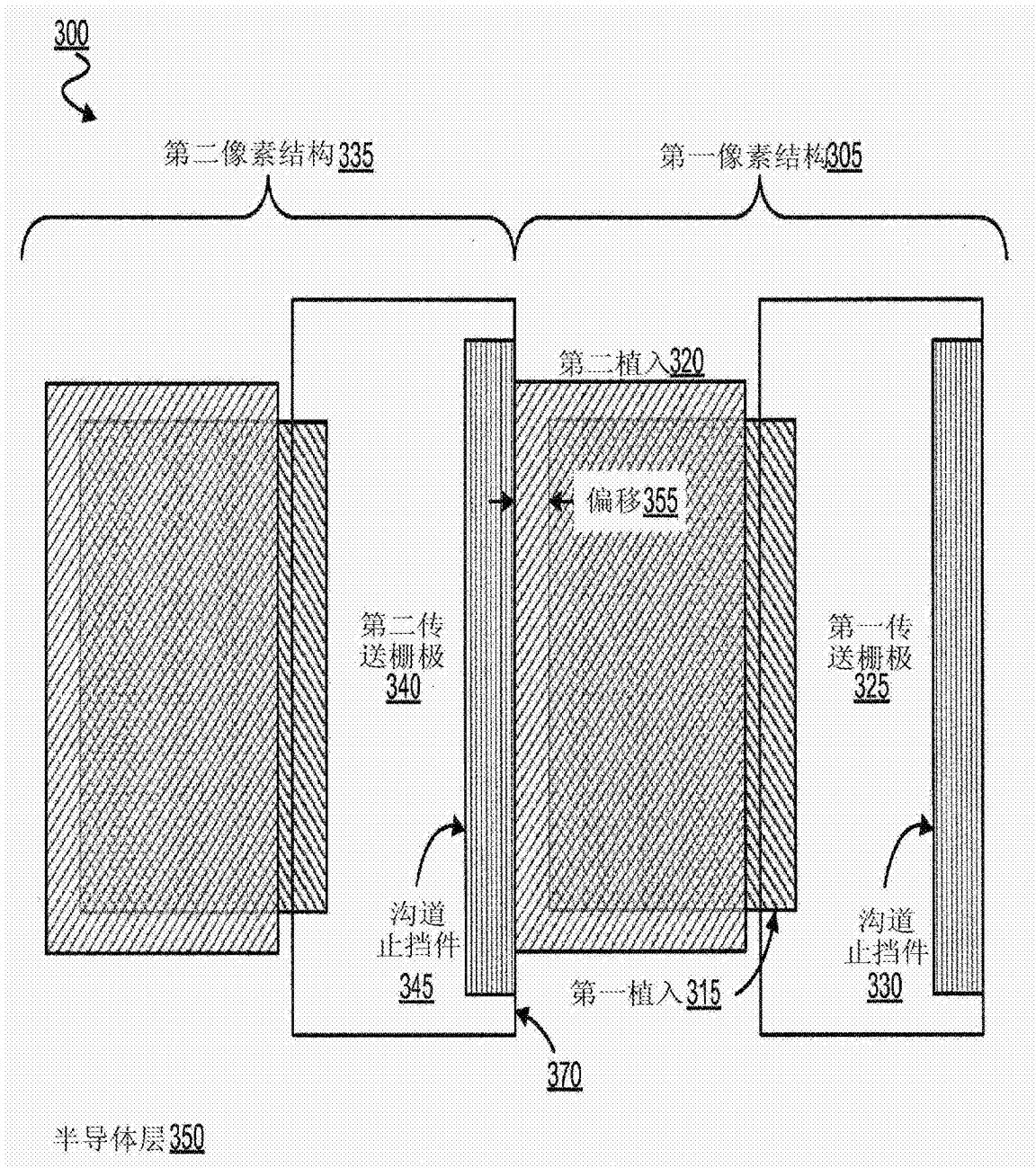


图 3B

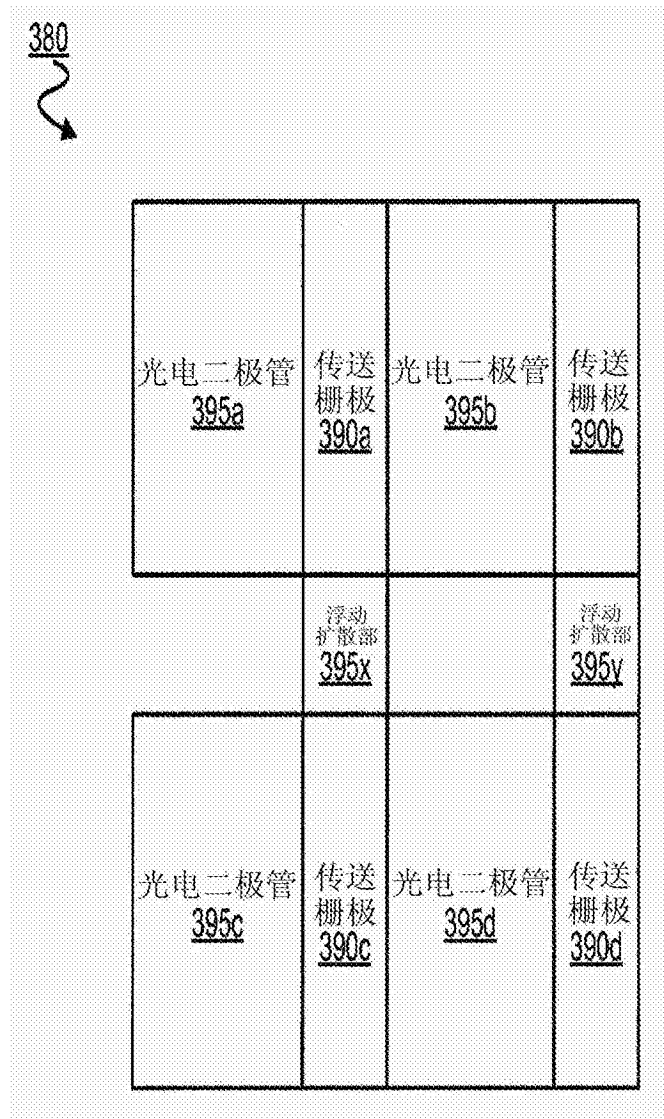


图 3C

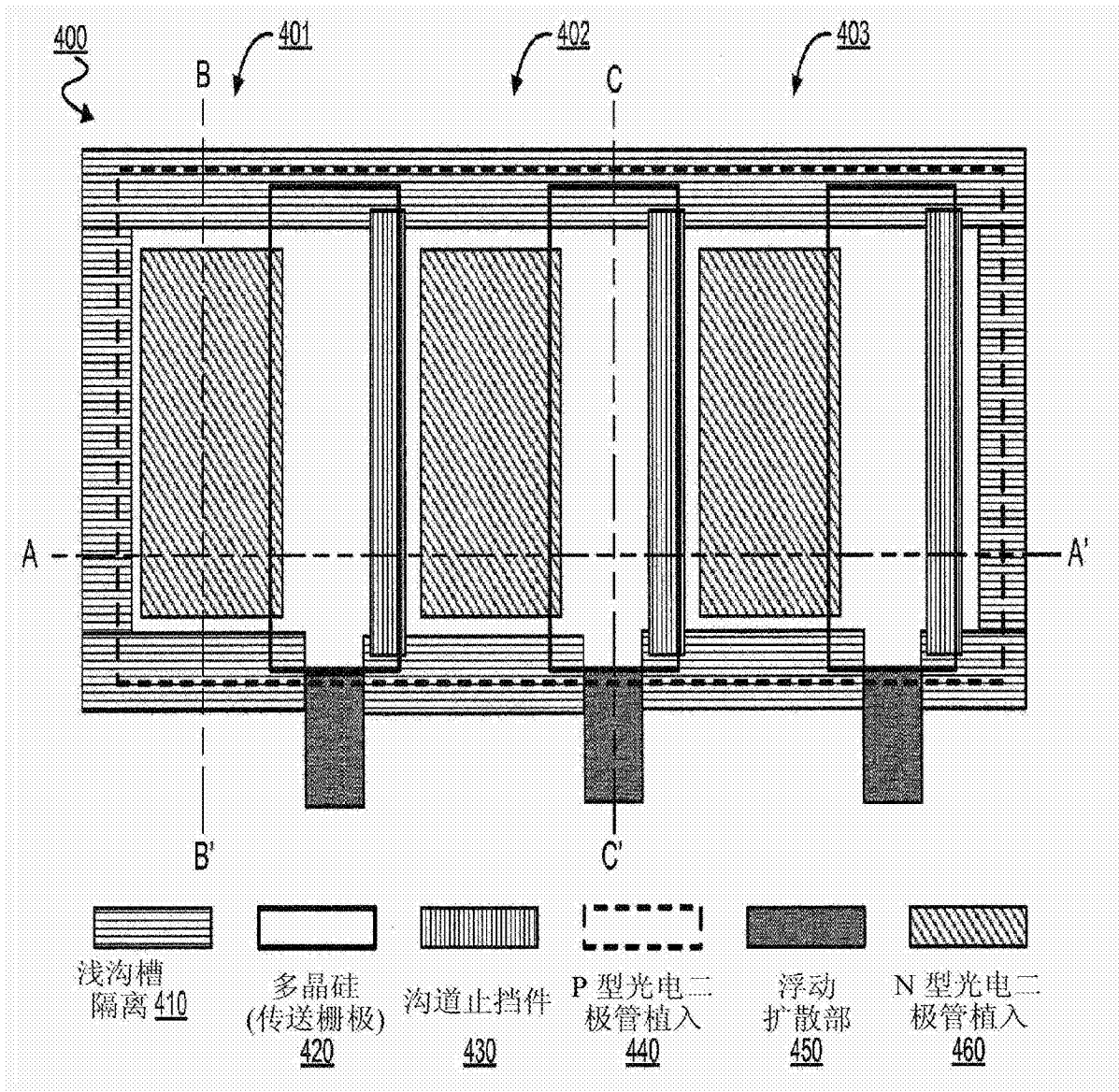


图 4



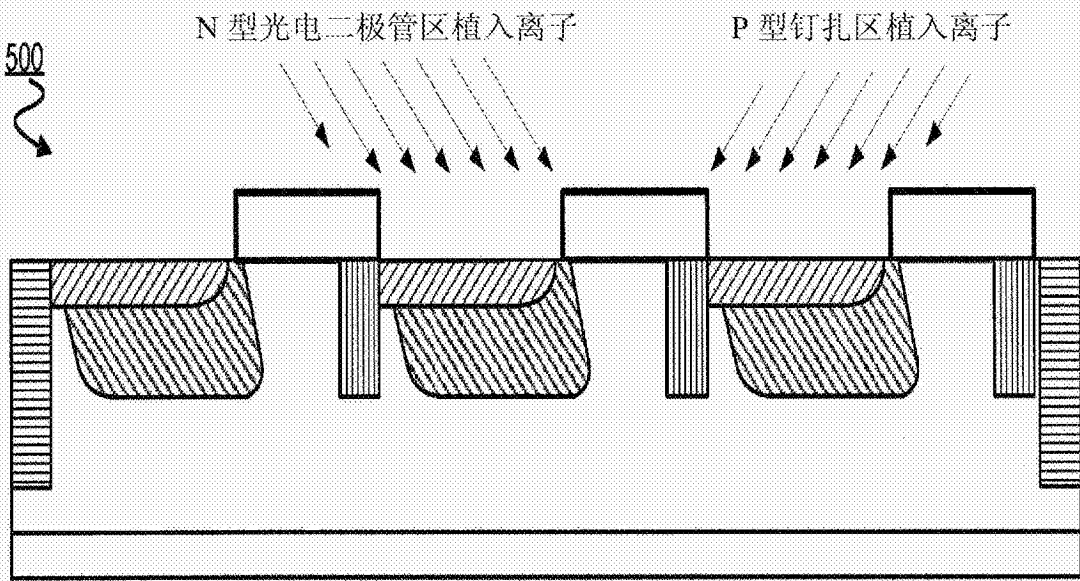


图 5A 视图 A-A'

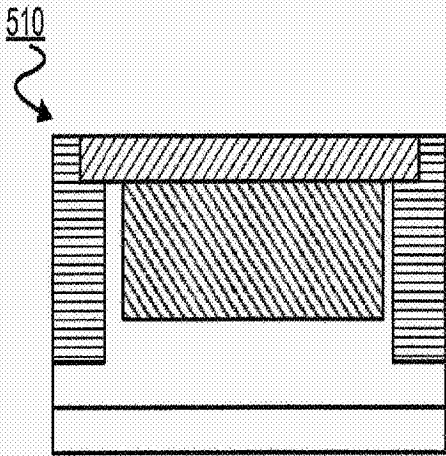


图 5B 视图 B-B'

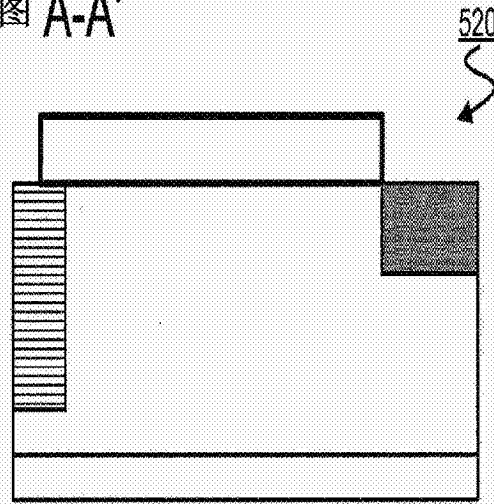
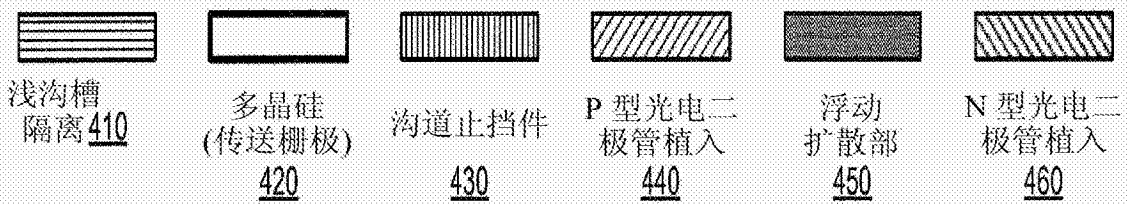


图 5C 视图 C-C'



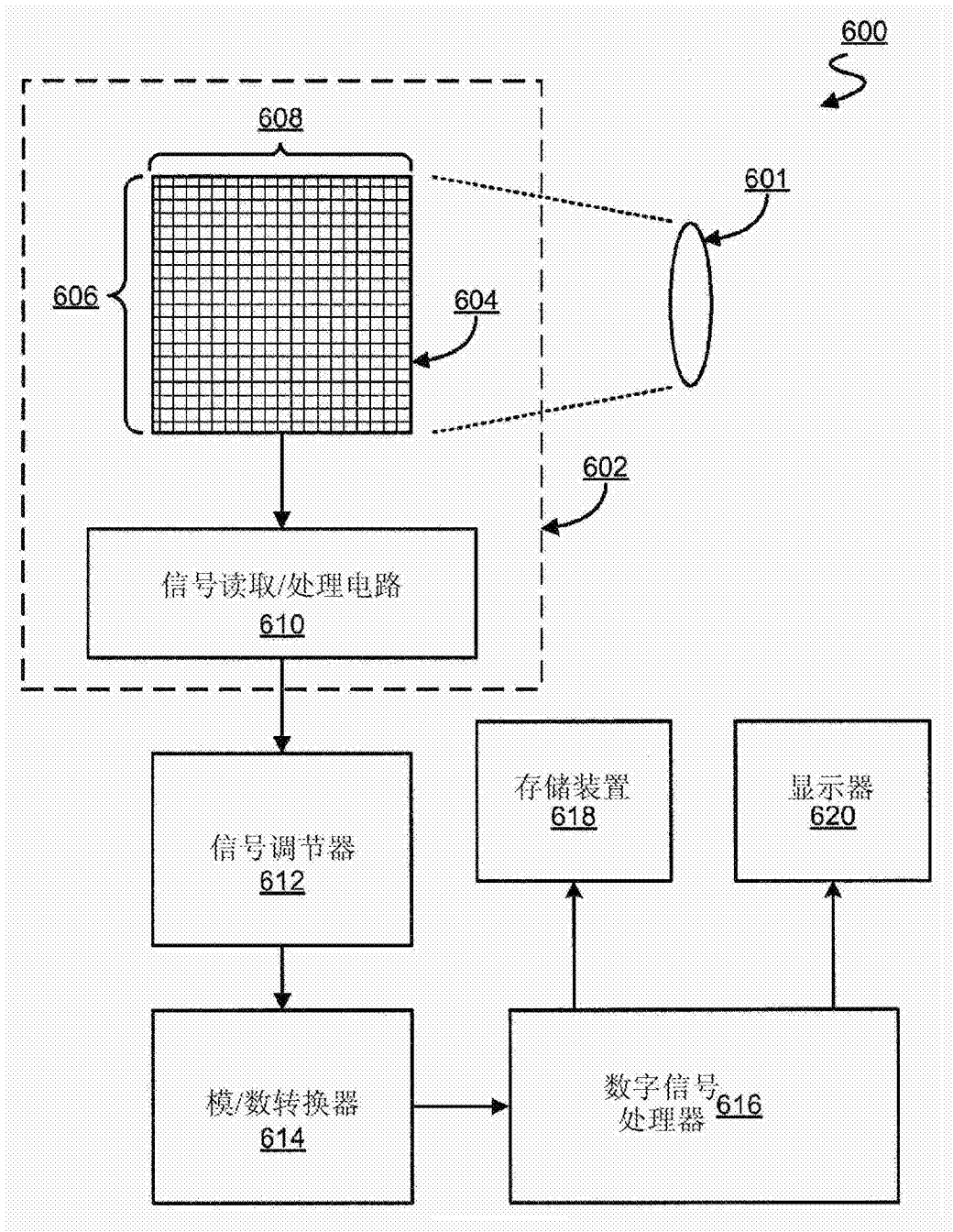


图 6

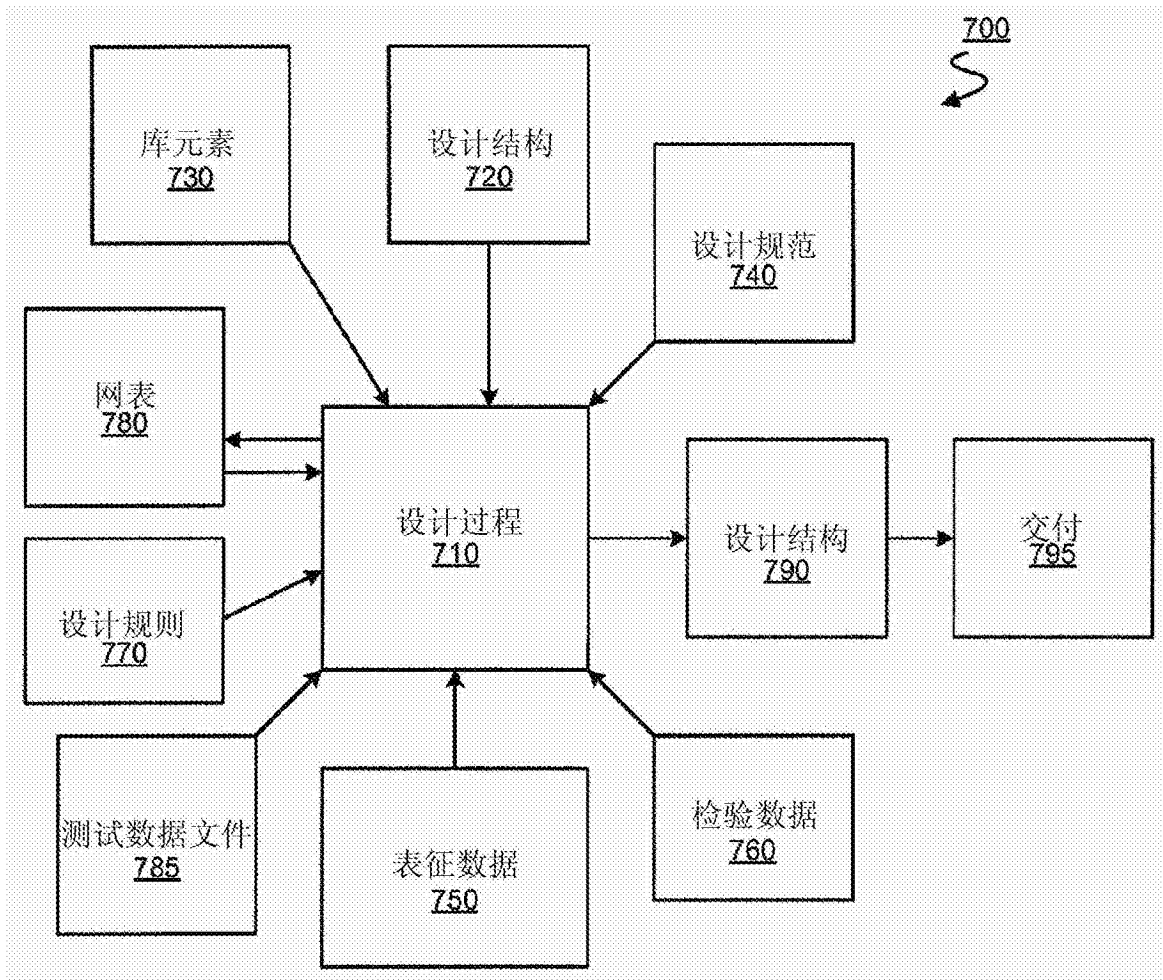


图 7

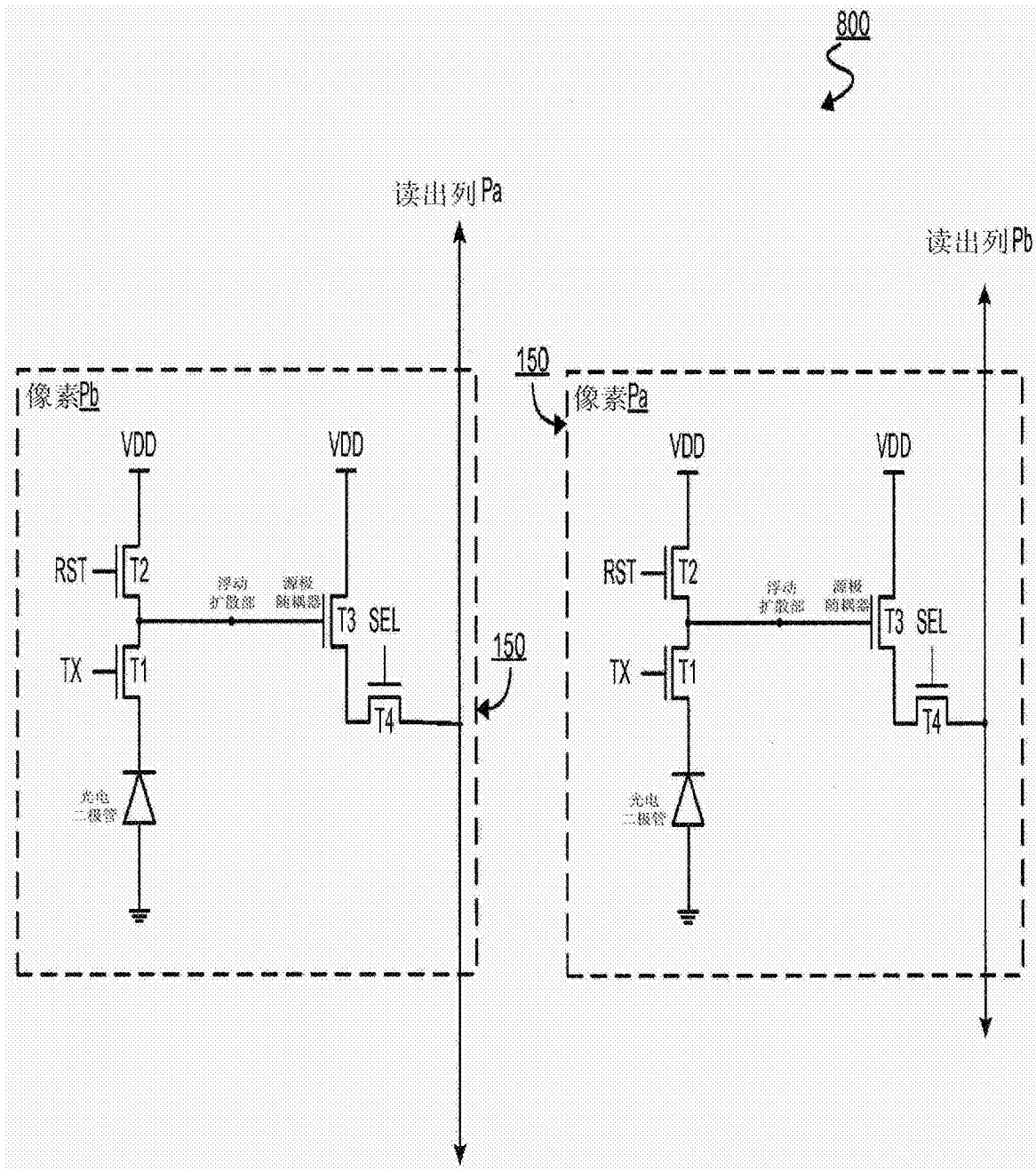


图 8