

19) RÉPUBLIQUE FRANÇAISE
 INSTITUT NATIONAL
 DE LA PROPRIÉTÉ INDUSTRIELLE
 PARIS

11) N° de publication : 2 640 450

(à n'utiliser que pour les
 commandes de reproduction)

21) N° d'enregistrement national : 88 16219

51) Int Cl⁵ : H 04 L 7/08; H 04 N 7/167.

12) **DEMANDE DE BREVET D'INVENTION**

A1

22) Date de dépôt : 9 décembre 1988.

30) Priorité :

43) Date de la mise à disposition du public de la
 demande : BOPI « Brevets » n° 24 du 15 juin 1990.

60) Références à d'autres documents nationaux appa-
 rentés :

71) Demandeur(s) : Société dite : THOMSON-CSF, Société
 anonyme. — FR.

72) Inventeur(s) : Jean-Yves Aubie et Claude Perron, Thom-
 son-CSF, S.C.P.I.

73) Titulaire(s) :

74) Mandataire(s) : Edmond Sciaux, Thomson-CSF, S.C.P.I.

54) Dispositif de synchronisation pour une suite de trames à longueur variable.

57) L'invention concerne un dispositif de synchronisation pour
 une suite de trames à longueur variable, chaque trame com-
 mençant par un préfixe répété trois fois, ce préfixe comportant
 un séparateur de trames et un mot de paramètres propres à la
 trame. Ce dispositif comporte :

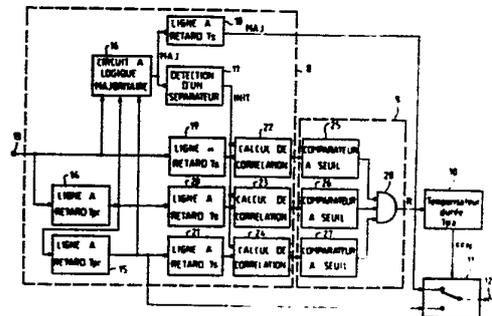
— des moyens 8 pour calculer trois valeurs de corrélation
 traduisant respectivement la corrélation entre une suite de bits
 identiques à ceux de chaque séparateur, et trois suites de
 données binaires retardées par des lignes à retard 14, 15;

— des moyens 9 pour fournir un signal R lorsque les trois
 valeurs de corrélation sont toutes supérieures à une valeur de
 seuil;

— un circuit logique majoritaire 16 pour corriger les erreurs
 affectant l'un des trois mots de paramètres pour un bit donné;

— un temporisateur 10 et un multiplexeur 11 pour extraire
 un mot de paramètres, corrigé par la logique majoritaire, parmi
 la suite des données binaires fournies par le circuit à logique
 majoritaire 16.

Application aux dispositifs décodeurs d'images de télévision.



FR 2 640 450 - A1

**DISPOSITIF DE SYNCHRONISATION POUR UNE SUITE
DE TRAMES A LONGUEUR VARIABLE**

L'invention concerne un dispositif de synchronisation pour une suite de trames à longueur variable. Ces trames comportent des données à longueur variable précédées d'un mot binaire ayant une longueur fixe et remplissant généralement deux fonctions : permettre la synchronisation d'un dispositif récepteur des données, par rapport à un dispositif émetteur des données, en séparant les données appartenant à des trames distinctes ; et transmettre des paramètres qui sont propres à la trame considérée et qui permettront d'exploiter les données transmises dans cette trame.

Pour protéger la synchronisation contre les erreurs de transmission, ce mot peut être constitué de N mots identiques, appelés préfixes, comportant chacun un mot appelé séparateur de trames, constitué par un motif fixé, et un mot appelé mot de paramètres, ayant une longueur fixée mais un contenu propre à la trame qui suit.

Le but de l'invention est de proposer un dispositif de synchronisation permettant de détecter les séparateurs de trames et d'extraire les mots de paramètres, même en présence d'erreurs de transmission. L'objet de l'invention est un dispositif de synchronisation comportant des moyens de calcul de corrélation pour détecter les séparateurs même s'ils sont tous plus ou moins affectés par des erreurs de transmission, et pour en déduire des intervalles de temps pendant lesquels les mots de paramètres peuvent être extraits de la suite des trames.

Selon l'invention, un dispositif de synchronisation pour une suite de trames à longueur variable, chaque trame

commençant par N mots séparateurs identiques et séparés par un intervalle constant,

est caractérisé en ce qu'il comporte :

- 5 - des moyens pour calculer N valeurs dites de corrélation, traduisant respectivement la corrélation entre une suite de bits identiques à ceux de chaque séparateur et N suites de données binaires, constituées respectivement en retardant les trames de i fois l'intervalle des séparateurs, pour $i = 0$ à $N-1$;
- 10 - des moyens pour fournir un signal dit de reconnaissance, lorsque ces N valeurs de corrélation sont toutes supérieures à une valeur de seuil, ce signal indiquant que N séparateurs sont reconnus.

L'invention sera mieux comprise et d'autres détails apparaîtront à l'aide de la description ci-dessous et des figures l'accompagnant :

- 15 - la figure 1 représente le chronogramme d'un exemple de trame à longueur variable ;
- la figure 2 représente le schéma synoptique d'un exemple de réalisation d'un dispositif de synchronisation selon l'invention.

20 La trame à longueur variable représentée sur la figure 1 comporte un préfixe répété identiquement trois fois, chaque préfixe ayant une durée T_{pr} , et comporte des données 7, à longueur variable. Le premier préfixe est constitué par un séparateur 1 et par un mot de paramètres 2. Le deuxième préfixe est constitué d'un séparateur 3 et d'un mot de paramètres 4. Le troisième préfixe est constitué d'un séparateur 5, et d'un mot de paramètres 6. Chaque séparateur 1, 3, 5, comporte le même motif binaire et a une durée identique T_s . Il permet de reconnaître la frontière entre deux trames successives. Chaque mot de paramètres 2, 4, 6, comporte le même nombre de bits et a une durée identiques T_{pa} , mais a un contenu qui est propre à la trame considérée. Les trois préfixes d'une trame donnée comportent trois mots de paramètres qui sont identiques.

30 La synchronisation d'un dispositif décodeur nécessite de reconnaître les séparateurs 1, 3, 5, malgré les erreurs de

transmission, et de déterminer leur position afin de savoir quand commencent les données 7. D'autre part, le décodage des données 7 nécessite de connaître, avec une parfaite exactitude, les paramètres obtenus par les trois mots de paramètres 2,4,6.

5 La figure 2 représente le schéma synoptique d'un exemple de réalisation du dispositif de synchronisation selon l'invention, pour la synchronisation d'un décodeur recevant des trames à longueur variable telles que celles représentées sur la figure 1. Cet exemple comporte : une borne d'entrée 13 recevant
10 la suite des trames à longueur variable ; un dispositif de calcul 8 pour calculer trois valeurs de corrélation ; un circuit logique 9 pour fournir un signal R dit de reconnaissance, lorsque les trois valeurs de corrélation sont toutes supérieures à une valeur de seuil prédéterminée, ce signal R indiquant que
15 trois séparateurs qui précèdent une trame sont reconnus ; un temporisateur numérique 10, ayant une temporisation de durée T_{pa} ; un multiplexeur 11, à deux entrées et une sortie ; et une borne de sortie 12 qui est reliée, dans cet exemple, à une mémoire tampon non représentée. La borne de sortie 12 fournit
20 d'une part les données 7 contenues dans chaque trame, et d'autre part le contenu des mots de paramètres 2, 4, 6, extraits des trois préfixes situés au début de chaque trame.

Le dispositif de calcul 8 comporte : deux lignes à retard numériques, 14 et 15, chacune procurant un retard égal à
25 la durée T_{pr} d'un préfixe ; quatre lignes à retard numériques, 18 à 21, chacune procurant un retard égal à la durée T_s d'un séparateur ; un dispositif 17 de détection d'un séparateur ; et trois dispositifs de calcul de corrélation, 22 à 24.

Le dispositif de calcul 8 possède une entrée reliée à
30 la borne d'entrée 13, cette entrée étant reliée : à une entrée du circuit 16, à une entrée de la ligne à retard 19, et à une entrée de la ligne à retard 14. Une sortie de la ligne à retard 14 est reliée : à une entrée du circuit 16 ; à une entrée de la ligne à retard 15 ; et à une entrée de la ligne à retard
35 20. Une sortie de la ligne à retard 15 est reliée : à une entrée

du circuit 16 ; à une entrée de la ligne à retard 21 ; et à une première entrée du multiplexeur 11. Les lignes à retard 14 et 15 ont pour fonction de fournir respectivement la suite des trames avec un retard T_{pr} et $2 T_{pr}$.

5 Ainsi les trois entrées du circuit 16 reçoivent respectivement trois suites de trames qui sont décalées dans le temps de telle sorte que la première entrée reçoit le i ème bit du troisième préfixe au même moment que la deuxième entrée reçoit le i ème bit du deuxième préfixe et que la troisième entrée reçoit le i ème bit du premier préfixe. Le circuit 16 est un circuit à logique majoritaire, c'est-à-dire fournissant un signal binaire, noté MAJ, dont la valeur est égale à la valeur majoritaire parmi les trois valeurs appliquées respectivement aux trois entrées, pour chaque bit de la suite de trames à longueur variable. De même, les entrées des lignes à retard 19 à 21 reçoivent respectivement, au même instant, le i ème bit du troisième préfixe, le i ème bit du deuxième préfixe, et le i ème bit du troisième préfixe.

20 Une sortie du circuit 16 est reliée à une entrée de la ligne à retard 18 et à une entrée du dispositif 17 de détection d'un séparateur. Ce dispositif 17 fournit un signal logique INIT lorsqu'il détecte, dans la suite des valeurs binaires majoritaires, un motif identique aux séparateurs attendus. La sortie du détecteur 17 est reliée à des entrées d'initialisation des dispositifs de calcul 22 à 24. Ces derniers possèdent des entrées reliées respectivement aux sorties des lignes à retard 19 à 21. Le signal INIT initialise un calcul de corrélation dans chacun des dispositifs 22 à 24 à l'instant où le dispositif de détection 17 achève de reconnaître un séparateur. Pour compenser le temps nécessaire au dispositif 17 pour reconnaître un séparateur, les lignes à retard 19 à 21 retardent d'une durée T_s les suites binaires qui sont appliquées respectivement aux entrées des dispositifs de calcul de corrélation, 22 à 24.

35 Chacun des dispositifs de calcul 22 à 24 détermine une valeur de corrélation qui est égale au nombre de bits qui sont

identiques dans la suite de valeurs binaires appliquée à l'entrée du dispositif de calcul et dans une suite de valeurs binaires égales aux bits constituant un séparateur. Grâce au dispositif 17 de détection d'un séparateur, le calcul commence précisément à l'instant où le dispositif 22 commence à recevoir le séparateur 1, le dispositif 23 commence à recevoir le séparateur 3, et le dispositif 24 commence à recevoir le séparateur 5. Après un intervalle de temps de durée T_s , les dispositifs de calcul 22 à 24 fournissent trois valeurs de corrélation qui sont d'autant plus faibles qu'il y a plus de bits erronés respectivement dans le séparateur 5, dans le séparateur 3, et dans le séparateur 1. Trois sorties des dispositifs de calcul 22 à 24 constituent trois premières sorties du dispositif de calcul 8 et sont reliées à trois entrées du dispositif de calcul 9.

Le dispositif de calcul 9 comporte : trois comparateurs à seuil, 25 à 27, ayant une même valeur de seuil prédéterminée ; et une porte logique ET 28. Les trois entrées du dispositif 9 sont constituées respectivement par trois entrées des comparateurs à seuil 25 à 27. Trois sorties de ces comparateurs sont reliées respectivement à trois entrées de la porte 28. La sortie de cette dernière constitue une sortie du dispositif 9 qui est relié à une entrée de commande du temporisateur 10. Le seuil des comparateurs 25 à 27 correspond à un certain taux d'erreurs sur chacun des séparateurs 1, 3, 5. Par exemple, si chaque séparateur comporte 41 bits, une valeur de seuil égale à 38 permet de considérer comme valide chaque séparateur comportant 38 bits exacts et 3 bits erronés. Lorsque les trois valeurs de corrélation sont supérieures à la valeur de seuil, les comparateurs 25 à 27 fournissent trois signaux qui valident la porte ET 28. La sortie de la porte 28 fournit alors un signal logique R, dit de reconnaissance, indiquant que trois séparateurs sont reconnus. Ce dispositif de synchronisation permet donc de reconnaître des séparateurs de trames à longueur variable, même s'ils comportent chacun quelques bits erronés.

Une seconde fonction de ce dispositif de synchronisation est d'extraire, avec la plus grande exactitude possible, les paramètres propres aux données 7, en vue de pouvoir décoder correctement ces données. Comme les séparateurs 1, 3, 5, 5 les mots de paramètres 2, 4, 6 sont affectés d'erreurs binaires. Le circuit 16 à logique majoritaire permet d'éliminer ces erreurs s'il n'y a qu'une valeur erronée sur les trois valeurs d'un même bit du mot de paramètres. Lorsqu'il n'y a pas d'erreurs de transmission, le circuit 16 fournit trois fois le préfixe exact. Ce n'est plus le cas, en présence d'erreurs de transmission. En effet, pendant l'arrivée du deuxième préfixe sur la borne d'entrée 13, le circuit 16 reçoit respectivement sur ces trois entrées : le deuxième préfixe, le premier préfixe, et une suite quelconque constituée par des données de la précédente 10 trame à longueur variable. La moindre erreur sur un bit du premier ou du deuxième préfixe provoque donc une erreur dans le préfixe restitué dans le circuit 16. 15

De même après la fin de l'arrivée du troisième préfixe sur la bande d'entrée 13, les lignes à retard 14 et 15 restituent respectivement le troisième et le deuxième préfixe. Par 20 conséquent, le circuit 16 reçoit respectivement sur ses trois entrées : le deuxième préfixe, le troisième préfixe, et une suite binaire quelconque constituée de données. La moindre erreur sur le deuxième ou le troisième préfixe conduit le circuit 25 16 à restituer un préfixe erroné. Le seul cas où le circuit 16 tire partie de la redondance des trois préfixes, est donc le cas où il reçoit simultanément sur ses trois entrées : le premier, le deuxième, et le troisième préfixe. Dans ce cas, la sortie du circuit 16 restitue un préfixe dans lequel les erreurs de transmission 30 sont corrigées par la décision majoritaire, dans la mesure du possible.

Le dispositif selon l'invention comporte un multiplexeur 11 pour extraire de la suite binaire majoritaire MAJ, fournie par le circuit 16, uniquement les bits situés dans 35 un intervalle de temps où le circuit 16 fournit un préfixe ayant

l'exactitude la meilleure. Pour cela, la suite binaire MAJ est appliquée à une seconde entrée du multiplexeur 11, par l'intermédiaire de la ligne à retard 18 procurant un retard T_s compensant le retard dû au fonctionnement du dispositif 17. Une sortie
5 du multiplexeur 11 est reliée à la borne de sortie 12 du dispositif. Une entrée de commande du multiplexeur 11 est reliée à une sortie du temporisateur 10. Une entrée de commande du temporisateur 10 est reliée à la sortie du dispositif 9 pour recevoir le signal de reconnaissance R.

10 Quand le temporisateur 10 reçoit le signal R, il commande une commutation du multiplexeur 11, par un signal logique FEN, dit de fenêtre, dont la durée est égale à la durée T_{pa} d'un mot de paramètres. Pendant cette durée le multiplexeur 11 transmet donc le mot de paramètres, rectifié éventuellement par
15 les décisions majoritaires. Pendant le reste du temps, le multiplexeur 11 transmet la suite des données binaires retardées qui est fournie par la sortie de la ligne à retard 15, ces données binaires ne pouvant pas être rectifiées par une logique majoritaire puisqu'elles ne comportent pas de redondances.

20 Le dispositif 17 de détection d'un séparateur et les dispositifs 22 à 24 de calcul de corrélation peuvent être réalisés de différentes manières, qui varient notamment en fonction du type de motif utilisé pour constituer les séparateurs. Par exemple, si chaque séparateur est constitué de 40 bits de valeur
25 0 et de 1 bit de valeur 1, il est possible de constituer le dispositif 17 et chaque dispositif de calcul de corrélation, 22 à 24, au moyen d'un compteur qui compte le nombre de zéros dans la suite binaire. La réalisation de ces dispositifs pour d'autres motifs séparateurs est à la portée de l'homme de l'Art.

30 L'invention est applicable notamment au domaine du codage et du décodage d'images de télévision, pour assurer la synchronisation d'un décodeur.

REVENDEICATIONS

1. Dispositif de synchronisation pour une suite de trames à longueur variable, chaque trame commençant par N mots séparateurs (1, 3, 5) identiques et séparés par un intervalle constant (T_{pr}),

5 caractérisé en ce qu'il comporte :

- des moyens (8) pour calculer N valeurs dites de corrélation, traduisant respectivement la corrélation entre une suite de bits identiques à ceux de chaque séparateur (1, 3, 5) et N suites de données binaires, constituées respectivement en retardant les trames de i fois l'intervalle (T_{pr}) des séparateurs, pour $i = 0$ à $N-1$;

10 - des moyens (9) pour fournir un signal (R) dit de reconnaissance, lorsque ces N valeurs de corrélation sont toutes supérieures à une valeur de seuil, ce signal (R) indiquant que N séparateurs sont reconnus.

2. Dispositif selon la revendication 1, caractérisé en ce que les moyens (8) pour calculer N valeurs de corrélation comportent N dispositifs de calcul de corrélation (22 à 24), initialisés par un dispositif d'initialisation comportant :

20 - des moyens (14, 15) pour retarder la suite des trames, en restituant N-1 suites de trames retardées, chaque suite ayant un retard de i fois l'intervalle (T_{pr}) des séparateurs (1, 3, 5), pour $i = 1$ à $N-1$;

25 - des moyens (16) pour comparer bit par bit, les valeurs de la suite de trames non retardée et les valeurs des N-1 suites retardées et fournir un signal binaire (MAJ), dit majoritaire, dont la valeur est constituée de la valeur majoritaire, parmi les N valeurs qui sont comparées ;

30 - des moyens (17) pour détecter dans ce signal binaire (MAJ) une suite de bits identiques à ceux d'un séparateur, et pour fournir alors un signal d'initialisation (INIT) pour les dispositifs de calcul de corrélation (22 à 24).

3. Dispositif selon la revendication 1 pour extraire un mot binaire, appelé mot de paramètres (2, 4, 6), ayant une longueur fixée (T_{pa}), associé à chacun des N séparateurs (1, 3, 5) au début de chaque trame, ce mot étant constitué d'informations propres à cette trame, caractérisé en ce qu'il comporte en outre :

5 - un dispositif de temporisation (10) déclenché par le signal de reconnaissance (R), et fournissant un signal dit de fenêtre (FEN) dont la durée est égale à la durée du mot (2, 4, 6) à extraire ;

10 - un dispositif de commutation (11) commandé par le signal de fenêtre (FEN) pour extraire, du signal majoritaire (MAJ), le mot de paramètres (2, 4, 6), en transmettant le signal majoritaire (MAJ) uniquement pendant la durée de ce signal de fenêtre (FEN).

15

20

25

30

35

FIG_1

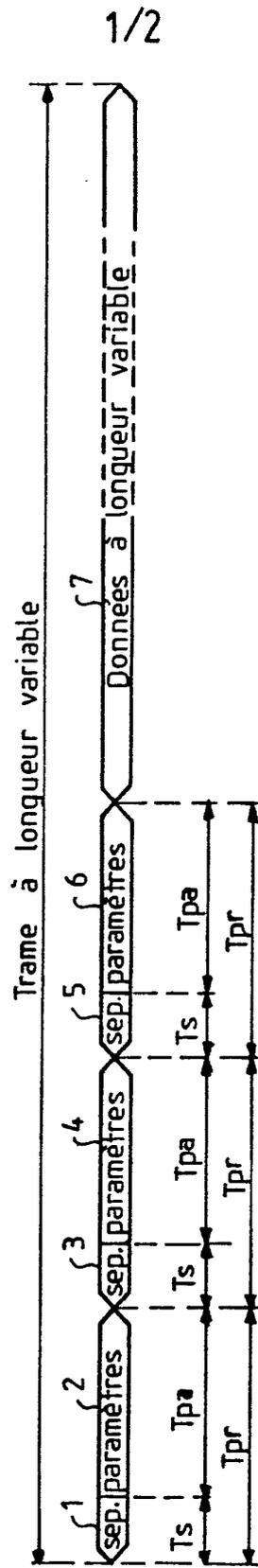


FIG-2

