

(12) 发明专利

(10) 授权公告号 CN 101977093 B

(45) 授权公告日 2013.04.03

(21) 申请号 201010295089.0

CN 1983825 A, 2007.06.20,

(22) 申请日 2010.09.26

CN 101106440 A, 2008.01.16,

(73) 专利权人 东南大学

审查员 杜少凤

地址 210096 江苏省南京市鼓楼区四牌楼 2 号

专利权人 江苏东大通信技术有限公司

(72) 发明人 蒋良成 杨金凯 王捷 杜永强
徐仲宁 王海 常洪雨 李进学

(74) 专利代理机构 南京苏高专利商标事务所
(普通合伙) 32204

代理人 柏尚春

(51) Int. Cl.

H04L 1/00 (2006.01)

(56) 对比文件

US 2004/0151109 A1, 2004.08.05,

CN 101227195 A, 2008.07.23,

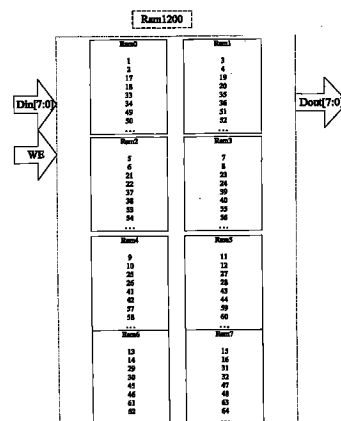
权利要求书 1 页 说明书 5 页 附图 12 页

(54) 发明名称

一种 OFDM-UWB 中不同并行度的交织方法

(57) 摘要

本发明公开一种 OFDM-UWB 中不同并行度的交织方法,包括如下步骤:(1) 根据不同速率下卷积码编码器和映射器处理比特的位数确定单位时钟交织器写入和读出的位数以及交织器存储数据的数目;(2) 根据软件仿真的结果和 ram 的特性确定不同速率下写入数据和读出数据所在的地址;(3) 由 8 块 150 比特的 ram 存储写入的数据,并根据速率的不同选择合适的交织器地址变化规律,完成交织器外部地址和交织器内部 ram 之间的地址映射,读出数据,实现数据速率的转变。本发明方法与现有技术相比,具有实现简便,自适应不同并行度,节约硬件资源的特点。



1. 一种 OFDM-UWB 中不同并行度的交织方法,其特征在于包括如下步骤:

(1) 根据不同速率下卷积码编码器和映射器处理比特的位数确定单位时钟交织器写入和读出的位数以及交织器存储数据的数目;具体数值参见下表,另外,为减少数据处理延时,此处采用乒乓操作,即使用 2 组 ram 同时工作,先写其中一组 ram,待这组 ram 写满后,这组 ram 开始向外读数据,同时另一组 ram 开始接收写入的数据;

不同速率下单位时钟交织器写入和读出的位数以及交织器存储数据的数目

速率(标号)	单位时钟写入的数据数	单位时钟读出的数据数	交织器容纳的比特数
53.3Mbps (0)	3	2	300
80Mbps (1)	2	2	300
106.7 Mbps (2)	6	4	600
160 Mbps (3)	4	4	600
200 Mbps (4)	8	4	600
320 Mbps (5)	8	8	1200
400 Mbps (6)	8	8	1200
480 Mbps (7)	8	8	1200

(2) 根据软件仿真的结果和 ram 的特性确定不同速率下写入数据和读出数据所在的地址;这里使用 matlab 软件进行仿真,得到写入数据和读出数据的编号;由于乒乓操作中两组 ram 的特性相同,因此这里只对其中一组 ram 进行说明,此处选取 8 个大小为 150 比特的双端口 ram 作为交织器的一组 ram,将这 8 个 ram “拼接”成一个 16 端口的 ram,其中,WE 为读写控制信号,WE 为 1 时向交织器内写数据,WE 为 0 时读出交织器的数据;

(3) 由 8 块 150 比特的 ram 存储写入的数据,并根据速率的不同选择合适的交织器地址变化规律,完成交织器外部地址和交织器内部 ram 之间的地址映射,读出数据,实现数据速率的转变。

一种 OFDM-UWB 中不同并行度的交织方法

技术领域

[0001] 本发明涉及到数据传输技术领域,具体涉及到 OFDM-UWB 中不同并行度的交织方法。

背景技术

[0002] 在通信系统中,由于信道噪声的影响,接收到的数据会出现错误,按照出现错误的比特是否连续可以把错误分为突发错误(连续)和随机错误(离散),如果首先把突发错误离散成随机错误,然后再去纠随机错误,那么系统的抗干扰性能就会进一步得到提高。交织器的作用就是将比较长的突发错误或多个突发错误离散成随机错误,从而分散在许多接收码字上。

[0003] 特别的,根据 ECMA368 标准,在 OFDM-UWB 系统中,交织操作如图 1 所示分为三个不同的阶段进行:

[0004] 1、符号间交织;把一组 6 个连续的 OFDM 符号的序列号打乱,经过交织器的符号序列号的输入和输出有如下关系:

[0005]

$$A_S[i] = A \left[\left\lfloor \frac{i}{N_{CBPS}} \right\rfloor + \left(\frac{6}{N_{TDS}} \right) \times \text{mod}(i, N_{CBPS}) \right]$$

[0006] 2、符号内交织;在一个 OFDM 符号内,打乱数据子载波的序列号,获得子载波的频率分集从而提供鲁棒性来对抗窄带干扰;经过交织器的子载波序列号的输入输出有如下关系:

[0007]

$$A_T[j] = A_S \left[\left\lfloor \frac{j}{N_{Tint}} \right\rfloor + 10 \times \text{mod}(j, N_{Tint}) \right]$$

[0008] 3、符号内循环移位;在时域上对连续的 OFDM 符号进行定量分组,然后在内部进行循环移位,经过交织器的时域符号序列号的输入输出有如下关系:

[0009] $B[i] = A_T[m(i) \times N_{CBPS} + \text{mod}(i + m(i) \times N_{cyc}, N_{CBPS})]$

[0010] 其中 $m(i) = \lfloor i / N_{CBPS} \rfloor$, $i = 0, \dots, N_{CBPS} - 1$

[0011] 以上各式中的参数如表 1 所示:

[0012] 表 1 上述各式的参数

[0013]

数据速率 (Mb/s)	时域扩展 (N_{TDS})	每符号的比特数 (N_{CBPS})	符号内交织尺寸 (N_{Tint})	循环移位 (N_{cyc})
53.3	2	100	10	33
80	2	100	10	33
120	2	200	20	66
160	2	200	20	66
200	2	200	20	66
320	1	200	20	33
400	1	200	20	33
480	1	200	20	33

[0014] 以上便是 OFDM-UWB 系统数据交织的基本流程,在用软件进行仿真时,可以按照上述步骤依次进行,但是在用硬件语言实现时,由于要尽量减少所用的时钟数,所以可以将上述三个交织部分视作一个整体,通过预先设计好的写入读出模块来实现。

[0015] 由于芯片时钟频率的限制,这就要求发射机在处理数据时需要采用并行方式,此外,由于 OFDM-UWB 采用了多种传输速率,而不同的传输速率对卷积码编码器(打孔速率),交织器以及映射器等模块单位时钟所处理的比特数有各自不同的要求,因此,作为连接卷积码编码器和映射器的交织模块需要根据不同的速率采用不同的并行度进行读写数据,以满足模块间数据速率匹配的需要。

发明内容

[0016] 发明目的:本发明的目的在于针对现有技术的不足,提供一种适用于 OFDM-UWB 系统的可以随发射机速率调整并行度的交织方法。

[0017] 技术方案:本发明所述的 OFDM-UWB 中不同并行度的交织方法,首先,根据不同速率计算出每个速率所要求的单位时钟内卷积码编码器读出和映射器写入的比特数,此即为交织器的并行度。其次,通过软件仿真分别找出每个时钟写入和读出的比特的位置,并根据其规律安排好每个数据所归属的 ram,因为 xilinx 公司的 ram 核最多只支持双端口 ram 的读写,所以要避免同时写入或读出的数据有两个以上在同一 ram 中。

[0018] 具体包括如下步骤:

[0019] (1) 根据不同速率下卷积码编码器和映射器处理比特的位数确定单位时钟交织器写入和读出的位数以及交织器存储数据的数目;另外,为减少数据处理延时,此处采用乒乓操作,即使用 2 组 ram 同时工作,先写其中一组 ram,待这组 ram 写满后,这组 ram 开始向外读数据,同时另一组 ram 开始接收写入的数据;

[0020] (2) 根据软件仿真的结果和 ram 的特性确定不同速率下写入数据和读出数据所在的地址;这里使用 matlab 软件进行仿真,得到写入数据和读出数据的编号;

[0021] (3) 由 8 块 150 比特的 ram 存储写入的数据,并根据速率的不同选择合适的交织器

地址变化规律,完成交织器外部地址和交织器内部 ram 之间的地址映射,读出数据,实现数据速率的转变。

[0022] 本发明方法与现有技术相比,具有实现简便,自适应不同并行度,节约硬件资源的特点。

附图说明

- [0023] 图 1 是 OFDM-UWB 系统数据交织的基本流程图 ;
- [0024] 图 2 为交织器内部 ram 存储数据的编号 ;
- [0025] 图 3 为速率为 0 或 1 时两个读出地址的变化流程图 ;
- [0026] 图 4 为速率为 2 或 3 或 4 时第一和第二个读出地址的变化流程图 ;
- [0027] 图 5 为速率为 2 或 3 或 4 时第三和第四个读出地址的变化流程图 ;
- [0028] 图 6 为速率为 5 或 6 或 7 时第一个读出地址的变化流程图 ;
- [0029] 图 7 为速率为 5 或 6 或 7 时第二个读出地址的变化流程图 ;
- [0030] 图 8 为速率为 5 或 6 或 7 时第三个读出地址的变化流程图 ;
- [0031] 图 9 为速率为 5 或 6 或 7 时第四个读出地址的变化流程图 ;
- [0032] 图 10 为速率为 5 或 6 或 7 时第五个读出地址的变化流程图 ;
- [0033] 图 11 为速率为 5 或 6 或 7 时第六个读出地址的变化流程图 ;
- [0034] 图 12 为速率为 5 或 6 或 7 时第七个读出地址的变化流程图 ;
- [0035] 图 13 为速率为 5 或 6 或 7 时第八个读出地址的变化流程图。

具体实施方式

[0036] 下面结合附图,对最佳实施例进行详细说明,但是本发明的保护范围不局限于所述实施例。

[0037] 实施例 1 :一种 OFDM-UWB 中不同并行度的交织方法,包括如下步骤 :

[0038] (1) 根据不同速率下卷积码编码器和映射器处理比特的位数确定单位时钟交织器写入和读出的位数以及交织器存储数据的数目,具体数值参见表 2,另外,为减少数据处理延时,此处采用乒乓操作,即使用 2 组 ram 同时工作,先写其中一组 ram,待这组 ram 写满后,这组 ram 开始向外读数据,同时另一组 ram 开始接收写入的数据 ;

[0039] 表 2 不同速率下单位时钟交织器写入和读出的位数以及交织器存储数据的数目

[0040]

速率(标号)	单位时钟写入的数据数	单位时钟读出的数据数	交织器容纳的比特数
53.3Mbps (0)	3	2	300
80Mbps (1)	2	2	300
106.7 Mbps (2)	6	4	600
160 Mbps (3)	4	4	600
200 Mbps (4)	8	4	600
320 Mbps (5)	8	8	1200
400 Mbps (6)	8	8	1200
480 Mbps (7)	8	8	1200

[0041] (2) 根据软件仿真的结果和 ram 的特性确定不同速率下写入数据和读出数据所在的地址。这里使用 matlab 软件进行仿真,得到写入数据和读出数据的编号;由于乒乓操作中两组 ram 的特性相同,因此这里只对其中一组 ram 进行说明,此处选取 8 个大小为 150 比特的双端口 ram 作为交织器的一组 ram,将这 8 个 ram “拼接”成一个 16 端口的 ram,如图 2 所示,其中,WE 为读写控制信号,WE 为 1 时向交织器内写数据,WE 为 0 时读出交织器的数据。

[0042] (3) 根据图 2 所示的数据排列方式进行数据写入。在写入数据时,根据表 2 中的单位时钟写入的数据数来判断输入数据 din 的有效位数:速率为 0 时,单位时钟写入的数据数为 3,则 din[7:5] 有效,交织器只接收 din[7:5];速率为 1 时,单位时钟写入的数据数为 2,则 din[7:6] 有效,交织器只接收 din[7:6];速率为 2 时,单位时钟写入的数据数为 6,则 din[7:2] 有效,交织器只接收 din[7:2];速率为 3 时,单位时钟写入的数据数为 4,则 din[7:4] 有效,交织器只接收 din[7:4];速率为 4,5,6,7 时,单位时钟写入的数据数为 8,则 din[7:0] 有效,交织器只接收 din[7:0]。

[0043] 写数据完成后,根据速率不同,分别按照图 3 到图 12 读出数据,图中 ram_addr0a, ram_addr1a, ram_addr2a, ram_addr3a, ram_addr4a, ram_addr5a, ram_addr6a, ram_addr7a 分别代表交织器的 8 个外部地址:速率 0 和 1 按照图 3 所示地址,一次读出 2 个数据;速率 2,3,4 按照图 4 和图 5 所示地址一次读出 4 个数据;速率 4,5,6,7 按照图 6 到图 13 所示地址一次读出 8 个数据。在读出数据时,同样根据表 2 中的单位时钟读出的数据数来判断输入数据 dout 的有效位数:速率为 0,1 时,单位时钟读出的数据数为 2,则 dout[7:6] 有效;速率为 2,3,4 时,单位时钟读出的数据数为 4,则 dout[7:4] 有效;速率为 5,6,7 时,单位时钟读出的数据数为 8,则 dout[7:0] 有效。

[0044] 在进行数据的读写操作时,从“外部”看,数据的存储地址是相对于 1200 比特的 ram,即 0 ~ 1199,而实际上“内部”只有 8 个 150 比特的 ram,因此需要一个“外部地址”与“内部地址”的映射。在这里,对于一个 11 位二进制的“外部地址”addr_out[10:0],其中的 addr_out[3:1] 用作 8 块 ram 的片选信号,000 ~ 111 分别对应第 0 ~ 7 号 ram,其余的

8 位地址即为“内部地址”。例如,假设“外部地址”`addr_out` 为 `000_0001_1110`,其中 `addr_out[3:1]` 为 `111`,其余位数为 `0000_0010`,即说明此数据应存储于第 7 号 ram 中的 `0000_0010` 地址所对应的位置。

[0045] 熟知本领域的人士将理解,虽然这里为了便于解释已描述了具体实施例,但是可在不背离本发明精神和范围的情况下做出各种改变。因此,除了所附权利要求之外,不能用于限制本发明。

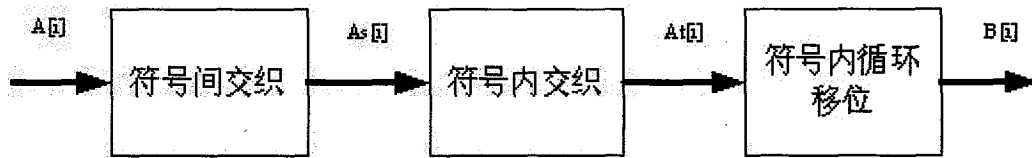


图 1

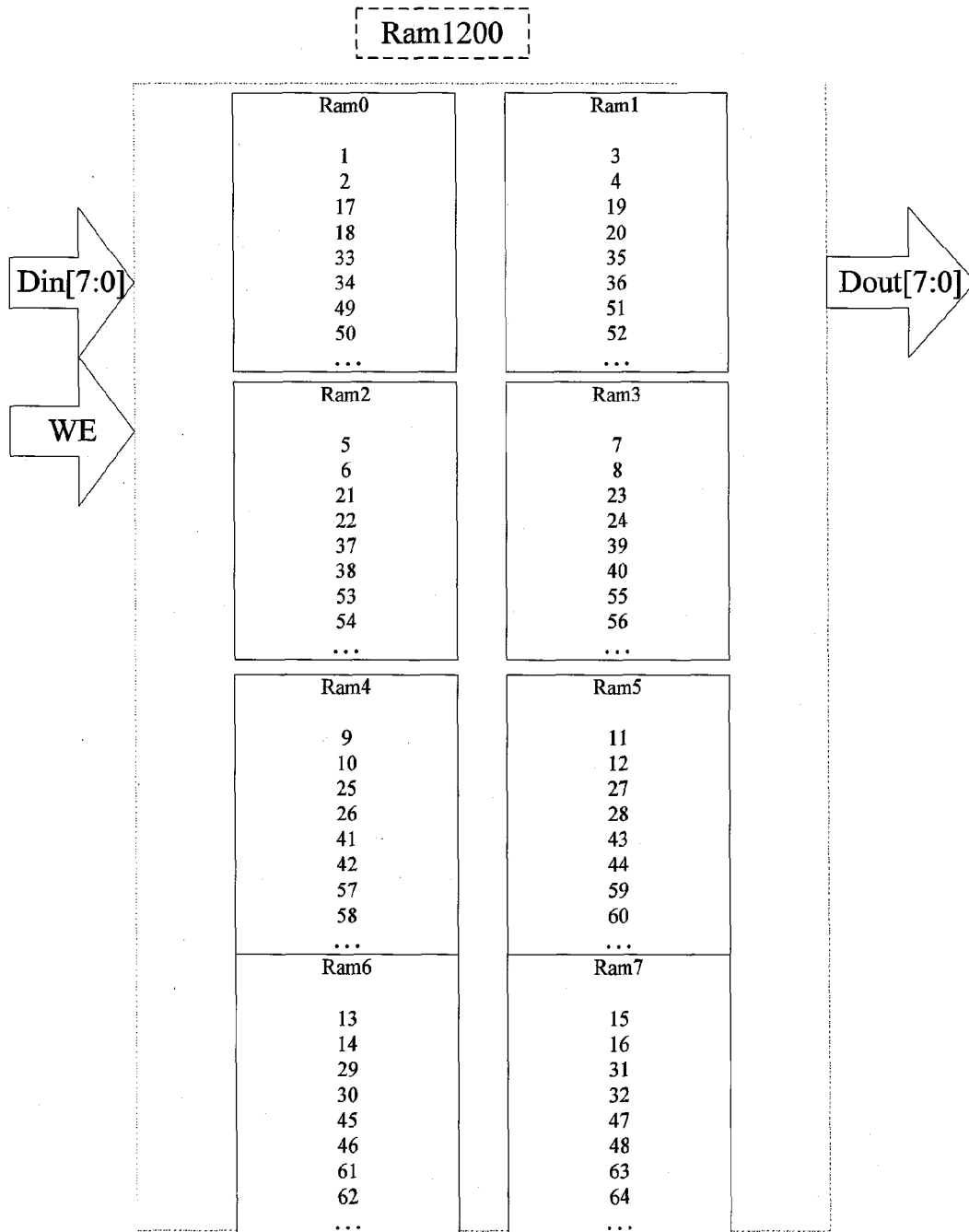


图 2

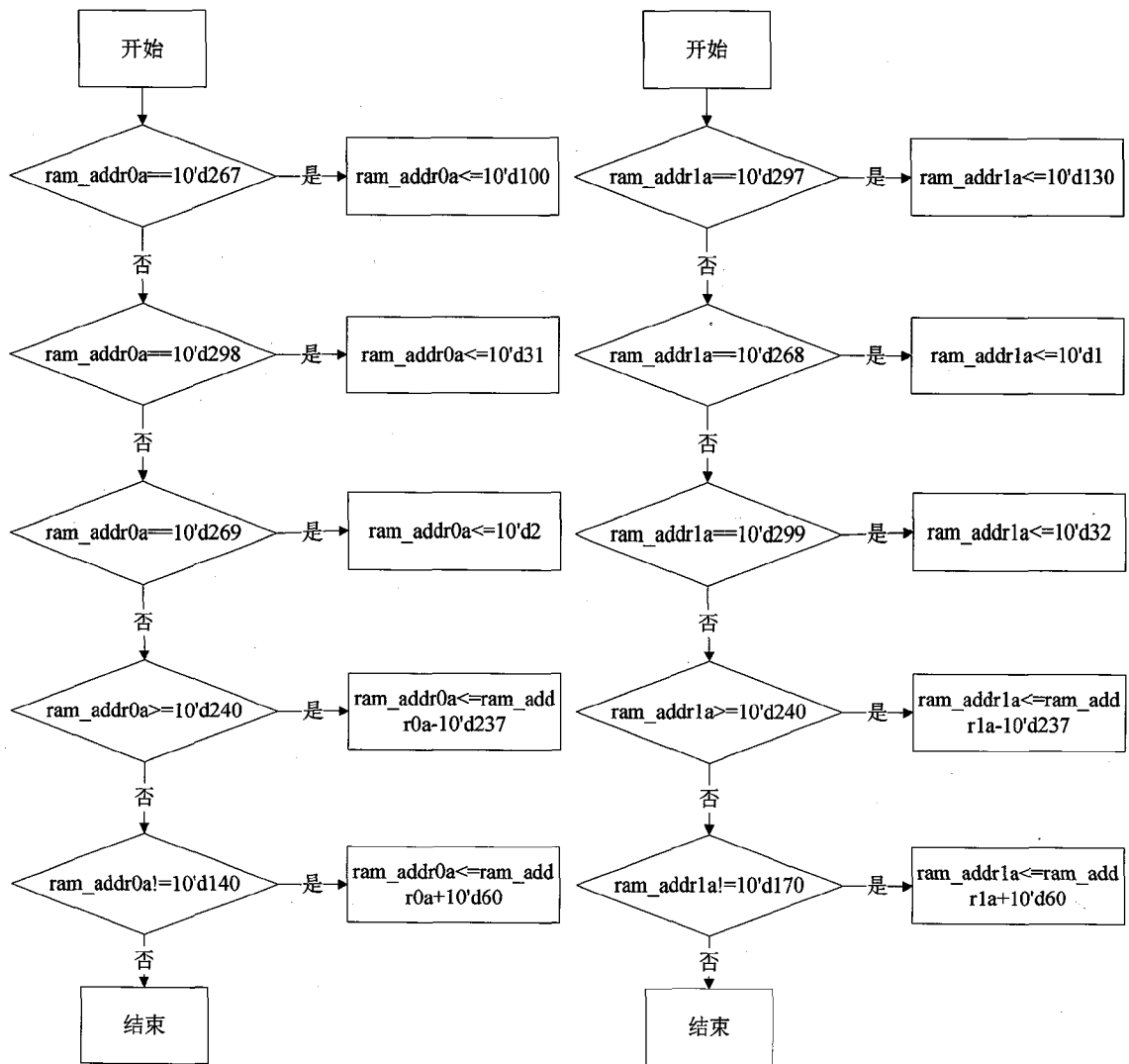


图 3

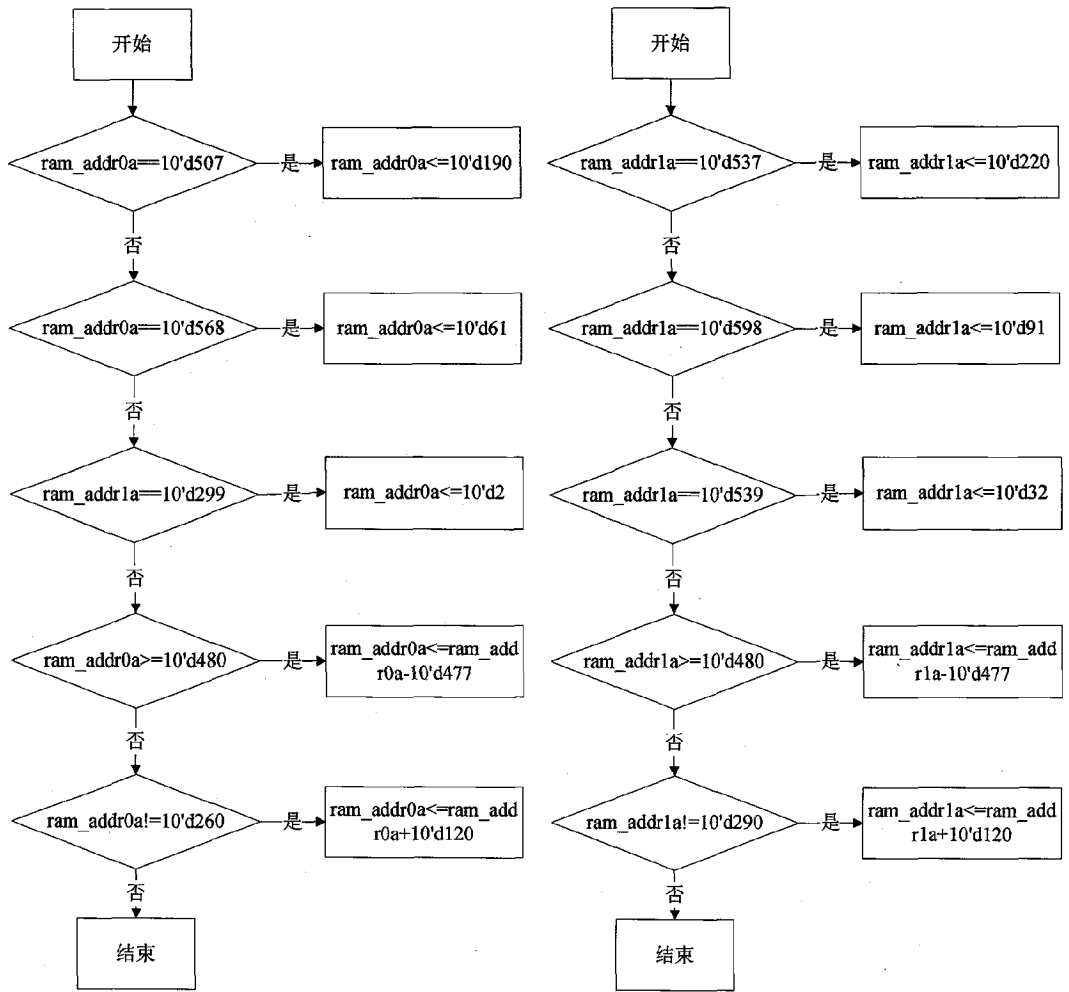


图 4

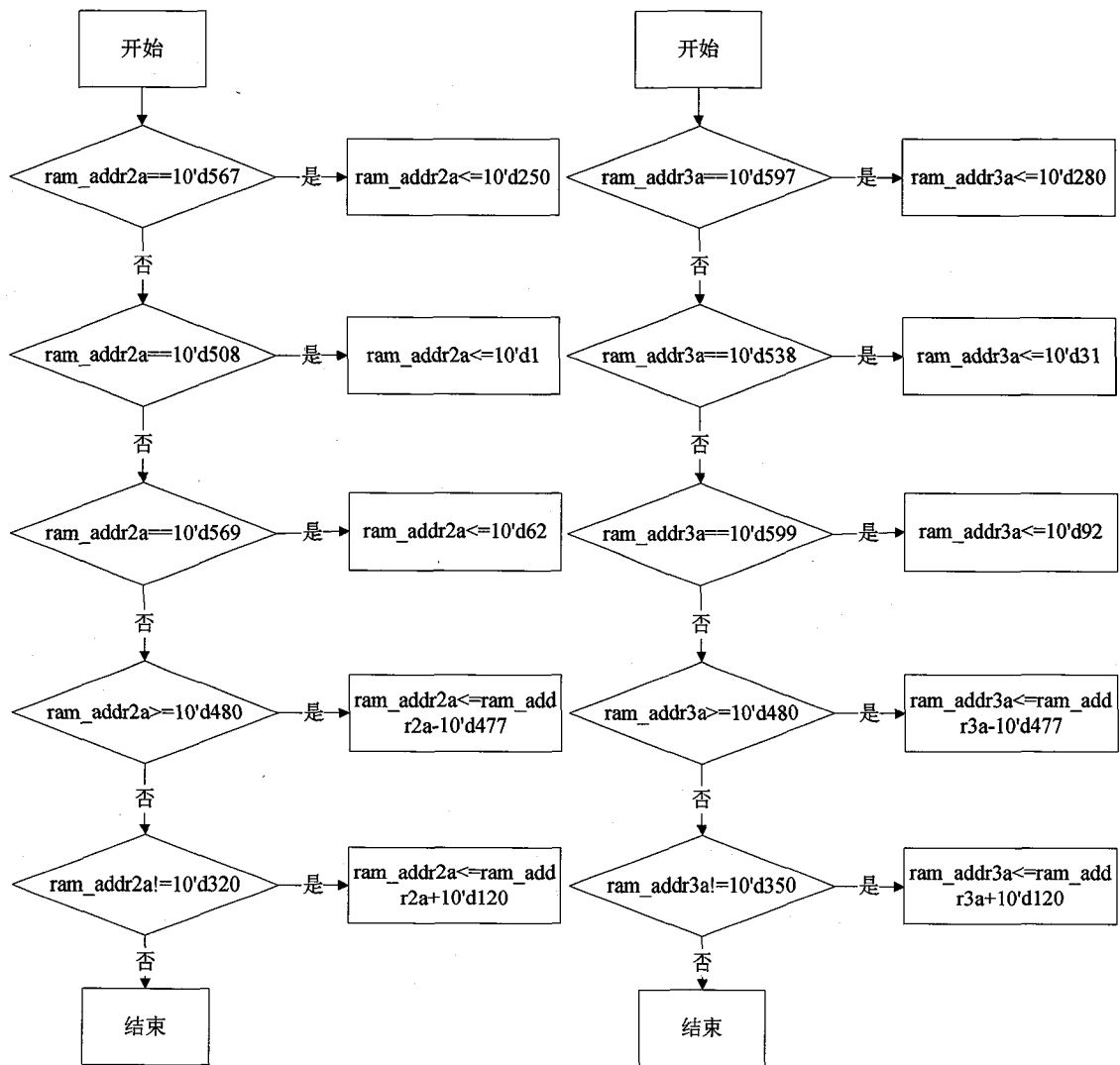


图 5

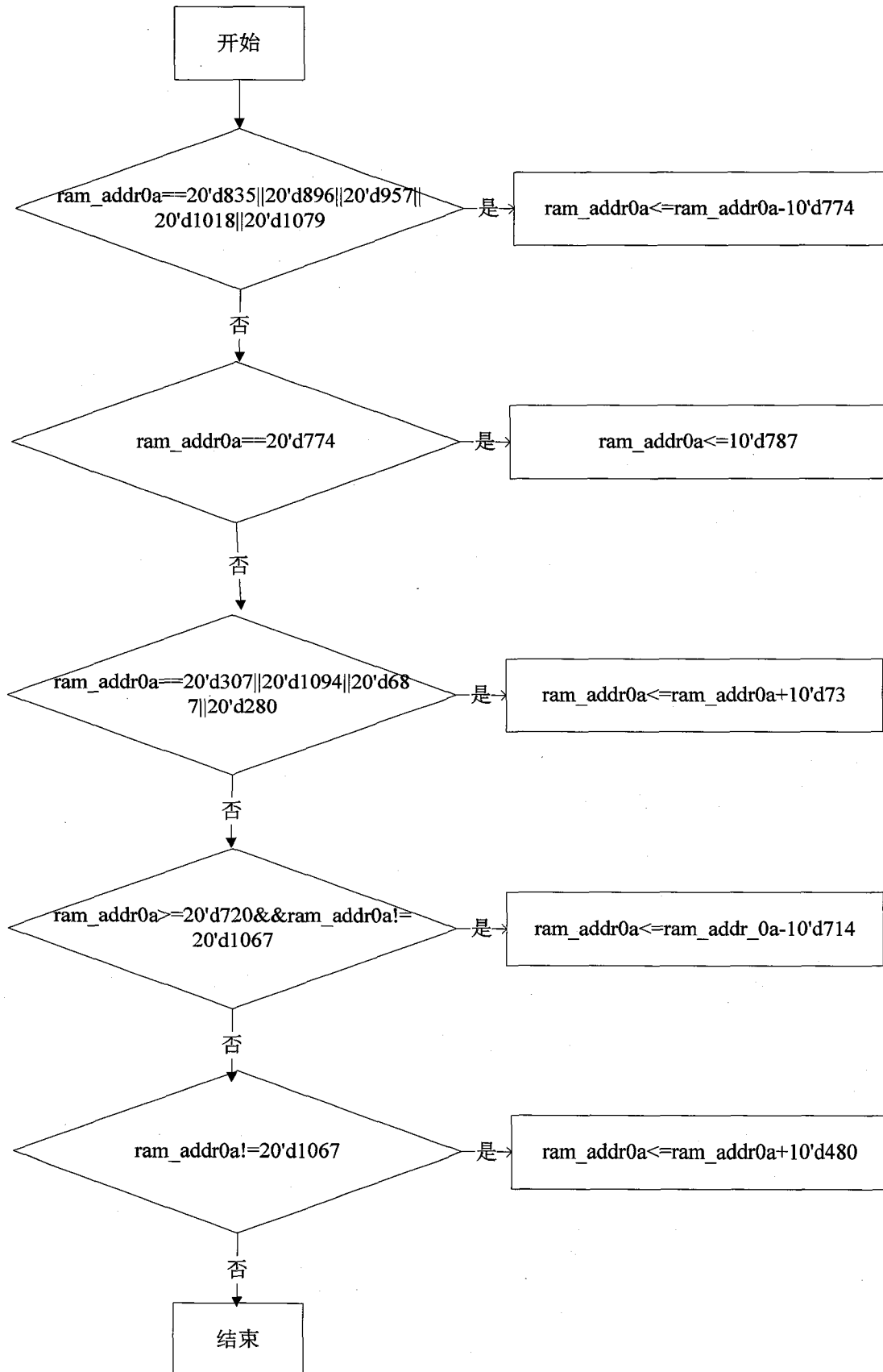


图 6

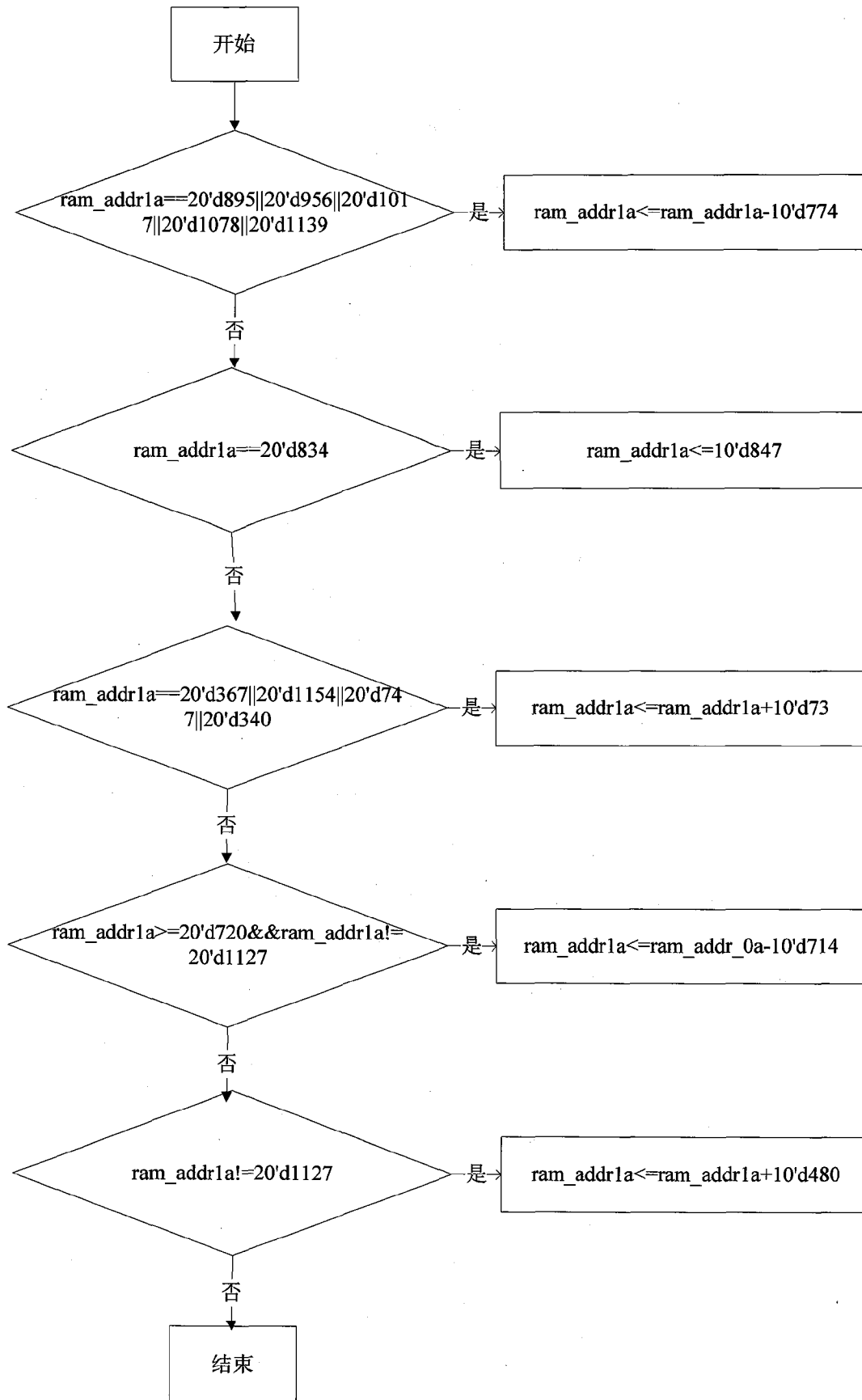


图 7

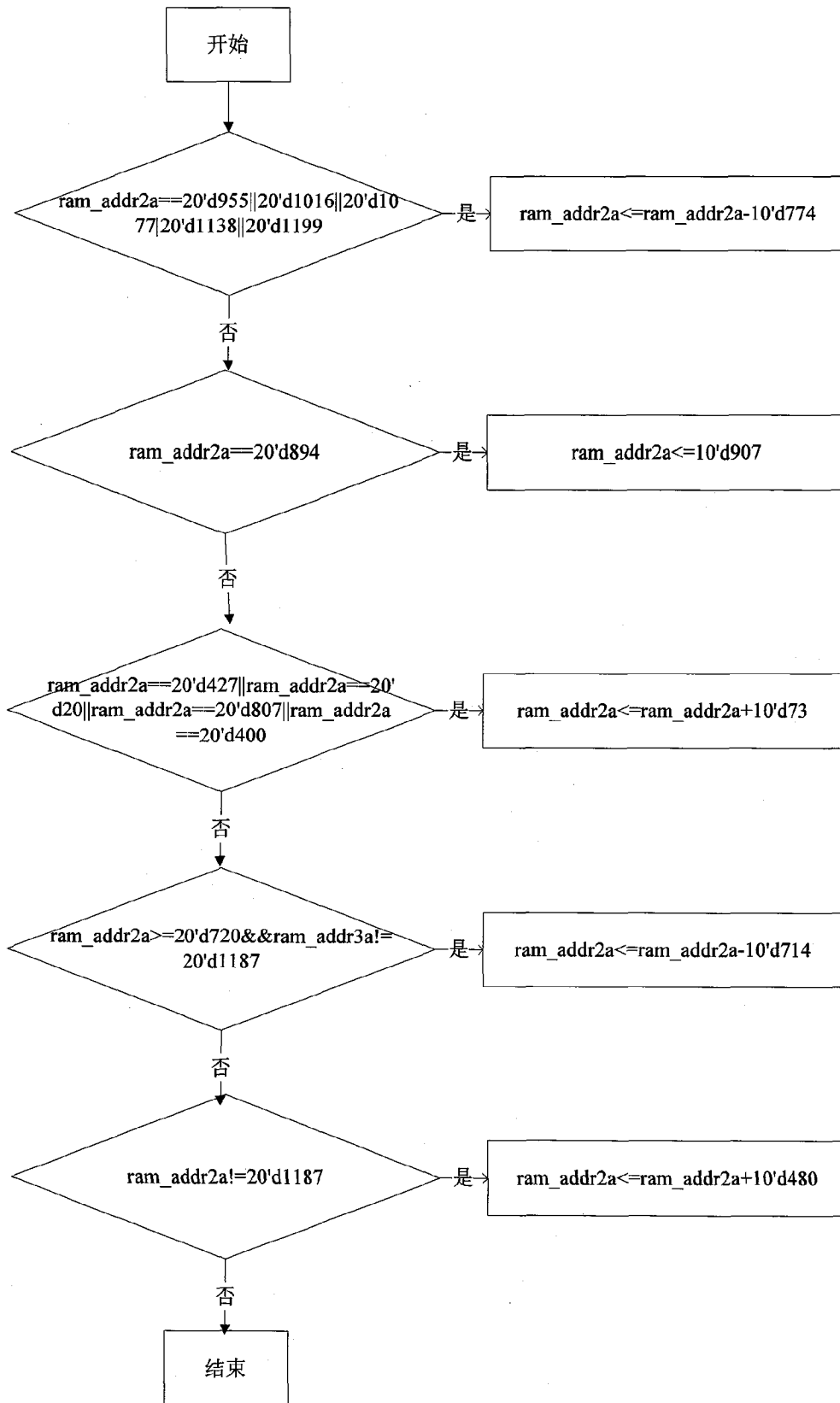


图 8

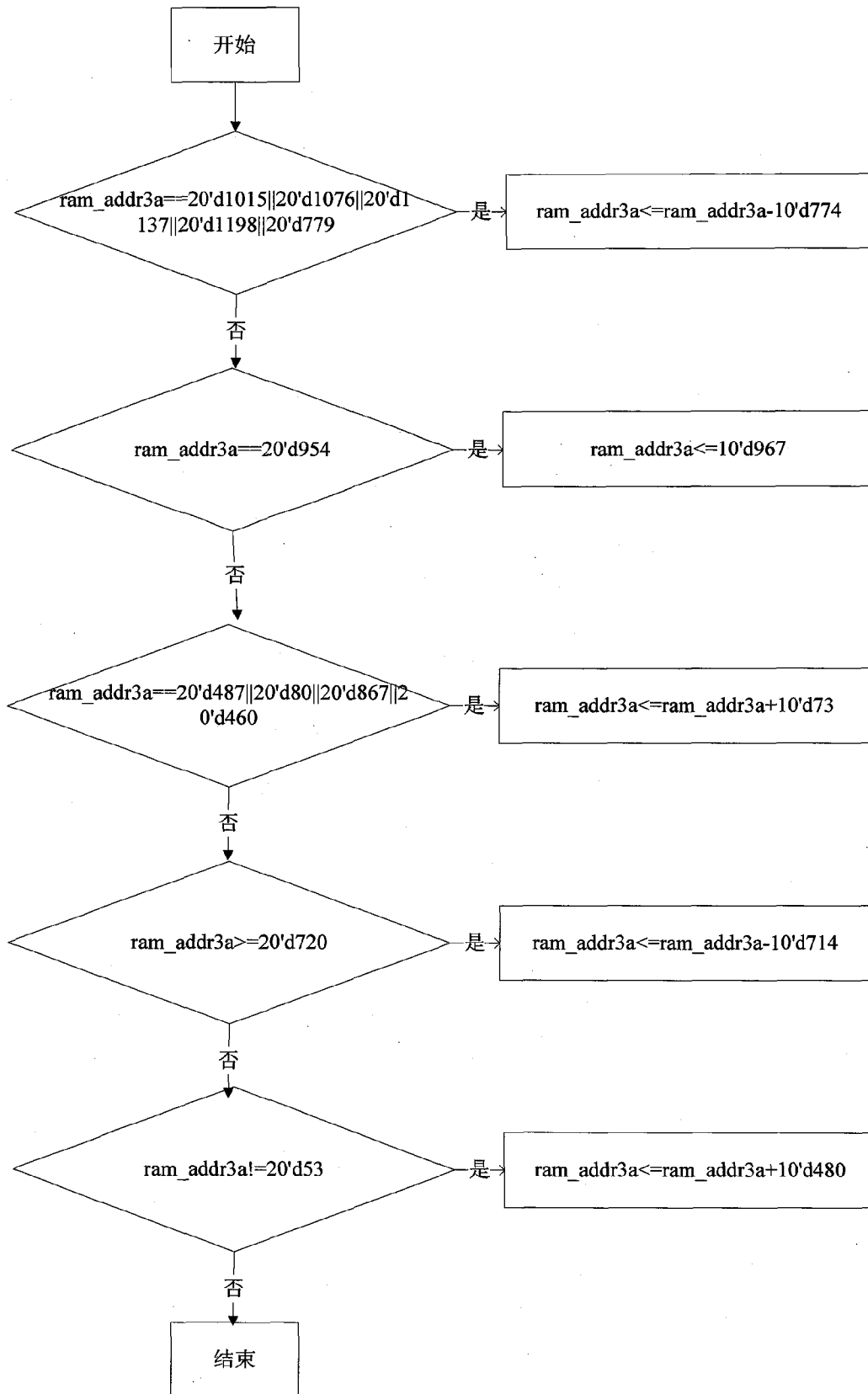


图 9

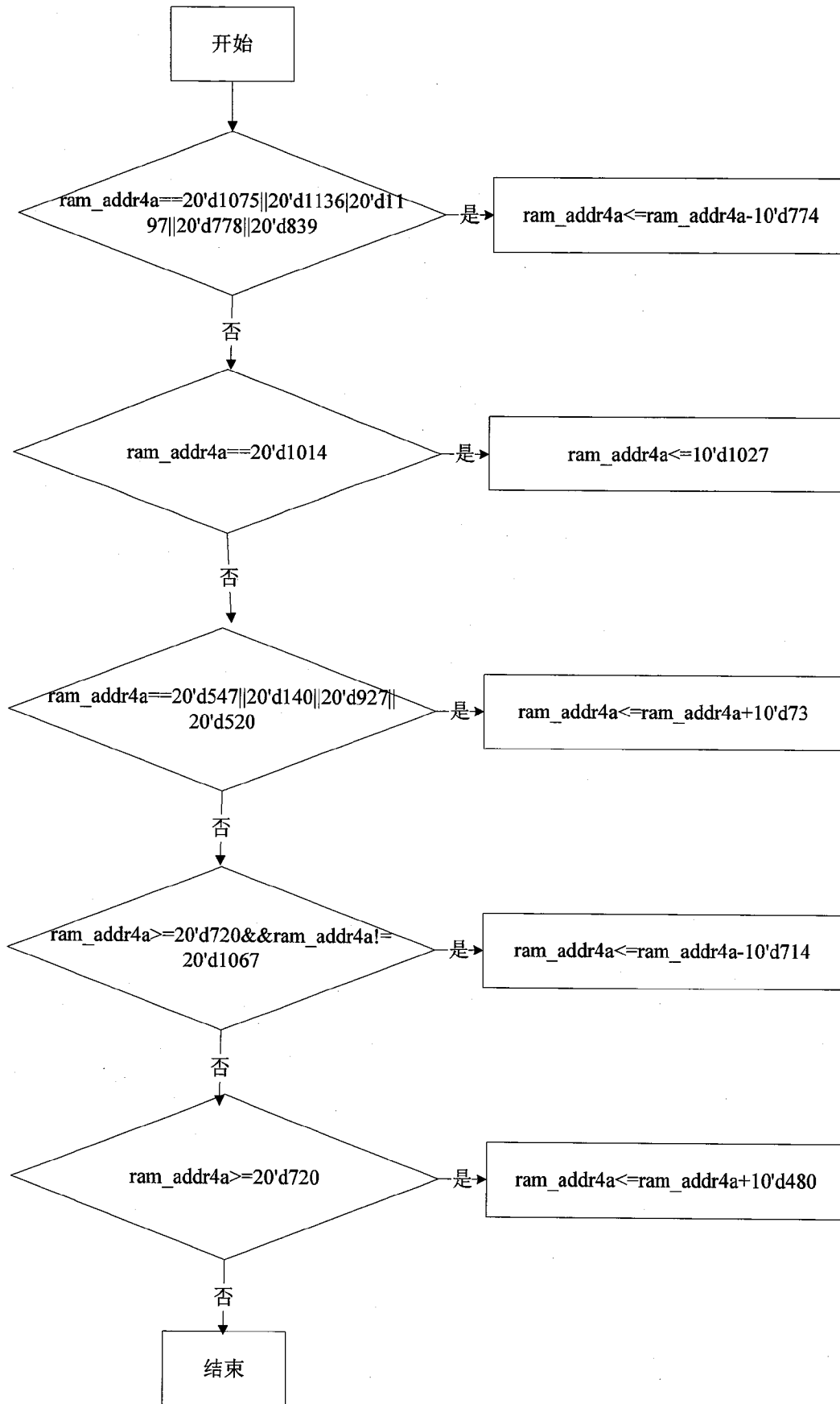


图 10

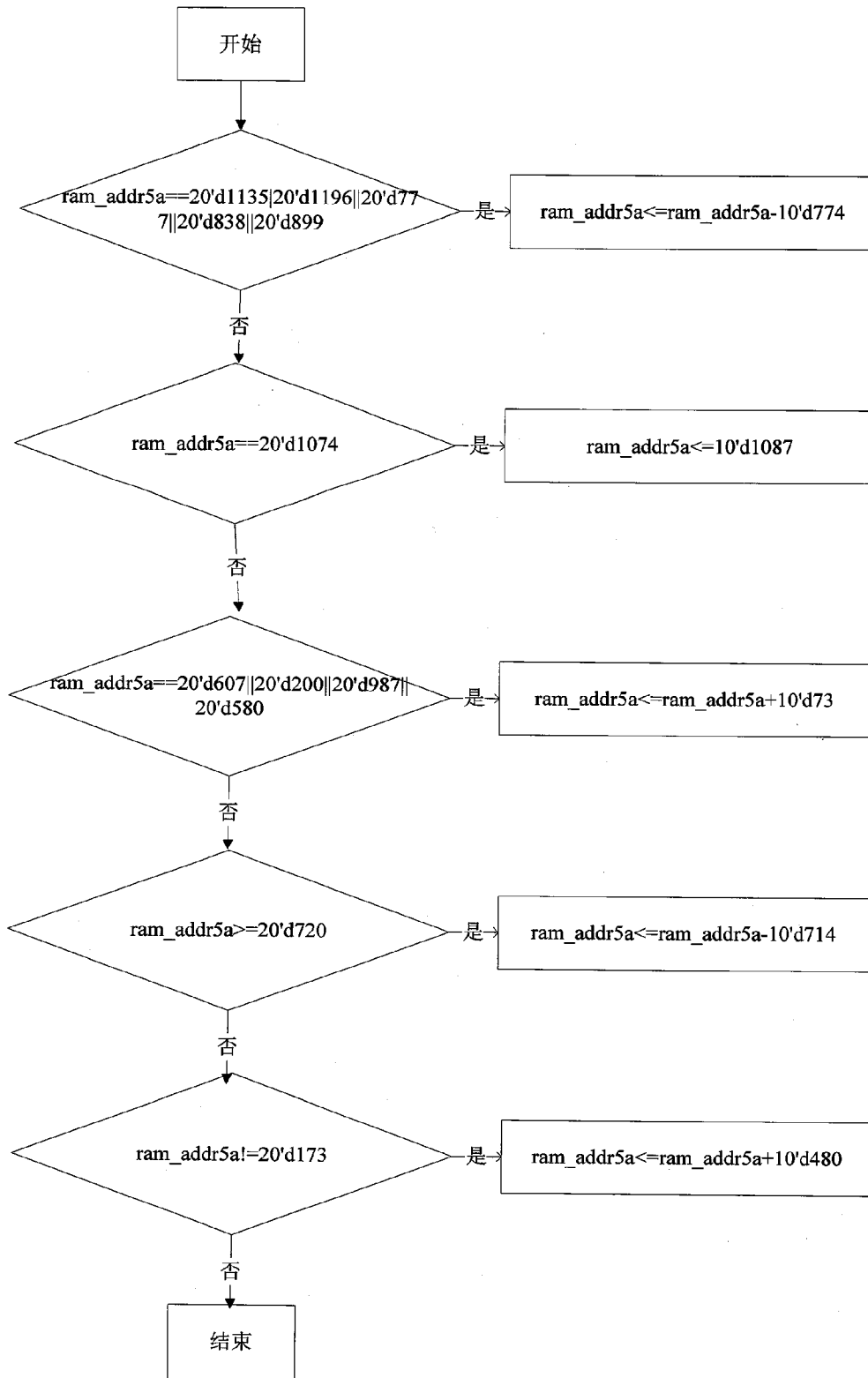


图 11

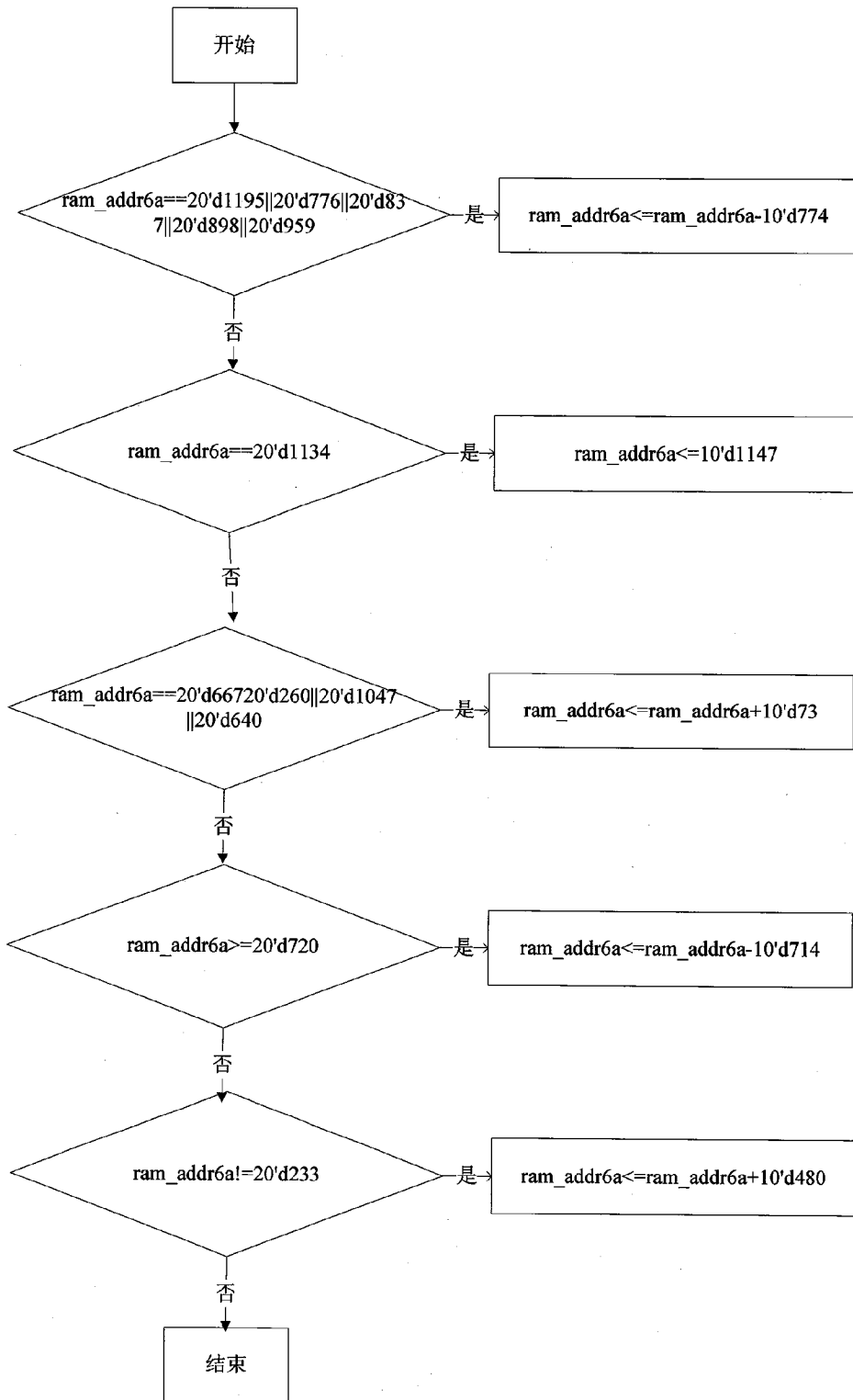


图 12

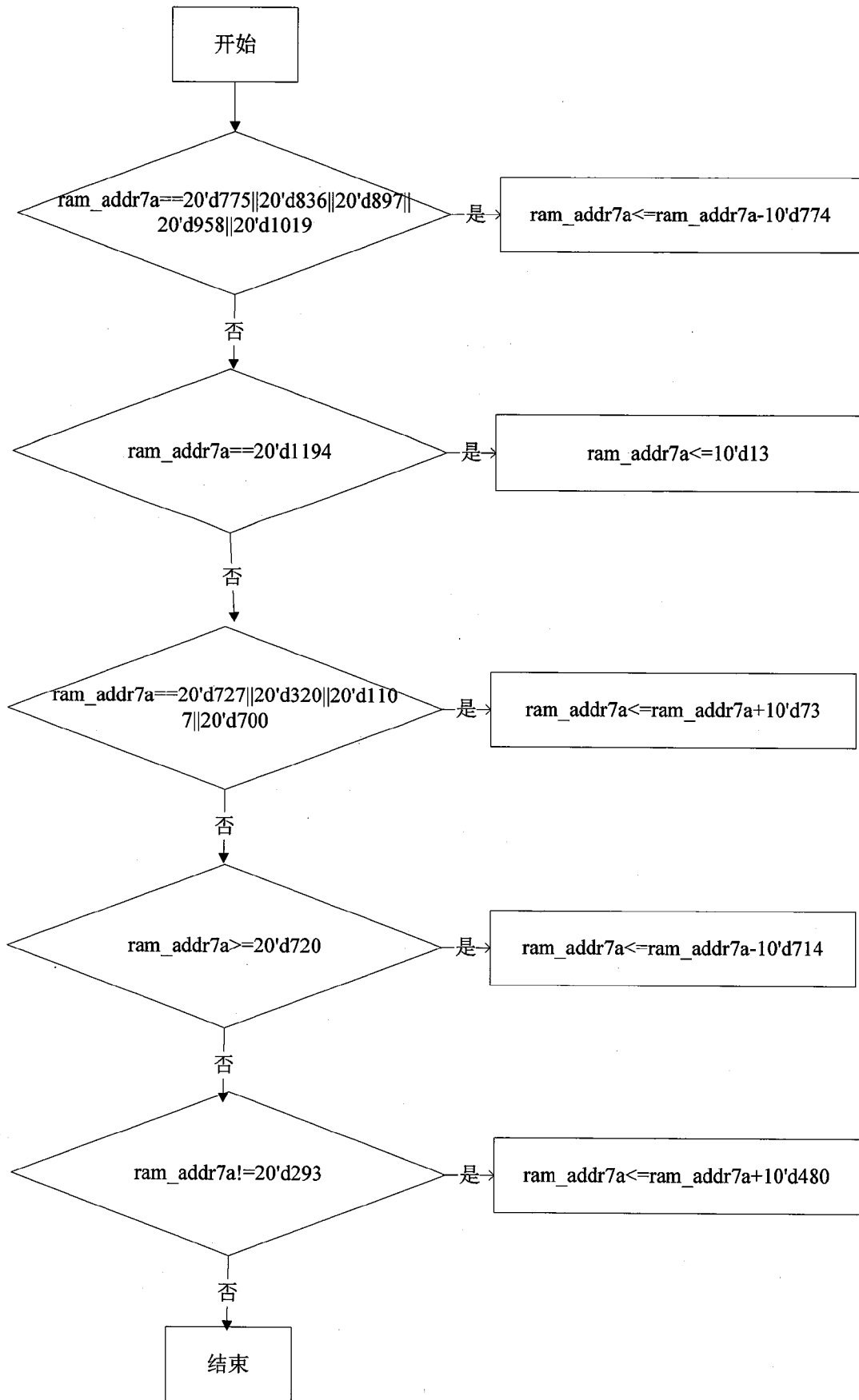


图 13