



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월29일
(11) 등록번호 10-1323400
(24) 등록일자 2013년10월23일

- | | |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p>(51) 국제특허분류(Int. Cl.)
G11C 7/22 (2006.01)</p> <p>(21) 출원번호 10-2008-7026515</p> <p>(22) 출원일자(국제) 2007년03월30일
심사청구일자 2012년03월28일</p> <p>(85) 번역문제출일자 2008년10월29일</p> <p>(65) 공개번호 10-2009-0007378</p> <p>(43) 공개일자 2009년01월16일</p> <p>(86) 국제출원번호 PCT/US2007/065723</p> <p>(87) 국제공개번호 WO 2007/115227
국제공개일자 2007년10월11일</p> <p>(30) 우선권주장
60/788,401 2006년03월30일 미국(US)</p> <p>(56) 선행기술조사문헌
US06263390 B1*
US20030056061 A1*
*는 심사관에 의하여 인용된 문헌</p> | <p>(73) 특허권자
실리콘 이미지, 인크.
미국 캘리포니아 (우편번호: 94085) 쉐니베일 이스트 아쿠에스 애비뉴 1140</p> <p>(72) 발명자
이, 동윤
미국 94085 캘리포니아주 서니베일 이스트 아쿠에스 애비뉴 1060
조, 명래
미국 94085 캘리포니아주 서니베일 이스트 아쿠에스 애비뉴 1060
김, 성준
미국 94085 캘리포니아주 서니베일 이스트 아쿠에스 애비뉴 1060</p> <p>(74) 대리인
백만기, 양영준</p> |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|

전체 청구항 수 : 총 15 항

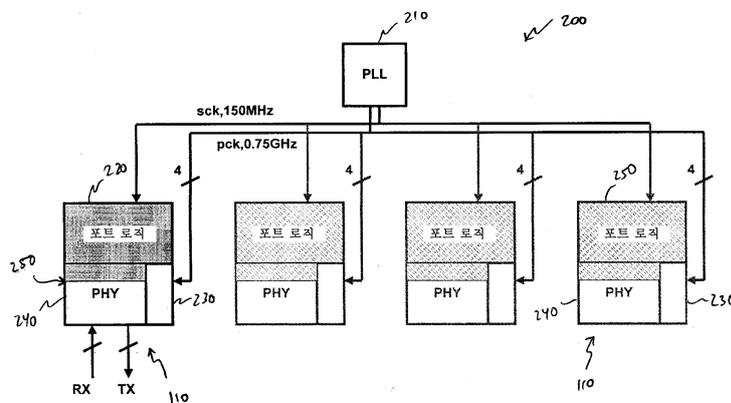
심사관 : 손윤식

(54) 발명의 명칭 가변적인 포트 속도들을 갖는 다중-포트 메모리 디바이스

(57) 요약

다중-포트 메모리 디바이스(100)는 2개 이상의 포트들(110)을 갖고, 각각의 포트는 상이한 속도로 동작할 수 있다. 다중-포트 메모리 디바이스는 2개 이상의 포트들을 통해 액세스될 수 있는 메모리 블록들을 포함한다. 2개의 클럭 신호들: 시스템 클럭(SCK) 및 포트 클럭(PCK)이 각각의 포트에 인가된다. 시스템 클럭은, 모든 포트들이 메모리 블록들에 대해 공통 속도로 동작하도록 메모리 블록들과 인터페이스하는 포트 로직(220)에 인가된다. 포트 클럭은 포트 각각과 연관된 클럭 분할기 회로(230)에 인가된다. 포트 클럭은 원하는 주파수로 분할되거나 또는 그의 원래의 주파수로 유지된다. 그러한 구성은, 포트들이 포트별 기반으로 설정될 수 있는 상이한 속도로 동작하도록 한다.

대표도 - 도 2



특허청구의 범위

청구항 1

다중-포트 메모리 디바이스로서,

상기 메모리 디바이스 내에 시스템 클록 신호 및 포트 클록 신호를 분배하기 위한 클록 분배 네트워크(clock distribution network) - 상기 시스템 클록 신호는 시스템 클록 주파수를 갖고 상기 포트 클록 신호는 포트 클록 주파수를 가짐 - ; 및

부착된 컴포넌트들에 대한 메모리 뱅크들로의 액세스를 제공하기 위하여 상기 클록 분배 네트워크에 연결되는 다수의 포트들 - 상기 시스템 클록 신호 및 상기 포트 클록 신호는 상기 다수의 포트들의 각각에 인가되고, 상기 다수의 포트들 각각은 클록 분할기 회로를 포함함 -

을 포함하고,

상기 클록 분할기 회로는,

제1 다수의 클록 분할기들 및 다수의 멀티플렉서들 - 상기 클록 분할기 회로는 상기 포트 클록 신호를 수신하고 상기 포트 클록 신호를 사용하여 로컬 포트 클록 주파수에서 각각의 포트에 대한 로컬 포트 클록 신호를 생성함 - ; 및

상기 로컬 포트 클록 신호를 수신하고 상기 로컬 포트 클록 주파수를 이용하여 상기 시스템 클록 주파수에서 로컬 시스템 클록 신호를 생성하는 제2 클록 분할기 - 상기 로컬 포트 클록 신호는 상기 로컬 포트 클록 주파수에서 동작하기 위하여 상기 포트에 의해 이용됨 -

를 포함하며,

상기 포트들 각각은 물리 층을 포함하고, 각각의 포트의 상기 물리 층은 상기 시스템 클록 주파수에서 동작하는 제1 부분(portion) 및 상기 로컬 포트 클록 주파수에서 동작하는 제2 부분을 포함하는 다중-포트 메모리 디바이스.

청구항 2

제1항에 있어서,

각각의 포트의 상기 클록 분할기 회로의 멀티플렉서들은 직렬로 연결되는 다중-포트 메모리 디바이스.

청구항 3

제1항에 있어서,

상기 클록 분할기 회로의 각각의 멀티플렉서가 입력 클록 신호를 수신하고 상기 입력 클록 신호를 출력하거나 상기 입력 클록 신호를 감소된 주파수를 갖는 신호를 출력하도록 선택된 양 만큼 분할함으로써, 각각의 포트의 상기 클록 분할기 회로가 상기 포트 클록 신호를 수정하는 다중-포트 메모리 디바이스.

청구항 4

제3항에 있어서,

상기 로컬 포트 클록 주파수는 상기 포트 클록 주파수의 분율(fraction)인 다중-포트 메모리 디바이스.

청구항 5

제1항에 있어서,

상기 다수의 포트들 각각과 상기 메모리 뱅크들 각각 사이의 통신은 상기 시스템 클록 주파수에서 발생하는 다중-포트 메모리 디바이스.

청구항 6

제5항에 있어서,

상기 다수의 포트들 각각과 각각의 포트에 연결된 임의의 컴포넌트 사이의 통신은 상기 로컬 포트 클럭 주파수에서 발생하는 다중-포트 메모리 디바이스.

청구항 7

제1항에 있어서,

상기 다수의 포트들과 상기 메모리 बैं크들 사이의 통신은 병렬로 발생하는 다중-포트 메모리 디바이스.

청구항 8

제1항에 있어서,

상기 다수의 포트들과 상기 다수의 포트들에 연결된 하나 이상의 컴포넌트들 사이의 통신은 직렬로 발생하는 다중-포트 메모리 디바이스.

청구항 9

제1항에 있어서,

상기 다수의 포트들 각각의 상기 로컬 포트 클럭 주파수는 포트별(port-by-port) 기반으로 변할 수 있는 다중-포트 메모리 디바이스.

청구항 10

제1항에 있어서,

각각의 포트의 상기 클럭 분할기 회로에 연결된 제어기를 더 포함하고, 상기 제어기는 상기 클럭 분할기 회로에 의해 상기 포트 클럭 신호에 이루어진 수정을 결정하는 다중-포트 메모리 디바이스.

청구항 11

제10항에 있어서,

상기 제어기는 제어 레지스터인 다중-포트 메모리 디바이스.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

제1항에 있어서,

각각의 포트의 상기 물리 층은 송신 회로 및 수신 회로를 더 포함하는 다중-포트 메모리 디바이스.

청구항 17

제16항에 있어서,

각각의 물리 층의 상기 송신 회로의 제1 부(part) 및 상기 수신 회로의 제1 부는 상기 물리 층의 제1 부분내에 위치하고 상기 물리 층의 상기 송신 회로의 제2 부 및 상기 수신 회로의 제2 부는 상기 물리 층의 제2 부분내에

위치하는 다중-포트 메모리 디바이스.

청구항 18

제17항에 있어서,

상기 송신 회로의 상기 제1 부는 상기 다수의 메모리 뱅크들로부터의 데이터를 래치하기 위한 다수의 레지스터들을 포함하고 상기 송신 회로의 상기 제2 부는 상기 다수의 레지스터들 중 하나의 레지스터의 출력을 선택하기 위한 멀티플렉서를 포함하는 다중-포트 메모리 디바이스.

청구항 19

제17항에 있어서,

상기 수신 회로의 상기 제2 부는 상기 포트 상에 수신된 데이터를 래치하기 위한 다수의 레지스터들을 포함하고 상기 수신 회로의 상기 제1 부는 상기 다수의 레지스터들 중 하나의 레지스터의 출력을 선택하기 위한 멀티플렉서를 포함하는 다중-포트 메모리 디바이스.

명세서

[0001] < 관련 출원에 대한 상호 참조 >

[0002] 본원은, 본원에 참조문헌으로서 포함된, 2006년 3월 30일에 출원되고, "집적된 다중-포트 직렬 메모리 및 내부-프로세서 통신"의 제목을 가진 미국 가특허출원 번호 60/788,401(대리인 서류 번호: 59472-8826.US00)에 대한 우선권을 주장한다.

배경 기술

[0003] 모바일 전화들, 휴대용 미디어 플레이어들, PDA들, 및 다른 모바일 디바이스들이 증가됨에 따라, 제조자들은 디바이스 사용자들에게 제공된 특징(feature)들을 계속해서 향상시켜왔다. 추가 특징들을 제공하는 것은 제조자들에게 디바이스들의 처리 전력(processing power)을 증가시킬 것을 통상 요구한다. 현재의 모바일 디바이스들에서, 예를 들어, 디바이스가 다중 컴퓨터 프로세서를 또는 다른 처리 구성요소들을 포함하는 것은 보기도문 것이 아니다. 예를 들어, 모바일 전화들은 종종 기저대역 프로세서, 미디어 프로세서 및 LCD 제어기를 포함한다. 모바일 디바이스에서의 처리 컴포넌트들 각각은 운영 시스템 또는 다른 어플리케이션들이 저장되는 다양한 메모리 영역(area)들을 액세스할 수 있다. 처리 컴포넌트들은 상이한 통신 프로토콜들을 사용하여, 상이한 통신 레이트들로 메모리 및 다른 컴포넌트들과 통신할 수 있다.

[0004] 모바일 디바이스들의 사이즈가 계속 작아짐에 따라, 제조자들은 디바이스 내에 포함된 컴포넌트들의 수를 최소화하기 위해 디바이스 아키텍처들을 최적화할 필요가 있다. 사이즈 감소는, 많은 반도체 컴포넌트들로부터의 기능을 단일 반도체 컴포넌트로 결합함으로써 종종 달성된다. 그러나, 제조자들이 모바일 디바이스 내에 포함된 컴포넌트들의 수를 감소시키려고 노력할 때, 다중-프로세서 환경에서 특히 심각한 다수의 문제들이 일어난다. 첫째, 단일 메모리 컴포넌트와 통신하는 다수의 처리 컴포넌트들을 갖는 것은 모든 컴포넌트들이 메모리 디바이스로서의 액세스를 가질 수 있도록 보증하기 위한 메커니즘을 요구한다. 그러한 도전은, 2001년 11월 7일 출원되고, 본원에 전체적으로 참조로서 포함되는 "메모리-기반 디바이스들용 통신 아키텍처들"의 제목을 가진 미국 특허 출원 번호 10/045,297에 개시된 다중-포트 디바이스와 같은, 다중-포트 메모리 디바이스들의 도입에 의해 해결된다. 다중-포트 메모리 아키텍처는 액세스성 컴포넌트들이 전용 포트들을 통해 공통 공유 메모리와 통신하도록 한다. 둘째, 모바일 디바이스의 다양한 처리 컴포넌트들은 상이한 데이터 레이트들로, 서로 그리고 메모리 디바이스들과 통신할 수 있다. 다수의 컴포넌트들을 사용할 때, 제조자들은, 그것이 접속된 처리 컴포넌트들의 요구사항들에 적합한 속도를 갖는 메모리 디바이스를 선택할 수 있다. 그러나, 컴포넌트 수를 감소시키므로써, 처리 컴포넌트들 및 메모리 디바이스들의 송신과 수신 통신 속도들 사이에 불일치(incompatibility)가 생길 수 있다. 따라서, 다양한 데이터 통신 속도들에서 아주 다양한 처리 컴포넌트들과 통신하기에 적합한 다중-포트 메모리 디바이스를 개발하는 것은 이로울 수 있다.

실시 예

[0009] 각각의 포트가 상이한 속도로 동작할 수 있는 2개 이상의 포트들을 갖는 다중-포트 메모리 디바이스가 기술된다. 다중-포트 메모리 디바이스는 2개 이상의 포트들을 통해 액세스될 수 있는 메모리 뱅크(bank)들을

포함한다. 2개의 클록 신호들, 즉, 시스템 클록 및 포트 클록이 각각의 포트에 인가된다. 시스템 클록은 메모리 बैं크들과 인터페이스하는 포트 로직(port logic)에 인가되어, 포트들 모두가 메모리 बैं크들에 대해 공통 속도로 동작하도록 한다. 포트 클록은 각각의 포트와 연관된 클록 분할기 회로에 인가된다. 포트 클록은 원하는 주파수로 분할되거나 또는 그의 원래 주파수로 유지된다. 그러한 구성은 포트들이 포트별(port-by-port) 기반으로 설정될 수 있는 상이한 속도들로 동작하도록 한다. 따라서, 포트들에 연결된 컴포넌트들은 상이한 데이터 레이트들로 메모리 디바이스와 통신할 수 있고, 따라서, 메모리 디바이스가 사용될 수 있는 어플리케이션들의 수를 증가시킨다.

[0010] 이제, 가변적인 속도의 포트들을 갖는 다중-포트 메모리 디바이스의 다양한 예들이 기술된다. 다음의 설명은 이러한 예들에 대한 완전한 이해 및 가능한 설명을 위해 특정 상세들을 제공한다. 그러나, 본 기술분야의 통상의 기술자라면, 본 기술이 많은 이러한 상세들 없이 실행될 수 있다는 것을 이해할 것이다. 부가적으로, 일부 공지된 구조들 및 기능(function)들은 다양한 예들에 대한 관련 설명을 불필요하게 모호하게 하는 것을 방지하기 위해, 상세히 나타내거나 또는 기재되지 않을 수 있다. 아래 표현된 설명에 사용된 용어는, 본 기술에 대한 소정의 특정 예들의 상세한 설명과 관련하여 사용되더라도, 가장 넓은 합리적인 방식으로 해석될 것이다. 그러나, 소정의 용어들은, 임의의 제한된 방식으로 해석되도록 의도된 임의의 용어가 이러한 발명의 상세 설명 섹션에서와 같이 명백히 그리고 특별히 정의될 것이라는 점이 강조될 수도 있다.

[0011] 도 1은 가변적인 속도의 포트들을 갖는 다중-포트 메모리 디바이스(100)가 동작할 수 있는 환경의 블록도이다. 다중-포트 메모리 디바이스는 2개 이상의 직렬 포트들(110)을 포함하고, 각각의 포트는 시스템 컴포넌트(120)와 연결될 수 있다. 시스템 컴포넌트는 기저대역 프로세서, 미디어 프로세서, 또는 LCD 제어기와 같은 공유 메모리를 사용하는 임의의 타입의 컴포넌트일 수 있고, 포트를 구성하고 제어하기 위한 포트 마스터로서 작용할 수 있다. 메모리 디바이스(100)는 포트들을 통해 액세스될 수 있는 데이터를 저장하는 하나 이상의 메모리의 बैं크들(도시되지 않음)을 포함한다. 메모리의 बैं크들은 DRAM(dynamic random access memory) 또는 다른 일반적인 타입들의 메모리로 구성될 수 있다. 시스템 컴포넌트는, 그것이 접속되는 대응하는 포트를 통해 메모리 디바이스에 데이터를 송신하고 수신한다. 데이터는 시스템 컴포넌트들과 포트들 사이에서 직렬로, 그리고 포트들과 메모리의 बैं크들 사이에서 병렬로 통신된다. 시스템 클록(130)은 메모리 디바이스(100) 및 컴포넌트들(120)에 의해 사용될 수 있는 공통 클록 신호(common clocking signal)를 제공한다. 각각의 컴포넌트는 적절한 대역폭 및 지터 요구사항(jitter requirement)들을 갖는 클록 회로(도시되지 않음)를 갖는다. 본원에 설명될 바와 같이, 시스템 클록은, 각각의 포트들이 원하는 속도로 동작하도록 각각의 포트(110)에서 선택적으로 분할될 수 있다. 포트별 기반으로 포트 속도를 설정하여 포트 속도가 포트에 부착된 대응하는 컴포넌트(120)에 최적화되도록 한다. 포트와 부착된 컴포넌트 사이의 통신이 설정 속도(configured speed)로 일어나는 동안, 메모리 디바이스의 내측의 포트들 사이의 통신은 공통 속도로 일어난다.

[0012] 도 2는 다중-포트 메모리 디바이스의 포트들에 대한 클록 분배 시스템의 블록도이다. 위상-고정 루프(phase-locked loop)(210)는 포트들(110)에 분배된 2개의 클록 신호들: 시스템 클록(sck) 및 포트 클록(pck)을 생성한다. 포트로부터 메모리 बैं크들까지의 데이터의 병렬 처리 및 통신과 같이, 시스템 클록이 각각의 포트의 포트 로직(220)에 인가되어, 모든 포트 로직이 공통 속도로 동작할 수 있게 한다. 포트 클록은 각각의 포트와 연관된 클록 분할기 회로(230)에 인가된다. 본원에서 추가로 상세히 설명되는 바와 같이, 클록 분할기 회로는 포트 클록을, 포트별 기반으로 원하는 클록 주파수로 선택적으로 수정한다. 포트별 기반으로 포트 클록 주파수를 수정하는 것은 포트에서의 데이터의 직렬-병렬 변환(serial to parallel conversion) 및 아날로그 부분과 같은, 포트의 다양한 물리-층(physical-layer) 컴포넌트들(240)이 원하는 속도로 동작할 수 있도록 한다. 결과로서, 각각의 포트의 송신 및 수신 컴포넌트들은 포트별 기반으로, 연결된(coupled) 시스템 컴포넌트와 함께 동작하도록 설정될 수 있다. 물리층의 일부가 로컬(local) 포트 클록 속도로 동작하고 물리층의 일부가 시스템 클록 속도로 동작하는 것을 개념적으로 나타내는 도면에 클록 도메인 바운더리(clock domain boundary)(250)가 도시된다. 도 2에 도시된 시스템에서, 시스템 및 포트 클록 속도들은 개시된 아키텍처가 활용되는 시스템에 적합하도록 변할 수 있지만, 시스템 클록 속도는 150MHz이고 포트 클록 속도는 750MHz이다. 게다가, 클록 분할기 회로(230)가 각각의 포트에 제공되는 것으로서 도면에 도시되지만, 다중-포트 메모리 디바이스의 포트들 중 일부만이 클록 분할기 회로를 포함할 수 있다는 것이 이해될 것이다.

[0013] 도 3은 원하는 주파수로 클록 신호를 분할하는 클록 분할기 회로(230)의 회로도이다. 분할 회로는 직렬로 접속된 2개의 다중화기(multiplexer)들(310, 320) 및 클록 주파수를 고정 양(fixed amount)으로 각각 분할하는 다수의 클록 분할기들(330)을 포함한다. 일부 실시예들에서, 다중화기들(310 및 320)은 4-대-1(4-to-1) 다중화기들이다. 포트 클록(pck)은 제1 다중화기(310)의 하나의 입력에 직접 접속되고, 클록 분할기들의 세트를 통해

제1 다중화기의 다른 입력들 각각에 접속된다. 도 3에 도시된 구현에서, 3개의 입력들과 연관된 클록 분할기들은 3/4, 2/4 및 1/4의 값들을 갖는다. 그러한 구현에서, 제1 다중화기는 원래의 포트 클록 주파수로 클록 신호를 출력할 수 있거나, 또는 제1 다중화기는 원래의 포트 클록 주파수의 75%, 50% 또는 25% 중 어느 하나로 주파수가 감소되는 클록 신호를 출력할 수 있다. 제1 다중화기의 출력은 모드 레지스터(mode register)(MSR)의 설정에 의해 결정된다. 제1 다중화기의 출력은 제2 다중화기(320)의 하나의 입력에 직접 접속되고, 클록 분할기들의 세트를 통해 제2 다중화기의 다른 입력들에 접속된다. 도시된 구현에서, 제2 다중화기와 연관된 클록 분할기들은 1/2, 1/4 및 1/8의 값들을 갖는다. 제2 다중화기의 출력은 모드 레지스터(MRS)의 설정에 의해서도 결정된다. 제2 다중화기의 출력은 로컬 포트 클록(local port clock)(lpck)이다. 제1 및 제2 다중화기의 설정들에 따라, 로컬 포트 클록은 포트 클록(pck)과 동일한 주파수로부터 도시된 실시예의 포트 클록의 주파수의 1/32까지의 범위를 가질 수 있다.

[0014] 일부 실시예들에서, 로컬 포트 클록이 시스템 클록과 동일한 주파수를 갖는 것은 바람직할 수 있다. 그러한 설정이 가능하도록 하기 위해, 클록 분할기(340)는 제2 다중화기(320)의 출력에 연결된다. 클록 분할기(340)는 로컬 포트 클록을 5로 나눈다. 제1 및 제2 다중화기들이, 로컬 포트 클록(lpck)이 포트 클록(pck)과 동일한 주파수이도록 설정된다면, 그 후, 도 2 및 3의 도시된 실시예에서, 로컬 포트 클록을 5로 나누어 시스템 클록(spck)과 동일한 주파수를 갖는 클록을 생성할 것이다(즉, 750MHz를 5로 나누면 150MHz 클록 신호가 된다).

[0015] 도 3은 2개의 다중화기들 및 소정의 클록 분할기 값들을 갖는 클록 분할기 회로를 도시하지만, 회로의 구성은 특정 어플리케이션에 따라 수정될 수 있다. 다중화기들의 수, 각각의 다중화기에 대한 입력들의 수 및 클록 분할기들의 수 및 값은 모두, 어플리케이션 및 원하는 클록 속도들에 따라 다를 수 있다. 일부 실시예들에서, 클록 분할기(330)들의 값은 조절가능할 수 있다.

[0016] 도 4는 다중-포트 메모리 디바이스의 클록 도메인 바운더리(250)를 통해 연장되는 송신 회로(400) 및 수신 회로(410)의 회로도이다. 도면의 클록 도메인 바운더리(250)의 좌측의 회로들의 부분들은 시스템 클록(sck) 도메인에서 동작한다. 클록 도메인 바운더리(250)의 우측의 회로들의 부분들은 로컬 시스템 클록(lsck) 도메인에서 동작한다.

[0017] 송신 회로(400)는 pl_tx-데이터 라인들에 수신되는 데이터를 순차적으로 래치하는(sequentially latch) 4개의 레지스터들(430)의 세트로 구성된다. 데이터의 버스트(burst)들은 레지스터들에 따라 크기조절된 4개의 세그먼트들에 수신된다. 각각의 레지스터들로부터의 출력들은 4-대-1 다중화기(450)의 입력들에 연결된다. 유한 상태 머신(finite state machine)(440)은 시퀀스(00, 01, 10, 11)를 통해 진행하고(step), 그 시퀀스를 다중화기(450)에 인가함으로써, 차례로 각각의 레지스터들로부터의 출력을 선택하도록 한다. 유한 상태 머신 시퀀스는, tx_유효(valid) 신호가 검출될 때만 생성된다. 따라서, pl_tx-data_lsck 라인들로 데이터가 송신된다. 레지스터들의 오버플로우(overflow)를 방지하기 위해, 데이터의 이전의 4개-세그먼트 버스트가 처리될 때만 새로운 데이터가 수신된다.

[0018] 수신 회로(410)는 lp_rx_data_lsck 라인들로 수신된 데이터를 래치하는 한쌍의 레지스터들(460)로 구성된다. rx_wr_ptr 신호는 0과 1 사이에서 교번하여(alternate), 수신된 데이터가 각각의 레지스터로 번갈아 래치되도록 한다. 2개의 레지스터들은, 판독 커맨드(read command)가 특정 레지스터에서의 데이터에 대한 기입(write) 커맨드와 오버랩되지 않도록 보증하기 위해 사용된다. 각각의 레지스터들로부터의 출력들은 다중화기(470)의 입력들에 연결된다. 유한 상태 머신(480)은, 레지스터들(460)로부터 적절한 출력을 선택하고, lp_rx_data 라인들로 수신된 데이터를 제공하기 위해, 시퀀스를 생성하여 다중화기에 인가한다.

[0019] 다중-포트 메모리 디바이스에 우선 전력이 인가(power-up)될 때, 모든 포트들은 각각의 포트에 대해 이용가능하게 최고 속도 설정에서 동작하도록 구성될 수 있다. 그 후, 포트 마스터(master)는 원하는 어플리케이션용 포트들을 구성하기 위해 하나 이상의 포트들을 선택적으로 수정할 수 있다. 일부 실시예들에서, 관리 포트 마스터는 디바이스의 모든 포트들을 구성할 수 있다.

[0020] 이와달리 아래 기술되지 않는다면, 본 발명의 양태들은 종래 시스템들을 이용하여 실행될 수 있다. 따라서, 도면들에 나타난 다양한 블록들의 구조 및 동작은, 그러한 블록들이 관련 기술분야의 통상의 기술자들에 의해 이해될 것이기 때문에, 종래 설계일 수 있고, 본 발명을 구성하고 사용하기 위해 본원에 더 상세히 기술될 필요는 없다. 시스템의 양태들은 하나 이상의 컴퓨터들 또는 다른 디바이스들에 의해 실행되는, 프로그램 모듈들과 같은, 컴퓨터-실행가능한 명령어들을 사용하여 구현될 수 있다. 일반적으로, 프로그램 모듈들은, 특정 작업들을 수행하거나 또는 특정의 추상적인 데이터 타입들을 구현하는, 루틴(routine)들, 프로그램들, 객체들, 컴포넌트들, 데이터 구조들 등을 포함한다. 통상, 다양한 실시예들에서 요구되는 바에 따라, 프로그램 모듈들의 기능성

은 결합되거나 분배될 수 있다.

[0021] 전술로부터, 본 발명의 특정 실시예들은 예시를 위해 본원에 도시될 뿐, 본 발명의 사상 및 범위에서 벗어남 없이 다양한 수정들이 이루어질 수 있다는 것이 이해될 것이다. 따라서, 본 발명은 첨부된 특허청구범위에 의한 것을 제외하고는 제한되지 않는다.

도면의 간단한 설명

[0005] 도 1은 가변적인 포트 속도들을 갖는 다중-포트 메모리가 동작할 수 있는 대표적인 환경의 블록도이다.

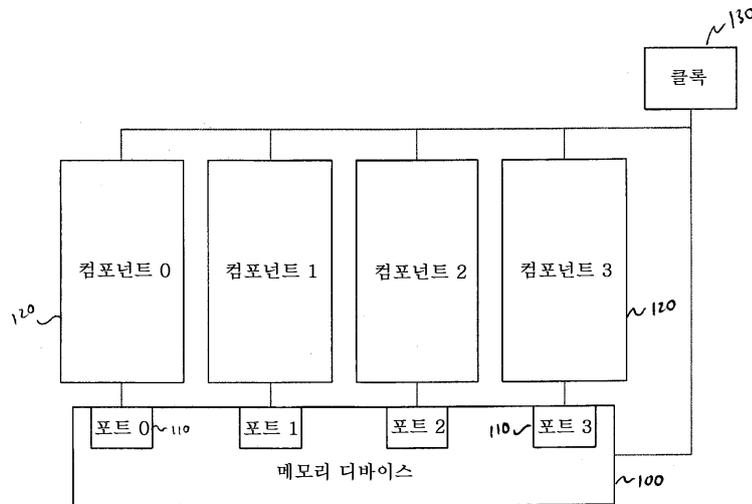
[0006] 도 2는 다중-포트 메모리 디바이스의 포트들에 대한 클록 분배 시스템(clock distribution system)의 블록도이다.

[0007] 도 3은 원하는 클록 주파수를 달성하기 위해 클록 신호를 분할하는 클록 분할기 회로의 회로도이다.

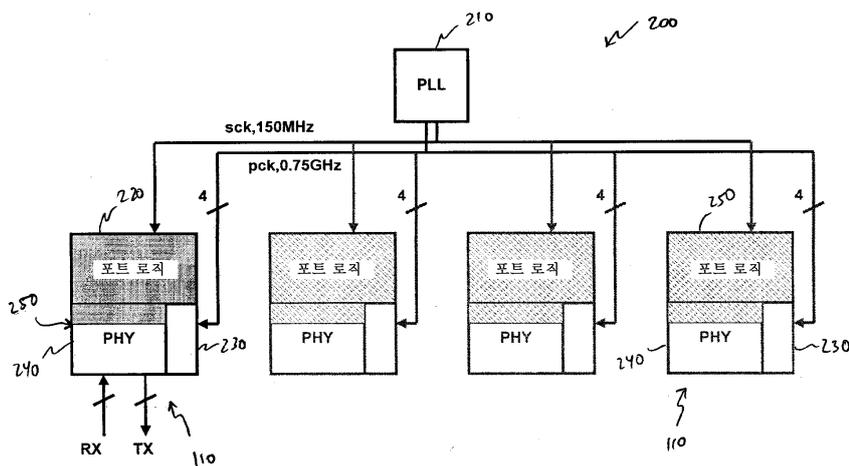
[0008] 도 4는 다중-포트 메모리 디바이스의 클록 바운더리를 통해 연장되는 송신 회로 및 수신 회로의 회로도이다.

도면

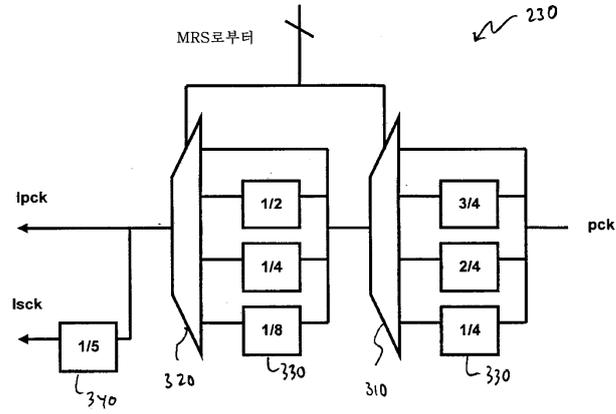
도면1



도면2



도면3



도면4

