



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년04월12일
(11) 등록번호 10-2238755
(24) 등록일자 2021년04월05일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) H01L 21/225 (2006.01)
H01L 21/324 (2017.01)
(52) CPC특허분류
H01L 21/02378 (2013.01)
H01L 21/02225 (2013.01)
(21) 출원번호 10-2017-0086652
(22) 출원일자 2017년07월07일
심사청구일자 2019년08월29일
(65) 공개번호 10-2019-0006146
(43) 공개일자 2019년01월17일
(56) 선행기술조사문헌
JP2014139967 A*
(뒷면에 계속)

(73) 특허권자
한국전자통신연구원
대전광역시 유성구 가정로 218 (가정동)
(72) 발명자
노태문
대전광역시 유성구 봉명로 48 804동 1302호 (원
신흥동, 신안인스빌리베리아파트)
구진근
대전광역시 유성구 온천2동 문화원로 13
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 8 항

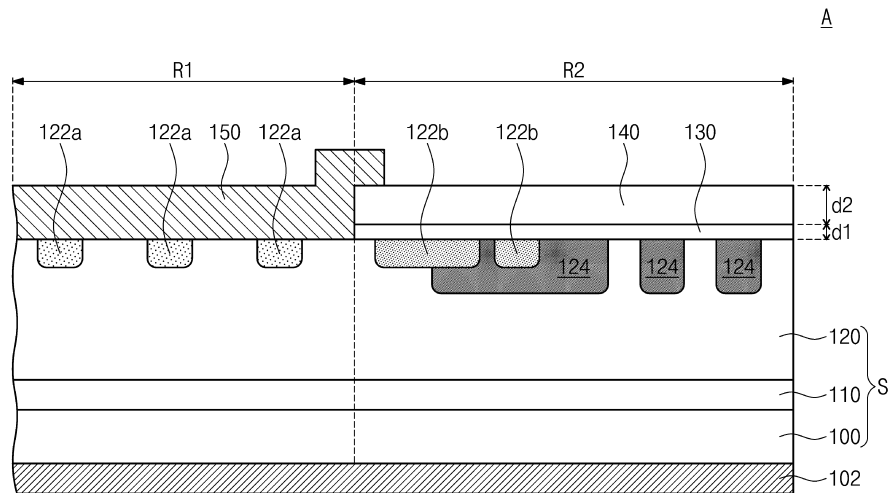
심사관 : 방기인

(54) 발명의 명칭 전력 반도체 소자의 제조 방법

(57) 요약

본 발명은 전력 반도체 소자의 제조방법에 관한 것으로, 기판의 상부에 이온주입 영역 및 이온주입 영역의 적어도 일부를 둘러싸는 가드링 영역을 형성하는 것, 기판 상에 이온주입 영역 및 가드링 영역을 덮는 제1 절연막을 형성하는 것, 제1 절연막을 열처리하는 것 및 제1 절연막 상에 제1 절연막 보다 두꺼운 제2 절연막을 형성하는 것을 포함하되, 기판은 실리콘 카바이드를 포함하고, 열처리는 질소(N) 원소를 포함하는 가스를 이용하여 수행되는 전력 반도체 소자의 제조방법이 제공된다.

대표도 - 도3



- (52) CPC특허분류
H01L 21/2253 (2021.01)
H01L 21/324 (2013.01)
- (72) 발명자
김상기
 대전광역시 유성구 은구비남로 34 802동 301호 (노은동, 열매마을8단지)
임병원
 대전시 서구 신갈마로127번길 21, 401호(갈마동, 리치빌리지)
박건식
 대전광역시 유성구 어은로 57 125동 204호 (어은동, 한빛아파트)
박종문
 대전시 유성구 가정로 63 럭키하나아파트 106동 701호상동
유성욱
 대구광역시 수성구 지범로 290 105동 202호 (범물동, 우방미진하이츠아파트)
- (56) 선행기술조사문헌
 JP2002134760 A
 KR1020140099762 A
 KR1020140074971 A
 KR1020140060352 A
 KR1020060123409 A
 *는 심사관에 의하여 인용된 문헌

이 발명을 지원한 국가연구개발사업

과제고유번호	R-20160322-003447
부처명	미래창조과학부
과제관리(전문)기관명	정보통신기술진흥센터(IITP)
연구사업명	ICT R&D 바우처사업
연구과제명	에지종단 향상기술을 적용한 650V/20A급 SiC 다이오드 개발
기여율	1/1
과제수행기관명	광전자 주식회사
연구기간	2016.06.01 ~ 2017.05.31

명세서

청구범위

청구항 1

기판의 상부에 이온주입 영역 및 상기 이온주입 영역의 적어도 일부를 둘러싸는 가드링 영역을 형성하는 것;
 상기 기판 상에 상기 이온주입 영역 및 상기 가드링 영역을 덮는 제1 절연막을 형성하는 것;
 상기 제1 절연막을 열처리하는 것;
 상기 제1 절연막 상에 상기 제1 절연막 보다 두꺼운 제2 절연막을 형성하는 것;
 상기 제1 절연막 및 상기 제2 절연막을 패터닝하여 상기 이온주입 영역의 적어도 일부를 노출시키는 개구부를 형성하는 것; 및
 상기 개구부에 의해 노출된 상기 이온주입 영역의 상면 상에 상기 제2 절연막의 상면의 적어도 일부를 덮는 제1 전극을 형성하는 것을 포함하되,
 상기 기판은 실리콘 카바이드를 포함하고, 상기 열처리하는 질소(N) 원소를 포함하는 가스를 이용하여 수행되는 전력 반도체 소자의 제조 방법.

청구항 2

제 1 항에 있어서,
 상기 기판은 순차적으로 적층된 버퍼층 및 상기 버퍼층 상의 에피택시얼층을 포함하되, 상기 제1 절연막은 상기 에피택시얼층 상에 직접 형성되는 전력 반도체 소자의 제조 방법.

청구항 3

제 1 항에 있어서,
 상기 제1 절연막을 열처리 하는 것은 900℃내지 1300℃의 온도 범위 내에서 수행되는 전력 반도체 소자의 제조 방법.

청구항 4

삭제

청구항 5

제 3 항에 있어서,
 상기 기판의 하면 상에 제2 전극을 형성하는 것을 더 포함하는 전력 반도체 소자의 제조 방법.

청구항 6

제 1 항에 있어서,
 상기 기판은 제1 도전형을 갖고, 상기 이온주입 영역 및 상기 가드링 영역은 상기 제1 도전형과 다른 제2 도전형을 갖는 전력 반도체 소자의 제조 방법.

청구항 7

제 1 항에 있어서,
 상기 이온주입 영역의 도펀트 농도는 상기 가드링 영역의 도펀트 농도에 비해 높은 전력 반도체 소자의 제조 방법.

청구항 8

삭제

청구항 9

기관의 상부에 이온주입 영역 및 상기 이온주입 영역의 적어도 일부를 둘러싸는 가드링 영역을 형성하는 것;
 상기 기관 상에 상기 이온주입 영역 및 상기 가드링 영역을 덮는 제1 절연막을 형성하는 것;
 상기 제1 절연막을 열처리하는 것; 및
 상기 제1 절연막 상에 상기 제1 절연막 보다 두꺼운 제2 절연막을 형성하는 것을 포함하되,
 상기 기관은 실리콘 카바이드를 포함하고, 상기 열처리하는 질소(N) 원소를 포함하는 가스를 이용하여 수행되고,
 상기 이온주입 영역은 제1 이온주입 영역 및 상기 제1 이온주입 영역을 둘러싸는 제2 이온주입 영역을 포함하고,
 상기 가드링 영역은 상기 제2 이온주입 영역과 적어도 부분적으로 중첩되는 전력 반도체 소자의 제조 방법.

청구항 10

제 9 항에 있어서,
 상기 제1 이온주입 영역은 스트라이프 형상을 갖는 전력 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전력 반도체 소자의 제조 방법에 관한 것으로, 보다 상세하게는 실리콘 카바이드 기관을 포함하는 전력 반도체 소자의 제조 방법에 관한 것이다.

배경 기술

[0002] 전력 반도체 소자(Power Semiconductor device)는 전자기기 내에서 전력 제어처리를 수행하는 소자이다. 전력 반도체 소자는 스위치 오프 시 항복 전압이 높아야 하며, 스위치 온 시 허용전류가 커야 한다. 전력 반도체 소자에 항복전압 이상의 전압이 인가되는 경우, 소자가 손상될 수 있으며, 전기 공급이 중단되어 전자 기기가 작동하지 않을 수 있다. 따라서, 높은 항복 전압과 우수한 신뢰성을 갖는 전력 반도체 소자에 대한 연구개발이 지속적으로 요구된다.

[0003] 실리콘 카바이드(SiC) 전력 반도체 소자는 에너지 밴드폭, 절연과괴 전계, 전자포화속도 및 열전도도에 있어서 실리콘 전력 반도체 소자에 비해 우수한 특성을 가진다. 실리콘 카바이드 전력 반도체 소자는 다른 소재를 사용하는 전력 반도체 소자에 비해 상대적으로 전력소비량이 낮고 발열이 적다. 또한, 실리콘 카바이드 전력 반도체 소자는 고온에서 동작이 가능하다. 실리콘 카바이드 전력 반도체 소자를 전기 자동차에 적용하는 경우, 전기자동차의 냉각장치의 무게와 부피를 줄일 수 있다. 최근, 전기 자동차에 대한 관심이 증가함에 따라, 우수한 특성을 갖는 실리콘 카바이드 전력 반도체 소자에 대한 연구가 활발하게 이루어 지고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자 하는 과제는 높은 동작전압 및 우수한 신뢰성을 갖는 전력 반도체 소자를 제공하는데 있다.

과제의 해결 수단

[0005] 상기 과제를 달성하기 위한 본 발명의 실시예들에 따른 전력 반도체 소자의 제조방법은 기관의 상부에 이온주입 영역 및 상기 이온주입 영역의 적어도 일부를 둘러싸는 가드링 영역을 형성하는 것; 상기 기관 상에 상기 이온주입 영역 및 상기 가드링 영역을 덮는 제1 절연막을 형성하는 것; 상기 제1 절연막을 열처리하는 것; 및 상기 제1 절연막 상에 상기 제1 절연막 보다 두꺼운 제2 절연막을 형성하는 것을 포함하되, 상기 기관은 실리콘 카바이드를 포함하고, 상기 열처리하는 질소(N) 원소를 포함하는 가스를 이용하여 수행될 수 있다.

발명의 효과

[0006] 본 발명의 실시예들에 따르면, 제조가 용이하고, 고전압에서도 높은 신뢰성을 갖는 전력 반도체 소자를 제공할 수 있다.

도면의 간단한 설명

[0007] 도 1은 본 발명의 실시예들에 따른 전력 반도체 소자를 설명하기 위한 단면도이다.
 도 2는 본 발명의 실시예들에 따른 전력 반도체 소자를 설명하기 위한 도면으로, 이온주입 영역 및 가드링 영역이 형성된 기판을 위에서 내려다 본 평면도이다.
 도 3은 본 발명의 실시예들에 따른 전력 반도체 소자를 설명하기 위한 도면으로, 도 1의 A 부분에 대응되는 확대단면도이다.
 도 4 내지 도 9는 본 발명의 실시예들에 따른 전력 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0008] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시 예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0009] 본 명세서에서, 어떤 구성요소가 다른 구성요소 상에 있다고 언급되는 경우에 그것은 다른 구성요소 상에 직접 배치될 수 있거나 또는 그들 사이에 제 3의 구성요소가 개재될 수도 있다는 것을 의미한다. 또한, 도면들에 있어서, 구성요소들의 두께 및 형태는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.

[0010] 본 명세서에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprises)' 및/또는 '포함하는(comprising)'은 언급된 구성요소는 하나 이상의 다른 구성요소의 존재 또는 추가를 배제하지 않는다.

[0012] 도 1은 본 발명의 실시예들에 따른 전력 반도체 소자를 설명하기 위한 단면도이다. 도 2는 본 발명의 실시예들에 따른 전력 반도체 소자를 설명하기 위한 도면으로, 이온주입 영역 및 가드링 영역이 형성된 기판을 위에서 내려다 본 평면도이다. 도 3은 본 발명의 실시예들에 따른 전력 반도체 소자를 설명하기 위한 도면으로, 도 1의 A 부분에 대응되는 확대단면도이다.

[0013] 도 1 내지 도 3을 참조하면, 제1 도전형의 도펀트로 도핑된 기판(S)이 제공될 수 있다. 제1 도전형의 기판(S)은 반도체 기판(100), 반도체 기판(100) 상의 버퍼층(110) 및 버퍼층(110) 상의 에피택시얼층(120, epitaxial layer)을 포함할 수 있다. 반도체 기판(100)은 실리콘 카바이드(SiC) 기판일 수 있으며, 버퍼층(110) 및 에피택시얼층(120) 또한 실리콘 카바이드(SiC)를 포함할 수 있다. 반도체 기판(100)은 제1 도전형의 도펀트로 도핑될 수 있고, 버퍼층(110) 및 에피택시얼층(120) 또한 제1 도전형의 도펀트로 도핑될 수 있다. 반도체 기판(100)의 도펀트 농도는 버퍼층(110) 및 에피택시얼층(120)의 도펀트 농도 보다 높을 수 있다. 하지만, 본 발명은 반도체 기판(100), 버퍼층(110) 및 에피택시얼층(120)을 포함하는 기판에 한정되지 않는다. 다른 실시예들에 따르면, 기판은 다른 형태로 구현될 수도 있다. 이하에서는 설명의 편의를 위하여 순차적으로 적층된 반도체 기판(100), 버퍼층(110) 및 에피택시얼층(120)을 포함하는 기판(S)을 예로서 설명한다.

[0014] 기판(S)은 활성 영역(R1) 및 활성 영역(R1)을 둘러싸는 주변 영역(R2)을 포함할 수 있다. 활성 영역(R1)은 온(on)-동작 시에 전류가 흐르는 영역일 수 있다. 예컨대, 활성 영역(R1)은 쇼트키 장벽(Schottky Barrier)이 형성되는 영역일 수 있다. 주변 영역(R2)이 활성 영역(R1)으로부터 측방향으로 연장되어 활성 영역(R1)을 평면적으로 둘러쌀 수 있다. 즉, 주변 영역(R2)은 주변 영역(R2) 내에 배치되는 활성 영역(R1)을 정의할 수 있다. 주변 영역(R2)은 활성영역(R1)에 인가되는 내압을 지지하는 영역일 수 있다. 예컨대, 주변 영역(R2)은 활성 영역(R1)의 가장자리에서 발생하는 전계(Electric Field)를 분산시키는 에지 종단 영역(edge termination region)일 수 있다.

[0015] 제1 이온주입 영역들(122a)이 활성 영역(R1)의 기판(S)의 상부 표면을 따라 배치될 수 있다. 제1 이온주입 영역들(122a)은 제1 도전형의 기판(S)과 다른 제2 도전형 도펀트로 도핑될 수 있다. 제1 이온주입 영역들(122a)은

에피택시얼층(120)의 내부로 연장될 수 있다. 도 2에 도시된 바와 같이, 제1 이온주입 영역들(122a)은 평면적 관점에서 스트라이프(stripe) 형상을 가질 수 있다. 즉, 제1 이온주입 영역들(122a)은 일 방향으로 연장되어 활성 영역(R1)을 가로지를 수 있으며, 서로 이격되어 배치될 수 있다. 제1 이온주입 영역들(122a)은 서로 동일한 폭을 가질 수 있다. 제1 이온주입 영역들(122a)의 각각은 에피택시얼층(120)과 국부적인 p-n접합을 형성하여, 서지 전류(surge current)에 의한 소자 파괴를 방지할 수 있다.

[0016] 제2 이온주입 영역들(122b)이 주변 영역(R2)의 기판(S)의 상부 표면을 따라 배치될 수 있다. 제2 이온주입 영역들(122b)은 제2 도전형 도펀트로 도핑될 수 있다. 제2 이온주입 영역들(122b)은 제1 이온주입 영역들(122a)과 다른 폭을 가질 수 있고, 다른 배열 간격을 가질 수 있다. 예컨대, 제2 이온주입 영역들(122b)은 제1 이온주입 영역들(122a)에 비해 큰 폭을 가질 수 있으며, 좁은 배열 간격을 가질 수 있다. 도 2에 도시된 바와 같이, 제2 이온주입 영역들(122b)은 평면적 관점에서 제1 이온주입 영역들(122a)을 둘러쌀 수 있다. 제2 이온주입 영역들(122b)의 각각은 링(Ring) 형상을 가질 수 있다. 제2 이온주입 영역들(122b)은 활성 영역(R1)의 가장자리에 발생하는 전계를 분산시킬 수 있다.

[0017] 가드링 영역들(124, guardring region)이 주변 영역(R2)의 에피택시얼층(120)의 상부 표면을 따라 배치될 수 있다. 가드링 영역들(124)은 제2 도전형 도펀트로 도핑될 수 있다. 가드링 영역들(124)은 활성 영역(R1)의 가장자리에 발생하는 전계를 분산시킬 수 있으며, 전력 반도체 소자의 항복 전압(Breakdown Voltage)을 증가시킬 수 있다. 가드링 영역들(124)은 에피택시얼층(120)의 내부로 연장될 수 있으며, 제1 및 제2 이온주입 영역들(122a, 122b)에 비해 낮은 바닥면을 가질 수 있다. 가드링 영역들(124)은 제1 및 제2 이온주입 영역들(122a, 122b)에 비해 도펀트 농도가 낮을 수 있다. 가드링 영역들(124)은, 도 2에 도시된 바와 같이, 활성영역(R1) 및 제1 이온주입 영역들(122a)을 둘러쌀 수 있다. 또한, 가드링 영역들(124)은 제2 이온주입 영역들(122b)의 적어도 일부를 둘러쌀 수 있다. 가드링 영역들(124)의 일부는 제2 이온주입 영역들(122b)의 적어도 일부와 중첩될 수 있다. 설명의 편의를 위하여, 가드링 영역들(124)의 평면적 형상이 사각 링(square ring)의 형태를 갖는 것으로 도시하였으나, 가드링 영역들(124)의 평면적 형상이 이에 한정되는 것은 아니다. 가드링 영역들(124)의 평면적 형상은 원형 링 또는 다각 링 등의 형태로 다양하게 변형될 수 있다.

[0018] 제1 전극(150)이 활성 영역(R1)의 기판(S) 상에 배치될 수 있다. 제1 전극(150)은 에피택시얼층(120) 및 제1 이온주입 영역들(122a)과 접촉하여 쇼트키 접합 및/또는 옴믹 접합을 형성할 수 있다. 제1 전극(150)은 금속을 포함할 수 있다. 예컨대, 제1 전극(150)은 니켈(Ni), 크롬(Cr), 티타늄(Ti), 알루미늄(Al), 니오븀(Nb) 또는 탄탈륨(Ta)을 포함할 수 있다. 제1 전극(150)은 소스 전극으로 기능할 수 있다.

[0019] 제1 절연막(130) 및 제2 절연막(140)이 주변 영역(R2)의 기판(S) 상에 순차적으로 적층될 수 있다. 구체적으로, 제1 절연막(130)이 에피택시얼층(120) 상에 배치될 수 있다. 제1 절연막(130)은 에피택시얼층(120), 가드링 영역들(124) 및 제2 이온주입 영역들(122b)과 접할 수 있다. 제1 절연막(130)의 두께(d1)는 제2 절연막(140)의 두께(d2) 보다 작을 수 있다. 예컨대, 제1 절연막(130)은 10 내지 60nm의 두께(d1)를 가질 수 있다. 제1 절연막(130)은 실리콘산질화물(SiO_xN_y)을 포함할 수 있다. 제1 절연막(130)은 기판(S)과 제2 절연막(140) 사이에 개재되어, 계면 특성을 향상시킬 수 있다. 제1 절연막(130)은 고온 열 산화막일 수 있다. 즉, 제1 절연막(130)은 제1 절연막을 질소(N) 원소를 포함하는 가스 분위기 및 900 내지 1300℃의 온도 범위에서 열처리된 것일 수 있다. 제1 절연막(130)의 구체적인 형성 방법은 이하 도 4 내지 9를 참조하여 후술한다.

[0020] 제2 절연막(140)이 제1 절연막(130) 상에 배치될 수 있다. 제2 절연막(140)의 두께(d2)는 제1 절연막(130)의 두께(d1)보다 클 수 있다. 예컨대 제2 절연막(140)은 600 내지 1200nm의 두께(d2)를 가질 수 있다. 제2 절연막(140)은 실리콘 산화물을 포함할 수 있다.

[0021] 제2 전극(102)이 기판(S)의 하면 상에 배치될 수 있다. 제2 전극(102)은 기판(S)을 사이에 두고 제1 전극(150)과 이격될 수 있다. 제2 전극(102)은 드레인 전극일 수 있다.

[0023] 도 4 내지 도 9는 본 발명의 실시예들에 따른 전력 반도체 소자의 제조 방법을 설명하기 위한 단면도들이다.

[0024] 도 4를 참조하면, 활성 영역(R1) 및 활성 영역(R1)을 둘러싸는 주변 영역(R2)을 포함하는 제1 도전형의 기판(S)을 형성할 수 있다. 구체적으로, 반도체 기판(100)의 상면 상에 버퍼층(110)을 형성할 수 있다. 이어서, 버퍼층(110) 상에 에피택시얼층(120)을 형성할 수 있다. 에피택시얼층(120)을 제1 도전형 도펀트로 도핑할 수 있다. 예컨대, 에피택시얼층(120)은 인-시츄 공정 또는 별도의 이온 주입 공정에 의해 도핑될 수 있다. 에피택시얼층(120)의 도펀트 농도는 반도체 기판(100)의 도펀트 농도보다 낮을 수 있다. 예컨대, 에피택시얼층(120)은 n-형일 수 있다.

- [0025] 도 5를 참조하면, 제1 및 제2 이온 주입 영역들(122a, 122b)을 형성할 수 있다. 제1 및 제2 이온 주입 영역들(122a, 122b)은 에피택시얼층(120)의 상부 표면을 따라 형성될 수 있다. 구체적으로, 에피택시얼층(120) 상에 제1 산화막(162)을 형성할 수 있다. 예컨대, 제1 산화막(162)은 CVD(Chemical Vapor Deposition) 공정을 통해 형성될 수 있다. 제1 산화막(162)은 약 1000nm 내지 약 3000nm의 두께를 가질 수 있다. 이어서, 제1 산화막(162)을 열처리할 수 있다. 제1 산화막(162)을 열처리하는 것은 질소(N)원소를 포함하는 가스를 이용하여, 약 800 내지 1000℃의 온도범위에서 수행될 수 있다.
- [0026] 이어서, 제1 산화막(162)을 패터닝 하여 제1 및 제2 이온 주입 영역들(122a, 122b)을 정의하는 개구부들을 형성할 수 있다. 개구부들 의해 노출된 에피택시얼층(120)의 표면 상에 10 내지 50nm의 두께를 갖는 이온주입용 버퍼 산화막(미도시)을 형성할 수 있다. 이어서, 에피택시얼층(120) 상에 제1 및 제2 이온 주입 영역들(122a, 122b)을 형성하기 위한 이온 주입 공정을 수행할 수 있다. 구체적으로, 활성 영역(R1)의 에피택시얼층(120)의 상부에 제1 이온주입 영역(122a)을 형성할 수 있다. 주변 영역(R2)의 에피택시얼층(120)의 상부에 제2 이온주입 영역(122b)을 형성할 수 있다. 제1 및 제2 이온 주입 영역들(122a, 122b)을 형성하기 위한 이온 주입 공정은 상온에서 수행되거나, 또는 500 내지 600℃의 온도범위에서 수행될 수 있다. 이온 주입 공정은 붕소(B) 또는 알루미늄(Al)을 이용하여 수행될 수 있다. 이온 주입 영역(122)은 제2 도전형을 가질 수 있다. 예컨대, 이온 주입 영역(122)은 p형일 수 있다.
- [0027] 도 6을 참조하면, 가드링 영역(124)을 형성할 수 있다. 구체적으로, 에피택시얼층(120) 상에 제2 산화막(164)을 형성하고, 제2 산화막(164)을 열처리할 수 있다. 제2 산화막(164)을 패터닝 하여 가드링 영역(124)을 정의하는 개구부를 형성할 수 있다. 이온주입 공정을 수행하여 가드링 영역(124)을 형성할 수 있다.
- [0028] 가드링 영역(124)을 형성하는 것은 이온주입 영역(122)을 형성하는 것과 동일/유사할 수 있다. 가드링 영역(124)은 제2 도전형을 가질 수 있다.
- [0029] 이어서, 제2 산화막(164)을 제거하고, 기관(S)을 열처리하여 이온주입 영역(122) 및 가드링 영역(124)을 활성화시킬 수 있다. 상기 활성화를 위한 열처리는 아르곤(Ar), 또는 질소(N) 원소를 이용하여 1500 내지 1800℃의 온도범위에서 수행될 수 있다.
- [0030] 도 7을 참조하면, 에피택시얼층(120) 상에 산화 공정을 수행하여 제1 절연막(130)을 형성할 수 있다. 산화 공정은 습식 산화 공정이거나 또는 건식 산화 공정일 수 있다. 제1 절연막(130)은 이온주입 영역(122) 및 가드링 영역(124)을 덮을 수 있다. 제1 절연막(130)은 에피택시얼층(120) 상에 직접 형성될 수 있다. 즉, 제1 절연막(130)은 에피택시얼층(120)과 직접 접촉할 수 있다. 제1 절연막(130)은 10 내지 60nm의 두께(d1)를 가질 수 있다.
- [0031] 이어서, 제1 절연막(130) 상에 열처리 공정(T)을 수행할 수 있다. 열처리 공정(T)은 질소(N) 원소를 포함하는 가스를 이용하여 수행될 수 있다. 예컨대, 열처리 공정(T)은 아산화 질소(N₂O), 산화질소(NO) 또는 암모니아(NH₃) 분위기에서 수행될 수 있다. 열처리 공정(T)은 900 내지 1300℃의 온도 범위 내에서 수행될 수 있다. 열처리 공정(T)이 수행되는 동안, 에피택시얼층(120) 상부의 계면결함(예컨대, 땀글링본드)이 치유될 수 있다. 실리콘 카바이드 기관 상에 열처리 공정(T)이 900℃ 이하의 온도에서 수행되는 경우, 계면결함의 치유 효과가 미미할 수 있다. 열처리 공정(T)이 1300℃ 이상의 온도에서 수행되는 경우, 에피택시얼층(120) 상부에 형성된 이온주입 영역(122) 및/또는 가드링 영역(124)의 확산 정도에 영향을 미칠 수 있고, 전력 반도체 소자의 성능이 저해될 수 있다. 만약, 실리콘 카바이드 기관이 아닌 실리콘 기관을 900℃ 이상의 온도에서 열처리하는 경우, 이온주입 영역 내에 주입된 이온들의 확산 정도가 달라질 수 있으며, 전력 반도체 소자의 성능이 저해될 수 있다.
- [0032] 한편, 열처리 공정(T)은 제1 절연막(130)을 형성하기 위한 산화 공정과 인-시츄로 수행될 수도 있다. 예컨대, 제1 절연막(130)은 질소(N) 원소를 포함하는 가스 분위기에서 열 산화 공정을 수행하여 형성될 수 있다. 상기 열 산화 공정은 900 내지 1300℃의 온도 범위 내에서 수행될 수 있다.
- [0033] 반도체 기관(100)의 하면 상에 제2 전극(102)을 형성할 수 있다. 제2 전극(102)은 스퍼터링 공정 또는 전자빔 증착 공정을 통해 형성될 수 있다.
- [0034] 도 8을 참조하면, 제1 절연막(130) 상에 제2 절연막(140)을 형성할 수 있다. 제2 절연막(140)은 제1 절연막(130) 보다 두껍게 형성될 수 있다. 제2 절연막(140)을 형성하는 것은 제1 절연막(130) 상에 LPCVD(Low pressure chemical vapor deposition) 공정을 수행하는 것을 포함할 수 있다. 제2 절연막(140)은 600nm 내지

1200nm의 폭(d2)을 가질 수 있다.

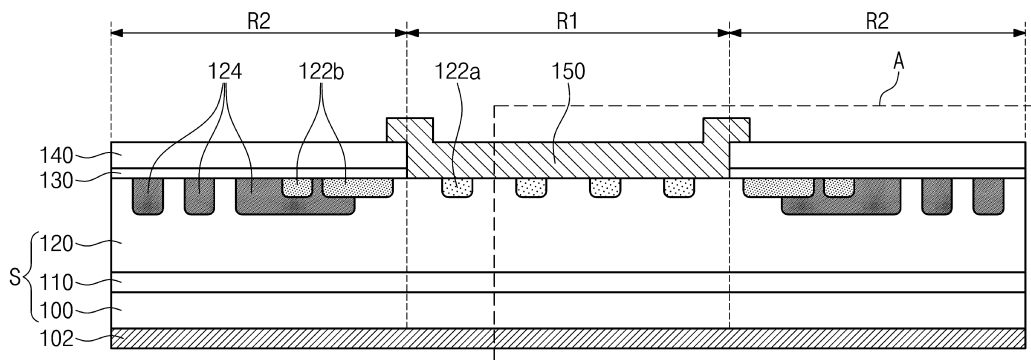
[0035] 도 9를 참조하면, 제1 및 제2 절연막(130, 140)을 패터닝하여, 활성 영역(R1)을 정의하는 개구부(142)를 형성할 수 있다. 즉, 제1 및 제2 절연막(140)의 일부를 제거하여 활성 영역(R1)의 에피택시얼층(120)의 상면을 노출시킬 수 있다. 이때, 주변 영역(R2) 상의 제1 및 제2 절연막(130, 140)은 잔존될 수 있다.

[0036] 다시 도 3을 참조하면, 개구부(142) 내에 제1 전극(150)을 형성할 수 있다. 제1 전극(150)은 스퍼터링 공정 및 패터닝 공정을 통해 형성될 수 있다.

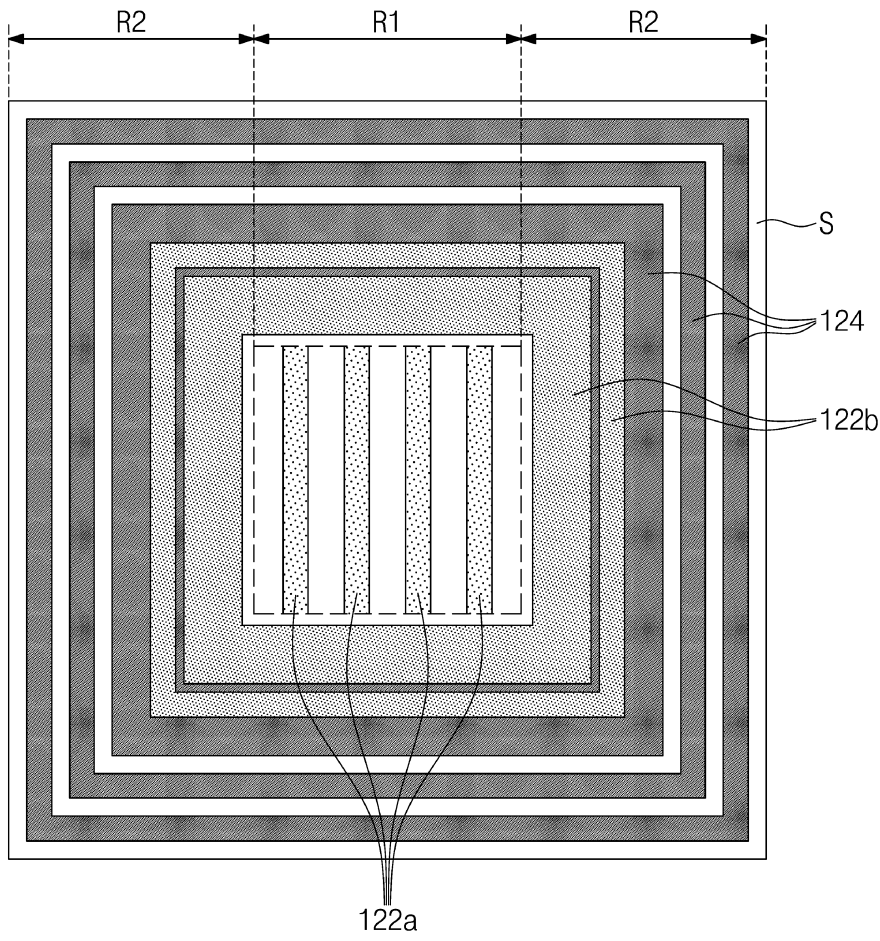
[0037] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 실시예들에서, 쇼트키 장벽 다이오드(Schottky barrier diode)의 경우를 중심으로 설명하지만, 본 발명이 이에 제한되는 것은 아니다. 본 발명은 전력 MOS펫(Power MOSFET), 절연 게이트 양극성 트랜지스터(Insulated gate bipolar transistor, IGBT) 및 이외 전력 반도체 소자에도 적용될 수 있음은 물론이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면

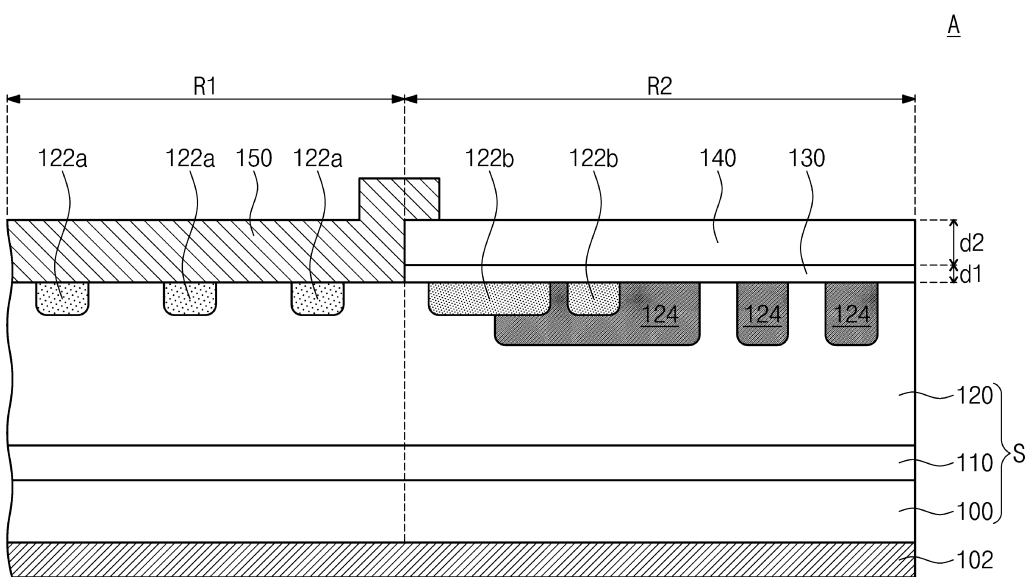
도면1



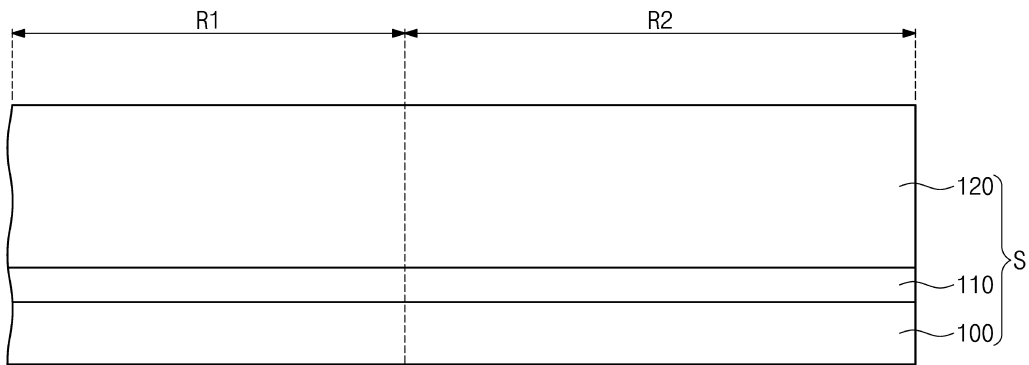
도면2



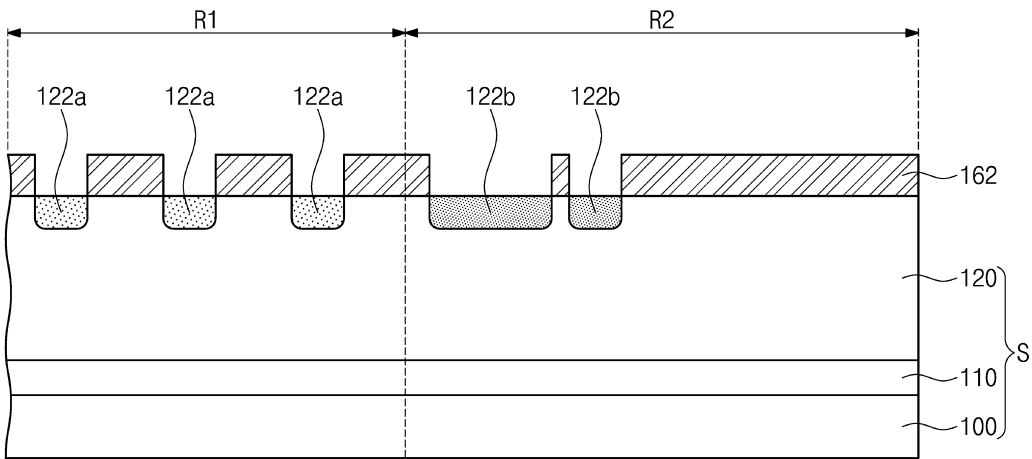
도면3



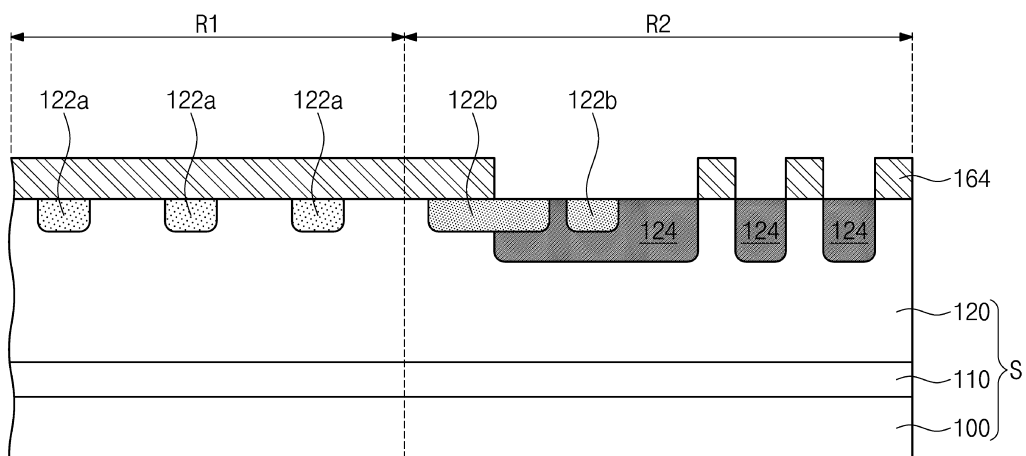
도면4



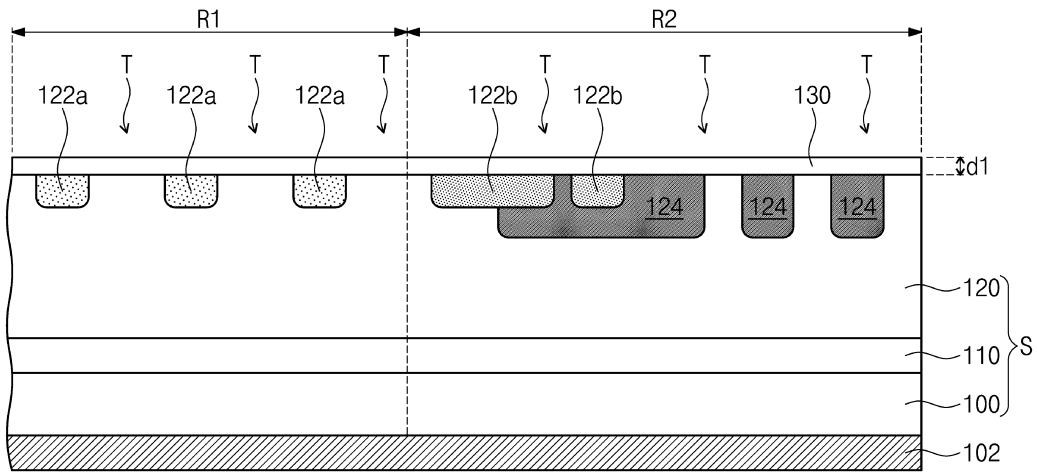
도면5



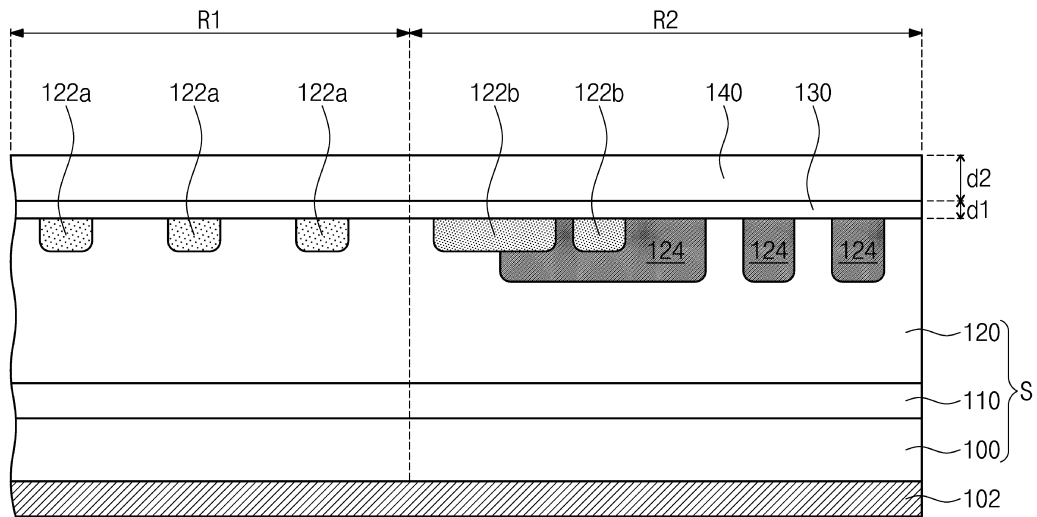
도면6



도면7



도면8



도면9

