

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023年6月1日 (01.06.2023)



(10) 国际公布号
WO 2023/092562 A1

(51) 国际专利分类号:
H01L 29/786 (2006.01) *H01L 27/12* (2006.01)
H01L 21/336 (2006.01)

(21) 国际申请号: PCT/CN2021/134039

(22) 国际申请日: 2021年11月29日 (29.11.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路10号,
Beijing 100015 (CN)。

(72) 发明人: 王东方(**WANG, Dongfang**); 中国北京市
北京经济技术开发区地泽路9号, Beijing 100176
(CN)。 王利忠(**WANG, Lizhong**); 中国北京市北京
经济技术开发区地泽路9号, Beijing 100176

(CN)。 宁策(**NING, Ce**); 中国北京市北京经济技术
开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京润泽恒知识产权代理有限公司
(**BEIJING RUN ZEHENG INTELLECTUAL
PROPERTY LAW FIRM**); 中国北京市海淀区
中关村南大街甲18号北京国际C座6层
606, Beijing 100081 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

(54) **Title:** METAL OXIDE THIN FILM TRANSISTOR, AND ARRAY SUBSTRATE AND PREPARATION METHOD THEREFOR

(54) 发明名称: 金属氧化物薄膜晶体管、阵列基板及其制备方法

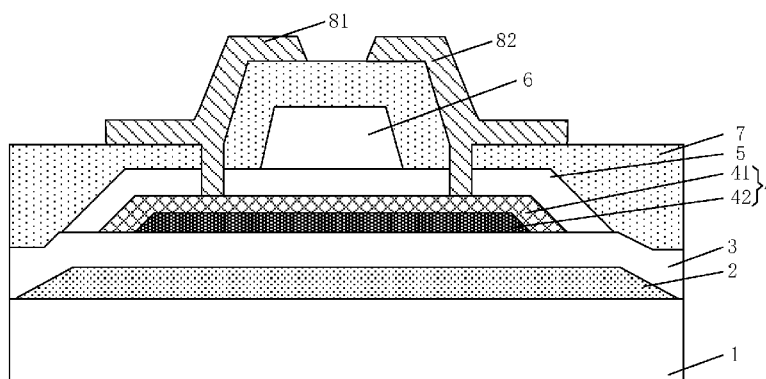


图 3a

(57) **Abstract:** The present application relates to the technical field of display, and provides a metal oxide thin film transistor, and an array substrate and a preparation method therefor. The array substrate comprises a substrate, and a drive transistor and a switch transistor located on the substrate; the drive transistor comprises a semiconductor layer; the switch transistor comprises an active layer and a protective layer, wherein the active layer comprises two opposite main surfaces and a side surface located between outer contours of the two main surfaces, the protective layer is located on the main surface of the active layer away from the substrate and covers the main surfaces and the side surface, the protective layer and the semiconductor layer are provided on a same layer and made of a same metal oxide semiconductor material, and the carrier mobility of the protective layer is less than that of the active layer. An abnormality of a drive circuit in the array substrate caused by poor stability of the drive transistor is avoided, such that the difficulty of the preparation process of the array substrate is reduced. The active layer is protected by means of the protective layer, such that the stability of the switch transistor is further improved.



WO 2023/092562 A1

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请提供了一种金属氧化物薄膜晶体管、阵列基板及其制备方法, 涉及显示技术领域, 该阵列基板包括衬底; 位于衬底上的驱动晶体管和开关晶体管; 驱动晶体管包括半导体层; 开关晶体管包括有源层和保护层, 有源层包括相对的两个主表面以及位于两个主表面的外轮廓之间的侧表面; 其中, 保护层位于有源层远离衬底的主表面上并覆盖主表面和侧表面; 保护层和半导体层同层设置、且两者的材料为同一金属氧化物半导体材料; 保护层的载流子迁移率小于有源层的载流子迁移率。避免驱动晶体管稳定性差造成的阵列基板中的驱动电路的异常情况, 降低了阵列基板的制备工艺难度, 通过保护层对有源层进行保护, 还提高了开关晶体管的稳定性。

金属氧化物薄膜晶体管、阵列基板及其制备方法

技术领域

本申请涉及显示技术领域，尤其涉及一种金属氧化物薄膜晶体管、阵列基板及其制备方法。

5 背景技术

随着显示技术的快速发展，高迁移率氧化物半导体材料在薄膜晶体管中的应用越来越多，例如，迁移率超过 $5\text{cm}^2/\text{Vs}$ ，或迁移率超过 $10\text{cm}^2/\text{Vs}$ ，或迁移率超过 $20\text{cm}^2/\text{Vs}$ 达到 $30\text{cm}^2/\text{Vs} - 50\text{cm}^2/\text{Vs}$ 。高迁移率氧化物半导体材料制备的薄膜晶体管具有响应速度快、驱动电压小、
10 功耗小等众多优点。

然而，由于氧化物半导体材料形成的晶体管的半导体层的迁移率越高，稳定性越差，越难以控制。通常采用多层结构的金属氧化物半导体层改善稳定性，多层结构的金属氧化物半导体层因材料不同或膜层质量不同，采用相同的刻蚀液刻蚀其侧面的形貌容易形成底切，容易引起双
15 沟道效应。

发明内容

第一方面，本申请的实施例提供了一种阵列基板，包括：

衬底；

位于所述衬底上的驱动晶体管和开关晶体管；

20 所述驱动晶体管包括半导体层；所述开关晶体管包括有源层和保护层，所述有源层包括相对的两个主表面以及位于两个所述主表面的外轮廓之间的侧表面；

其中，所述保护层位于所述有源层远离所述衬底的所述主表面上并覆盖所述主表面和所述侧表面；所述保护层和所述半导体层同层设置、
25 且两者的材料为同一金属氧化物半导体材料；所述保护层的载流子迁移率小于所述有源层的载流子迁移率。

在本申请的一些实施例中，所述保护层和所述有源层的材料包括至少不完全相同的金属元素；或者，所述保护层和所述有源层的材料包括

至少不完全相同的金属元素摩尔比。

在本申请的一些实施例中，所述开关晶体管包括栅极和栅绝缘层；

所述栅绝缘层位于所述保护层远离所述有源层的一侧，所述栅极位于所述栅绝缘层远离所述衬底的一侧，且所述栅极在所述衬底上的正投影位于所述有源层在所述衬底上的正投影以内。

在本申请的一些实施例中，所述开关晶体管还包括源极和漏极；所述源极和所述漏极均位于所述栅绝缘层远离所述衬底的一侧；

所述开关晶体管具有贯穿所述源极和所述保护层之间各膜层的第一连接孔，贯穿所述漏极和所述保护层之间各膜层的第二连接孔，所述第一连接孔和所述第二连接孔的孔底分别暴露出所述保护层的部分区域；

其中，所述源极通过所述第一连接孔和所述保护层直接接触，所述漏极通过所述第二连接孔和所述保护层直接接触。

在本申请的一些实施例中，所述开关晶体管还包括源极和漏极；所述源极和所述漏极均位于所述栅绝缘层远离所述衬底的一侧；

所述开关晶体管具有贯穿所述源极和所述有源层之间各膜层的第一连接孔，贯穿所述漏极和所述有源层之间各膜层的第二连接孔，所述第一连接孔和所述第二连接孔的孔底分别暴露出所述有源层的部分区域、其孔壁分别暴露出所述保护层的部分区域；

其中，所述源极通过所述第一连接孔同时与所述保护层和所述有源层直接接触，所述漏极通过所述第二连接孔同时与所述保护层和所述有源层直接接触。

在本申请的一些实施例中，所述栅绝缘层的材料为遮光材料，且所述保护层在所述衬底上的正投影位于所述栅绝缘层在所述衬底上的正投影以内。

在本申请的一些实施例中，所述开关晶体管还包括遮光层，所述遮光层位于所述衬底和所述有源层之间，所述遮光层在所述衬底上的正投影覆盖所述有源层在所述衬底上的正投影，且所述遮光层在所述衬底上的正投影覆盖所述保护层在所述衬底上的正投影。

在本申请的一些实施例中，所述遮光层和所述栅极电连接。

在本申请的一些实施例中，所述开关晶体管还包括介质层，所述介质层覆盖所述栅极，所述源极和所述漏极均位于所述介质层远离所述衬底的一侧；

- 5 其中，所述介质层的材料为遮光材料，所述介质层在所述衬底上的正投影覆盖所述保护层在所述衬底上的正投影。

第二方面，本申请的实施例提供了一种金属氧化物薄膜晶体管，位于衬底上，包括：

- 10 位于所述衬底上的有源层；所述有源层包括相对的两个主表面以及位于两个所述主表面的外轮廓之间的侧表面；

保护层，所述保护层位于所述有源层远离所述衬底的所述主表面上并覆盖所述主表面和所述侧表面；

其中，所述保护层的材料为金属氧化物半导体材料、且所述保护层的载流子迁移率小于所述有源层的载流子迁移率。

- 15 在本申请的一些实施例中，所述保护层和所述有源层的材料包括至少不完全相同的金属元素；或者，所述保护层和所述有源层的材料包括至少不完全相同的金属元素摩尔比。

在本申请的一些实施例中，金属氧化物薄膜晶体管还包括栅极和栅绝缘层；

- 20 所述栅绝缘层位于所述保护层远离所述有源层的一侧，所述栅极位于所述栅绝缘层远离所述衬底的一侧，且所述栅极在所述衬底上的正投影位于所述有源层在所述衬底上的正投影以内。

在本申请的一些实施例中，金属氧化物薄膜晶体管还包括源极和漏极；所述源极和所述漏极均位于所述栅绝缘层远离所述衬底的一侧；

- 25 所述金属氧化物薄膜晶体管具有贯穿所述源极和所述保护层之间各膜层的第一连接孔，贯穿所述漏极和所述保护层之间各膜层的第二连接孔，所述第一连接孔和所述第二连接孔的孔底分别暴露出所述保护层的部分区域；

其中，所述源极通过所述第一连接孔和所述保护层直接接触，所述

漏极通过所述第二连接孔和所述保护层直接接触。

在本申请的一些实施例中，金属氧化物薄膜晶体管还包括源极和漏极；所述源极和所述漏极均位于所述栅绝缘层远离所述衬底的一侧；

5 所述金属氧化物薄膜晶体管具有贯穿所述源极和所述有源层之间各膜层的第一连接孔，贯穿所述漏极和所述有源层之间各膜层的第二连接孔，所述第一连接孔和所述第二连接孔的孔底分别暴露出所述有源层的部分区域、其孔壁分别暴露出所述保护层的部分区域；

10 其中，所述源极通过所述第一连接孔同时与所述保护层和所述有源层直接接触，所述漏极通过所述第二连接孔同时与所述保护层和所述有源层直接接触。

在本申请的一些实施例中，所述栅绝缘层的材料为遮光材料，且所述保护层在所述衬底上的正投影位于所述栅绝缘层在所述衬底上的正投影以内。

15 在本申请的一些实施例中，所述金属氧化物薄膜晶体管还包括遮光层，所述遮光层位于所述衬底和所述有源层之间，所述遮光层在所述衬底上的正投影覆盖所述有源层在所述衬底上的正投影，且所述遮光层在所述衬底上的正投影覆盖所述保护层在所述衬底上的正投影。

在本申请的一些实施例中，所述遮光层和所述栅极电连接。

20 在本申请的一些实施例中，所述金属氧化物薄膜晶体管还包括介质层，所述介质层覆盖所述栅极，所述源极和所述漏极均位于所述介质层远离所述衬底的一侧；

其中，所述介质层的材料为遮光材料，所述介质层在所述衬底上的正投影覆盖所述保护层在所述衬底上的正投影。

25 第三方面，本申请的实施例提供了一种阵列基板的制备方法，所述方法包括：

提供衬底；

形成开关晶体管的有源层；所述有源层包括相对的两个主表面以及位于两个所述主表面的外轮廓之间的侧表面；

同时形成驱动晶体管的半导体层和所述开关晶体管的保护层；其中，

所述保护层位于所述有源层远离所述衬底的所述主表面上并覆盖所述主表面和所述侧表面；所述保护层和所述半导体层同层设置、且两者的材料为同一金属氧化物半导体材料；所述保护层的载流子迁移率小于所述有源层的载流子迁移率。

- 5 上述说明仅是本申请技术方案的概述，为了能够更清楚了解本申请的技术手段，而可依照说明书的内容予以实施，并且为了让本申请的上述和其它目的、特征和优点能够更明显易懂，以下特举本申请的具体实施方式。

附图说明

- 10 为了更清楚地说明本申请实施例或相关技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其它的附图。

- 15 图 1 和图 2 为本申请实施例提供的两种相关技术中的晶体管的结构示意图；

图 3a、图 3b、图 4a 和图 4c 为本申请实施例提供的四种不同结构的晶体管的结构示意图；

- 20 图 4b 为本申请的实施例提供的两种不同驱动晶体管的 I-V 特性曲线对比图；

图 5a、图 5b 和图 6 为本申请实施例提供的三种阵列基板的结构示意图；

图 7 为本申请实施例提供的一种阵列基板的制备方法流程图；

- 25 图 8-图 12 为本申请实施例提供的一种阵列基板制备过程的中间结构示意图。

具体实施例

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。基于本申请中的实施例，本领域普通技术

人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请保护的范畴。

在图中，为了清晰，可能夸大了区域和层的厚度。在图中相同的附图标记表示相同或类似的结构，因而将省略它们的详细描述。此外，附图5 仅为本申请的示意性图解，并非一定是按比例绘制。

除非上下文另有要求，否则，在整个说明书和权利要求书中，术语“包括”被解释为开放、包含的意思，即为“包含，但不限于”。在说明书的描述中，术语“一个实施例”、“一些实施例”、“示例性实施例”、“示例”、“特定示例”或“一些示例”等旨在表明与该实施例或示例相关的特定特征、结构、材料或特性包括在本申请的至少一个实施例或示例中。上述术语的示意性表示不一定是指同一实施例或示例。此外，所述的特定特征、结构、材料或特点可以以任何适当方式包括在任何一个或多个实施例或示例中。

在本申请的实施例中，采用“第一”、“第二”等字样对功能和作用基本相同的相同项或相似项进行部分，仅为了清楚描述本申请实施例的技术方案，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。

金属氧化物，如铟镓锌氧化物(IGZO)、铟锡锌氧化物(ITZO)等均可作为薄膜晶体管的半导体层材料，与非晶硅薄膜晶体管相比，金属氧化物薄膜晶体管的载流子浓度是非晶硅薄膜晶体管的十倍左右，载流子迁移率是非晶硅薄膜晶体管的 20-30 倍，因此，金属氧化物薄膜晶体管可以大大地提高薄膜晶体管对于像素电极的充放电速率，提高像素的响应速度，进而实现更快的刷新率。

在相关技术的薄膜晶体管中，可以设置如图 1 所示的单层的金属氧化物半导体层 4 或者设置如图 2 所示的双层的金属氧化物半导体层(41 和 42)，然而，一方面，对于半导体材料，其载流子迁移率越高，材料的稳定性越差；另一方面，单层的半导体层（金属氧化物或非晶硅）的薄膜晶体管不能满足当前众多高性能显示产品的使用需求。在实际应用中，在金属氧化物半导体材料用作薄膜晶体管的半导体层材料时，对于具有双层的金属氧化物半导体层的薄膜晶体管，上层金属氧化物半导体层的刻蚀过程极易造成对底层金属氧化物半导体层的损坏，另外，由于

载流子迁移率不同的半导体层均采用相同的刻蚀液进行刻蚀，高载流子迁移率的半导体层侧面更容易形成缺陷，从而很大程度上降低金属氧化物薄膜晶体管的使用性能。

基于此，本申请的实施例提供了一种阵列基板，包括：

- 5 衬底 1；位于衬底 1 上的如图 5b 的阵列基板中所示的驱动晶体管和如图 5a 的阵列基板中所示的开关晶体管；驱动晶体管包括半导体层 43；开关晶体管包括有源层 42 和保护层 41，有源层 42 包括相对的两个主表面以及位于两个主表面的外轮廓之间的侧表面；

10 其中，保护层 41 位于有源层 42 远离衬底 1 的主表面上并覆盖主表面和侧表面；保护层 41 和半导体层 43 同层设置、且两者的材料为同一金属氧化物半导体材料；保护层 41 的载流子迁移率小于有源层 42 的载流子迁移率。

15 在示例性的实施例中，保护层 41 和有源层 42 的材料不同。例如，保护层 41 和有源层 42 的材料可以为 IGZO (Indium Gallium Zinc Oxide, 铟镓锌氧化物) 或者 ITZO (Indium Tin Zinc Oxide, 铟锡锌氧化物) 等金属氧化物中的任意一类。

示例性的，保护层 41 和有源层 42 的材料可以均为铟锡锌氧化物，但其对应的元素的组成比例至少部分不同。

20 在本申请的一些实施例中，在保护层 41 的载流子迁移率小于有源层 42 的载流子迁移率的情况下，保护层 41 和有源层 42 的材料包括至少不完全相同的金属元素。例如，保护层 41 的材料为铟镓锌氧化物，有源层 42 的材料为铟锡锌氧化物。

25 在本申请的一些实施例中，在保护层 41 的载流子迁移率小于有源层 42 的载流子迁移率的情况下，保护层 41 和有源层 42 的材料包括至少不完全相同的金属元素摩尔比。例如，有源层 42 的材料为铟镓锌氧化物，其中，铟、镓、锌、氧的摩尔比例为 3: 1: 3: 9，其对应的载流子迁移率大于或等于 $40 \text{ cm}^2/\text{Vs}$ ；保护层 41 的材料为铟镓锌氧化物，其中，铟、镓、锌、氧的摩尔比例为 3: 3: 3: 12，其对应的载流子迁移率为 $10 \text{ cm}^2/\text{Vs}$ 。

30 需要说明的是，至少不完全相同的含义为：部分相同或者完全不同。

在示例性的实施例中，有源层 42 和保护层 41 沿垂直于衬底方向上的厚度范围可以为 10nm-80nm，且保护层 41 沿垂直于有源层 42 的侧表面方向上的厚度范围可以为 10nm-80nm。例如，保护层 41 的厚度可以为 100 Å（10nm），有源层 42 的厚度可以为 200 Å（20nm）。

- 5 在示例性的实施例中，有源层 42 的载流子迁移率范围为 $20\text{m}^2/\text{Vs}$ - $100\text{cm}^2/\text{Vs}$ 。由于保护层 41 的载流子迁移率小于有源层 42 的载流子迁移率，且保护层 41 的材料和驱动晶体管的半导体层 43 的材料为同一金属氧化物半导体材料，因此，保护层 41 的载流子迁移率和半导体层 43 的载流子迁移率相等，驱动晶体管的半导体层 43 的载流子迁移率也小于开关晶体管的有源层 42 的载流子迁移率，例如，驱动晶体管的半导体层 43 的载流子迁移率范围为 $5\text{cm}^2/\text{Vs}$ - $30\text{cm}^2/\text{Vs}$ 。

在示例性的实施例中，保护层 41 的结构和投影尺寸依赖于有源层 42 的结构和投影尺寸，以使得保护层 41 覆盖有源层 42 的一个主表面和侧表面。

- 15 示例性的，保护层 41 在衬底 1 上的投影形状和有源层 42 在衬底 1 上的投影形状相同，且保护层 41 在衬底 1 上的投影尺寸大于有源层 42 在衬底 1 上的投影尺寸，使得保护层 41 至少可以完全覆盖并包裹住有源层 42 的一个主表面和侧表面。

- 20 示例性的，保护层 41 在衬底 1 上的投影形状和有源层 42 在衬底 1 上的投影形状不同，且保护层 41 在衬底 1 上的投影尺寸大于有源层 42 在衬底 1 上的投影尺寸，使得保护层 41 至少可以完全覆盖并包裹住有源层 42 的一个主表面和侧表面。

- 25 示例性的，有源层 42 包括至少一个子层。在有源层 42 包括多个子层的情况下，在有源层 42 指向保护层 41 的方向上，有源层 42 的各子层的载流子迁移率逐渐减小并趋近于保护层 41 的载流子迁移率，以使得有源层 42 和保护层 41 之间的界面匹配。

- 30 在示例性的实施例中，参考图 3b 所示的开关晶体管，保护层 41 覆盖有源层 42 的侧表面和远离衬底 1 的主表面，保护层 41 在衬底 1 上的正投影超出有源层 42 在衬底 1 上的正投影的部分可以沿平行于衬底 1 的方向向四周延伸，以增加保护层 41 沿垂直于有源层 42 的侧表面的方

向上的厚度，提高保护层 41 对有源层 42 的侧表面的保护效果。

在示例性的实施例中，参考图 3b 所示的开关晶体管，保护层 41 的部分区域沿垂直于有源层 42 的侧表面的方向上的厚度为 d_1 ，保护层 41 的另外部分区域沿垂直于有源层 42 的侧表面的方向上的厚度为 d_2 。其中， d_1 和 d_2 的尺寸可以不同。在实际应用中，为了简化设计，可以设置 d_1 和 d_2 的尺寸相同。

上述同层设置是指采用一次构图工艺制作。一次构图工艺是指经过一次曝光形成所需要的层结构工艺。一次构图工艺包括掩膜、曝光、显影、刻蚀和剥离等工艺。

另外，这里对于上述驱动晶体管和开关晶体管的类型不做限定，其可以是顶栅型薄膜晶体管，或者，还可以是底栅型薄膜晶体管。本申请的实施例以及附图以顶栅型薄膜晶体管为例进行说明。

示例性的，参考图 5b 所示，驱动晶体管可以包括遮光层 2，驱动晶体管的遮光层 2 和源极 81 电连接。

在实际应用中，将驱动晶体管的遮光层 2 和源极 81 电连接，遮光层 2 再和接地端电连接，可以得到一种饱和性较好的驱动晶体管。

上述“饱和性”好的含义为：驱动晶体管更容易进入饱和区，从而进入稳定工作状态。具体的，图 4b 示出了一种设置遮光层 2、且遮光层 2 接地，以及不设置遮光层 2 的驱动晶体管的特性曲线对比示意图，可以看出，设置遮光层 2 (with shield) 且遮光层 2 接地的驱动晶体管在源漏电压 (V_{ds}) 较低的情况下，源漏电流 (I_{ds}) 趋于平稳，进入饱和区。而未设置遮光层 2 (without shield) 的驱动晶体管在源漏电压 (V_{ds}) 较高的情况下，源漏电流 (I_{ds}) 持续增大，处于线性区，难以进入饱和区。

在实际应用中，可以设置驱动薄膜晶体管为饱和性较好的晶体管，使其遮光层 2 和第一极 81 (源电极) 电连接，且遮光层 2 和接地端电连接；开关晶体管 (高 I_{on} 需求的晶体管) 根据情况可以不设置遮光层 2，或者设置遮光层 2 用于遮光；从而可以简化设计、缩短制备工艺，降低成本。其中， I_{on} 为晶体管的工作电流 (开态电流)。

需要说明的是，上述阵列基板为 OLED (Organic Light Emitting

Diode, 有机发光二极管) 阵列基板, 用于驱动 OLED 发光, 上述阵列基板应用于 OLED 显示面板中。

本申请的实施例设置驱动晶体管包括半导体层 43, 设置开关晶体管包括有源层 42 和保护层 41, 保护层 41 和半导体层 43 的材料为同一金属氧化物半导体材料、两者同层设置; 且有源层 42 的载流子迁移率大于保护层 41 的载流子迁移率。需要说明的是, 在实际应用中, 驱动晶体管需要具有较高的稳定性, 而开关晶体管需要较大的工作电流 (I_{on}), 为了满足两者的需求且不增加制备工艺的难度, 一方面, 使得保护层 41 和半导体层 43 的材料为同一金属氧化物半导体材料、两者同层设置, 且保护层 41 和半导体层 43 的材料选择低载流子迁移率的金属氧化物体系, 例如, 载流子迁移率为 $5\text{cm}^2/\text{Vs}$ 或 $10\text{cm}^2/\text{Vs}$, 避免驱动晶体管稳定性差造成的阵列基板中的驱动电路的异常情况, 还降低了阵列基板的制备工艺难度; 另一方面, 设置保护层 41 覆盖有源层 42 的一个主表面和侧表面, 且有源层 42 的载流子迁移率大于保护层 41 的载流子迁移率, 从而保证了开关晶体管较大的工作电流 (I_{on}), 通过保护层 41 对有源层 42 的保护作用, 还提高了开关晶体管的稳定性。

在实际应用中, 当有源层 42 的侧表面存在底切 (Undercut), 在栅极施加一控制电压时, 很可能存在有源层 42 的靠近侧面的区域形成一导电沟道, 而有源层 42 位于中央的区域未形成导电沟道; 从而造成有源层 42 靠近侧面的区域和中央的区域形成沟道所需要的栅极电压不同, 引起双沟道效应, 降低晶体管的使用性能, 在本申请中, 通过对有源层 42 的侧面进行保护, 可以有效避免双沟道效应的产生, 提高薄膜晶体管的性能。

另外, 由于薄膜晶体管的源漏电流 (I_{ds}) 与薄膜晶体管的沟道长度 (L) 的大小负相关、与沟道宽度 (W) 和半导体层的载流子迁移率 (μ) 正相关, 在需求的源漏电流 (I_{ds}) 的大小不变的情况下, 半导体层的载流子迁移率 (μ) 越大, 就需要设置较大的沟道长度 (L) 以保持源漏电流 (I_{ds}) 的大小不变, 然而, 由于驱动晶体管的尺寸本身较大, 故而, 在驱动晶体管选择低载流子迁移率的金属氧化物体系, 有利于缩小其沟道长度, 从而缩小驱动晶体管的尺寸, 有利于高 PPI (Pixels Per Inch, 像素密度) 产品的设计。

在驱动基板中开关晶体管的有源层 42 和保护层 41 均为金属氧化物半导体材料时，相较于金属氧化物+低温多晶硅的薄膜晶体管，其对应的阵列基板的制备过程更加简单，制备工序可以从 15 道工序减少至 10 或 11 道工序，极大程度的缩短制备周期、降低制备成本。另外，由氧化物薄膜晶体管制备的显示产品还可以具备低频的特点，降低了显示产品的使用功耗。

在本申请的一些实施例中，参考图 3a 或图 3b 所示，开关晶体管包括栅极 6 和栅绝缘层 5；栅绝缘层 5 位于保护层 41 远离有源层 42 的一侧，栅极 6 位于栅绝缘层 5 远离衬底 1 的一侧，且栅极 6 在衬底 1 上的正投影位于有源层 42 在衬底 1 上的正投影以内。

上述栅极 6 在衬底 1 上的“正投影”的含义为：栅极 6 沿垂直于衬底 1 的方向在衬底 1 上的投影，本申请中其它与正投影相关的描述的含义与这里类似，不再进行赘述。

栅极 6 在衬底 1 上的正投影位于有源层 42 在衬底 1 上的正投影以内的含义为：栅极 6 在衬底 1 上的正投影轮廓与有源层 42 在衬底 1 上的正投影轮廓重叠；或者，栅极 6 在衬底 1 上的正投影轮廓位于有源层 42 在衬底 1 上的正投影轮廓以内。

在示例性的实施例中，可以设置单层结构的钼 (Mo)、叠层结构的钼/铝/钼 (Mo/Al/Mo)、叠层结构的钛/铝/钛 (Ti/Al/Ti)、双层结构的钼铌/铜 (MoNb/Cu)、双层结构的钼铌钛/铜 (MoNiTi/Cu) 或者双层结构的钛/铜 (Ti/Cu) 作为栅极 6。

在示例性的实施例中，栅极 6 沿垂直于衬底 1 方向的厚度范围可以为 1000\AA - 10000\AA 。例如：叠层结构的钼/铝/钼 (Mo/Al/Mo) 的各子层的厚度为 $200\text{\AA}/3000\text{\AA}/200\text{\AA}$ ；叠层结构的钛/铝/钛 (Ti/Al/Ti) 的各子层的厚度为 $150\text{\AA}/4000\text{\AA}/200\text{\AA}$ ；双层结构的钼铌钛/铜 (MoNiTi/Cu) 的两个子层的厚度为 $200\text{\AA}/4000\text{\AA}$ 。

在示例性的实施例中，栅绝缘层 5 沿垂直于衬底 1 方向的厚度范围为 80nm - 200nm 。栅绝缘层 5 的材料可以为氮化硅 (SiN_x)、氧化硅 (SiO_2)、氮氧化硅 (SiN_xO_y) 中的任意一种。

在本申请的一些实施例中，开关晶体管还包括源极 81 和漏极 82；

源极 81 和漏极 82 均位于栅绝缘层 5 远离衬底 1 的一侧；例如，源极 81 和漏极 82 均位于栅极 6 远离衬底 1 的一侧；或者，源极 81 和漏极 82 均与栅极 6 同层设置。

在实际应用中，通过对源漏金属层(SD)进行图案化处理，同时得到源极 81 和漏极 82。其中，可以设置单层结构的钼 (Mo)、叠层结构的钼/铝/钼 (Mo/Al/Mo)、叠层结构的钛/铝/钛 (Ti/Al/Ti)、双层结构的钼铌/铜 (MoNb/Cu)、双层结构的钼铌钛/铜 (MoNiTi/Cu) 或者双层结构的钛/铜 (Ti/Cu) 中的任意一种作为源漏金属层(SD)。其中，源漏金属层(SD) 沿垂直于衬底 1 方向上的厚度范围均为 1000\AA - 10000\AA 。

参考图 4a 所示，开关晶体管具有贯穿源极 81 和保护层 41 之间各膜层（两者之间的膜层为介质层 7 和栅绝缘层 5）的第一连接孔 101，贯穿漏极 82 和保护层 41 之间各膜层（两者之间的膜层为介质层 7 和栅绝缘层 5）的第二连接孔 102，第一连接孔 101 和第二连接孔 102 的孔底分别暴露出保护层 41 的部分区域；其中，源极 81 通过第一连接孔 101 和保护层 41 直接接触，漏极 82 通过第二连接孔 102 和保护层 41 直接接触。

由于保护层 41 和有源层 42 均为半导体材料，通过设置源极 81 和保护层 41 的一端直接接触，漏极 82 和保护层 41 的另一端直接接触，在源极 81 和漏极 82 上施加电压时，通过保护层 41 可以将电信号传输给有源层 42，这样，使得开关晶体管的设计简单、且降低了工艺制备难度，减小成本。

参考图 4c 所示，开关晶体管具有贯穿源极 81 和有源层 42 之间各膜层（两者之间的膜层为介质层 7、栅绝缘层 5 和保护层 41）的第一连接孔 101，贯穿漏极 82 和有源层 42 之间各膜层的第二连接孔 102，第一连接孔 101 和第二连接孔 102 的孔底分别暴露出有源层 42 的部分区域、其孔壁分别暴露出保护层 41 的部分区域；其中，源极 81 通过第一连接孔 101 同时与保护层 41 和有源层 42 直接接触，漏极 82 通过第二连接孔 102 同时与保护层 41 和有源层 42 直接接触。

设置源极 81 通过第一连接孔 101 同时与保护层 41 和有源层 42 直接接触，漏极 82 通过第二连接孔 102 同时与保护层 41 和有源层 42 直接接触，可以同时提高保护层 41 和有源层 42 接收到的源极 81 和漏极

82 施加的电压信号，从而降低接触电阻，降低发生双沟道效应（保护层 41 在一栅极电压下产生一沟道，有源层 42 在另一栅极电压下产生一沟道）的概率。

在本申请的一些实施例中，栅绝缘层 5 的材料为遮光材料，且保护层 5 层 41 在衬底 1 上的正投影位于栅绝缘层 5 在衬底 1 上的正投影以内。

通过将栅绝缘层 5 的材料设置为遮光材料，在该阵列基板的开关晶体管应用于 OLED 显示面板中时，OLED 发光层在膜层间反射或折射的光线朝向有源层 42 和保护层 41 的方向照射时，栅极缘层 5 能够遮挡来自 OLED 发光层的反射光线和折射光线，避免保护层 41 和有源层 42 受到光线照射后其电性能发生改变，从而提高了开关晶体管的稳定性。

另外，需要说明的是，由于保护层 41 在衬底 1 上的正投影位于栅绝缘层 5 在衬底 1 上的正投影以内，而保护层 41 覆盖有源层 42 的主表面和侧表面，因此，有源层 42 在衬底 1 上的正投影也位于栅绝缘层 5 在衬底 1 上的正投影以内。

15 在本申请的一些实施例中，开关晶体管还包括遮光层 2，遮光层 2 位于衬底 1 和有源层 42 之间，遮光层 2 在衬底 1 上的正投影覆盖有源层 42 在衬底 1 上的正投影，且遮光层 2 在衬底 1 上的正投影覆盖保护层 41 在衬底 1 上的正投影。

在实际应用中，衬底 1 通常具有一定的透光性，为了避免外界环境 20 光线透过衬底 1 照射到有源层 42 和保护层 41 上，在衬底 1 和有源层 42 之间设置遮光层 2，避免保护层 41 和有源层 42 受到环境光线照射后其电性能发生改变，从而提高了开关晶体管的稳定性。

在本申请的一些实施例中，遮光层 2 和栅极 6 电连接。

此时，开关晶体管具有双栅结构，其中，栅极 6 作为第一栅极，遮 25 光层 2 作为第二栅极，能够起到提升开关晶体管稳定性的作用，同时还能够遮挡光线对沟道区域的照射，进一步提高晶体管的性能。

在本申请的一些实施例中，开关晶体管还包括介质层 7，介质层 7 覆盖栅极 6，源极 81 和漏极 82 均位于介质层 7 远离衬底 1 的一侧。

示例性的，上述介质层 7 (ILD) 的可以为单层结构的氮化硅，或者 30 单层结构的氧化硅，或者具有双层结构的氧化硅层和氮化硅层，具体

可以根据设计确定，这里不进行限制。

示例性的，上述介质层 7 (ILD) 沿垂直于衬底 1 方向的厚度范围可以为 200nm-600nm。

5 示例性的，介质层 7 的材料为遮光材料，介质层 7 在衬底 1 上的正投影覆盖保护层 41 在衬底 1 上的正投影。通过将介质层 7 的材料设置为遮光材料，可以进一步遮挡来自 OLED 发光层的反射光线和折射光线，提高遮光效果，避免保护层 41 和有源层 42 受到光线照射后其电性能发生改变，从而进一步提高了开关晶体管的稳定性。

10 本申请的实施例提供了一种如图 3a、图 3b、图 4a 或图 4c 所示的金属氧化物薄膜晶体管，位于衬底 1 上，包括：

位于衬底 1 上的有源层 42，有源层 42 包括相对的两个主表面以及位于两个主表面的外轮廓之间的侧表面；保护层 41，保护层 41 位于有源层 42 远离衬底 1 的主表面上并覆盖主表面和侧表面；

15 其中，保护层 41 的材料为金属氧化物半导体材料、且保护层 41 的载流子迁移率小于有源层 42 的载流子迁移率。

在本申请的一些实施例中，保护层 41 和有源层 42 的材料包括至少不完全相同的金属元素；或者，保护层 41 和有源层 42 的材料包括至少不完全相同的金属元素摩尔比。

20 示例性的，保护层 41 和有源层 42 的材料可以均为铟锡锌氧化物，但其对应的元素的组成比例至少部分不同。

在本申请的一些实施例中，在保护层 41 的载流子迁移率小于有源层 42 的载流子迁移率的情况下，保护层 41 和有源层 42 的材料包括至少不完全相同的金属元素。例如，保护层 41 的材料为铟镓锌氧化物，有源层 42 的材料为铟锡锌氧化物。

25 在本申请的一些实施例中，在保护层 41 的载流子迁移率小于有源层 42 的载流子迁移率的情况下，保护层 41 和有源层 42 的材料包括至少不完全相同的金属元素摩尔比。例如，有源层 42 的材料为铟镓锌氧化物，其中，铟、镓、锌、氧的摩尔比例为 3: 1: 3: 9，其对应的载流子迁移率大于或等于 $40 \text{ cm}^2/\text{Vs}$ ；保护层 41 的材料为铟镓锌氧化物，其中，铟、镓、锌、氧的摩尔比例为 3: 3: 3: 12，其对应的载流子迁移

30

率为 $10\text{cm}^2/\text{Vs}$ 。

需要说明的是,至少不完全相同的含义为:部分相同或者完全不同。

在示例性的实施例中,有源层 42 和保护层 41 沿垂直于衬底方向上的厚度范围可以为 10nm - 80nm ,且保护层 41 沿垂直于有源层 42 的侧表面方向上的厚度范围可以为 10nm - 80nm 。例如,保护层 41 的厚度可以为 100Å (10nm),有源层 42 的厚度可以为 200Å (20nm)。

在示例性的实施例中,有源层 42 的载流子迁移率范围为 $20\text{cm}^2/\text{Vs}$ - $100\text{cm}^2/\text{Vs}$ 。由于保护层 41 的载流子迁移率小于有源层 42 的载流子迁移率,且保护层 41 的材料和驱动晶体管的半导体层 43 的材料为同一金属氧化物半导体材料,因此,保护层 41 的载流子迁移率和半导体层 43 的载流子迁移率相等,驱动晶体管的半导体层 43 的载流子迁移率也小于开关晶体管的有源层 42 的载流子迁移率,例如,驱动晶体管的半导体层 43 的载流子迁移率范围为 $5\text{cm}^2/\text{Vs}$ - $30\text{cm}^2/\text{Vs}$ 。

在示例性的实施例中,保护层 41 的结构和投影尺寸依赖于有源层 42 的结构和投影尺寸,以使得保护层 41 覆盖有源层 42 的一个主表面和侧表面。

示例性的,有源层 42 包括至少一个子层。在有源层 42 包括多个子层的情况下,在有源层 42 指向保护层 41 的方向上,有源层 42 的各子层的载流子迁移率逐渐减小并趋近于保护层 41 的载流子迁移率,以使得有源层 42 和保护层 41 之间的界面匹配。

在示例性的实施例中,参考图 3b 所示的开关晶体管,保护层 41 覆盖有源层 42 的侧表面和远离衬底 1 的主表面,保护层 41 在衬底 1 上的正投影超出有源层 42 在衬底 1 上的正投影的部分可以沿平行于衬底 1 的方向向四周延伸,以增加保护层 41 沿垂直于有源层 42 的侧表面的方向上的厚度,提高保护层 41 对有源层 42 的侧表面的保护效果。

在示例性的实施例中,参考图 3b 所示的开关晶体管,保护层 41 的部分区域沿垂直于有源层 42 的侧表面的方向上的厚度为 d_1 ,保护层 41 的另外部分区域沿垂直于有源层 42 的侧表面的方向上的厚度为 d_2 。其中, d_1 和 d_2 的尺寸可以不同。在实际应用中,为了简化设计,可以设置 d_1 和 d_2 的尺寸相同。

本申请的实施例中,通过设置保护层 41 覆盖有源层 42 的一个主表面和侧表面,且有源层 42 的载流子迁移率大于保护层 41 的载流子迁移率,从而保证了开关晶体管有较大的工作电流 (I_{on}),通过保护层 41 对有源层 42 的保护作用,还提高了开关晶体管的稳定性。

5 需要说明的是,上述金属氧化物薄膜晶体管可以应用于开关晶体管,或者,也可以应用于驱动晶体管,具体根据实际需求确定。另外,上述金属氧化物薄膜晶体管可以应用于 LCD (Liquid Crystal Display, 液晶显示器) 显示面板、OLED 显示面板、Mini LED 显示面板或 Micro LED 显示面板中的任意一种。

10 在本申请的一些实施例中,金属氧化物薄膜晶体管还包括栅极 6 和栅绝缘层 5; 栅绝缘层 5 位于保护层 41 远离有源层 42 的一侧,栅极 6 位于栅绝缘层 5 远离衬底 1 的一侧,且栅极 6 在衬底 1 上的正投影位于有源层 42 在衬底 1 上的正投影以内。

上述栅极 6 在衬底 1 上的“正投影”的含义为:栅极 6 沿垂直于衬底 1 的方向在衬底 1 上的投影,本申请中其它与正投影相关的描述的含义与这里类似,不再进行赘述。

栅极 6 在衬底 1 上的正投影位于有源层 42 在衬底 1 上的正投影以
15 内的含义为:栅极 6 在衬底 1 上的正投影轮廓与有源层 42 在衬底 1 上的正投影轮廓重叠;或者,栅极 6 在衬底 1 上的正投影轮廓位于有源层
20 42 在衬底 1 上的正投影轮廓以内。

在示例性的实施例中,可以设置单层结构的钼 (Mo)、叠层结构的钼/铝/钼 (Mo/Al/Mo)、叠层结构的钛/铝/钛 (Ti/Al/Ti)、双层结构的钼铌/铜 (MoNb/Cu)、双层结构的钼铌钛/铜 (MoNiTi/Cu) 或者双层结构的钛/铜 (Ti/Cu) 作为栅极 6。

25 在示例性的实施例中,栅极 6 沿垂直于衬底 1 方向的厚度范围可以为 1000\AA - 10000\AA 。例如:叠层结构的钼/铝/钼 (Mo/Al/Mo) 的各子层的厚度为 $200\text{\AA}/3000\text{\AA}/200\text{\AA}$;叠层结构的钛/铝/钛 (Ti/Al/Ti) 的各子层的厚度为 $150\text{\AA}/4000\text{\AA}/200\text{\AA}$;双层结构的钼铌钛/铜 (MoNiTi/Cu) 的两个子层的厚度为 $200\text{\AA}/4000\text{\AA}$ 。

30 在示例性的实施例中,栅绝缘层 5 沿垂直于衬底 1 方向的厚度范围

为 80nm-200nm。栅绝缘层 5 的材料可以为氮化硅 (SiN_x)、氧化硅 (SiO₂)、氮氧化硅 (SiN_xO_y) 中的任意一种。

在本申请的一些实施例中,还包括源极 81 和漏极 82;源极 81 和漏极 82 均位于栅绝缘层 5 远离衬底 1 的一侧;例如,源极 81 和漏极 82 均位于栅极 6 远离衬底 1 的一侧;或者,源极 81 和漏极 82 均与栅极 6 同层设置。

在实际应用中,通过对源漏金属层(SD)进行图案化处理,同时得到源极 81 和漏极 82。其中,可以设置单层结构的钼 (Mo)、叠层结构的钼/铝/钼 (Mo/Al/Mo)、叠层结构的钛/铝/钛 (Ti/Al/Ti)、双层结构的钼铌/铜 (MoNb/Cu)、双层结构的钼铌钛/铜 (MoNiTi/Cu) 或者双层结构的钛/铜 (Ti/Cu) 中的任意一种作为源漏金属层(SD)。其中,源漏金属层(SD)沿垂直于衬底 1 方向上的厚度范围均为 1000Å-10000Å。

参考图 4a 所示,金属氧化物薄膜晶体管具有贯穿源极 81 和保护层 41 之间各膜层(两者之间的膜层为介质层 7 和栅绝缘层 5)的第一连接孔 101,贯穿漏极 82 和保护层 41 之间各膜层(两者之间的膜层为介质层 7 和栅绝缘层 5)的第二连接孔 102,第一连接孔 101 和第二连接孔 102 的孔底分别暴露出保护层 41 的部分区域;其中,源极 81 通过第一连接孔 101 和保护层 41 直接接触,漏极 82 通过第二连接孔 102 和保护层 41 直接接触。

由于保护层 41 和有源层 42 均为半导体材料,通过设置源极 81 和保护层 41 的一端直接接触,漏极 82 和保护层 41 的另一端直接接触,在源极 81 和漏极 82 上施加电压时,通过保护层 41 可以将电信号传输给有源层 42,这样,使得晶体管的设计简单、且降低了工艺制备难度,减小成本。

参考图 4c 所示,金属氧化物薄膜晶体管具有贯穿源极 81 和有源层 42 之间各膜层(两者之间的膜层为介质层 7、栅绝缘层 5 和保护层 41)的第一连接孔 101,贯穿漏极 82 和有源层 42 之间各膜层(两者之间的膜层为介质层 7、栅绝缘层 5 和保护层 41)的第二连接孔 102,第一连接孔 101 和第二连接孔 102 的孔底分别暴露出有源层 42 的部分区域、其孔壁分别暴露出保护层 41 的部分区域;其中,源极 81 通过第一连接孔 101 同时与保护层 41 和有源层 42 直接接触,漏极 82 通过第二连接

孔 102 同时与保护层 41 和有源层 42 直接接触。

设置源极 81 通过第一连接孔 101 同时与保护层 41 和有源层 42 直接接触，漏极 82 通过第二连接孔 102 同时与保护层 41 和有源层 42 直接接触，可以同时提高保护层 41 和有源层 42 接收到的源极 81 和漏极 5 82 施加的电压信号，从而降低接触电阻，降低发生双沟道效应（保护层 41 在一栅极电压下产生一沟道，有源层 42 在另一栅极电压下产生一沟道）的概率。

在本申请的一些实施例中，栅绝缘层 5 的材料为遮光材料，且保护层 41 在衬底 1 上的正投影位于栅绝缘层 5 在衬底 1 上的正投影以内。

10 通过将栅绝缘层 5 的材料设置为遮光材料，在将该金属氧化物薄膜晶体管应用于显示面板时，显示面板中膜层间反射或折射的显示光线朝向有源层 42 和保护层 41 的方向照射时，栅极缘层 5 能够遮挡反射光线和折射光线，避免保护层 41 和有源层 42 受到光线照射后其电性能发生改变，从而提高了开关晶体管的稳定性。

15 另外，需要说明的是，由于保护层 41 在衬底 1 上的正投影位于栅绝缘层 5 在衬底 1 上的正投影以内，而保护层 41 覆盖有源层 42 的主表面和侧表面，因此，有源层 42 在衬底 1 上的正投影也位于栅绝缘层 5 在衬底 1 上的正投影以内。

在本申请的一些实施例中，金属氧化物薄膜晶体管还包括遮光层 2，20 遮光层 2 位于衬底 1 和有源层 42 之间，遮光层 2 在衬底 1 上的正投影覆盖有源层 42 在衬底 1 上的正投影，且遮光层 2 在衬底 1 上的正投影覆盖保护层 41 在衬底 1 上的正投影。

在实际应用中，衬底 1 通常具有一定的透光性，为了避免外界环境光线透过衬底 1 照射到有源层 42 和保护层 41 上，在衬底 1 和有源层 25 42 之间设置遮光层 2，避免保护层 41 和有源层 42 受到环境光线照射后其电性能发生改变，从而提高了开关晶体管的稳定性。

在本申请的一些实施例中，遮光层 2 和栅极 6 电连接。此时，金属氧化物薄膜晶体管具有双栅结构，其中，栅极 6 作为第一栅极，遮光层 2 作为第二栅极，能够起到提升金属氧化物薄膜晶体管稳定性的作用，30 同时还能够遮挡光线对沟道区域的照射，进一步提高晶体管的性能。

在本申请的一些实施例中，金属氧化物薄膜晶体管还包括介质层 7，介质层 7 覆盖栅极 6，源极 81 和漏极 82 均位于介质层 7 远离衬底 1 的一侧。

5 示例性的，上述介质层 7 (ILD) 的可以为单层结构的氮化硅，或者单层结构的氧化硅，或者具有双层结构的氧化硅层和氮化硅层，具体可以根据设计确定，这里不进行限制。

示例性的，上述介质层 7 (ILD) 沿垂直于衬底 1 方向的厚度范围可以为 200nm-600nm。

10 示例性的，介质层 7 的材料为遮光材料，介质层 7 在衬底 1 上的正投影覆盖保护层 41 在衬底 1 上的正投影。通过将介质层 7 的材料设置为遮光材料，可以进一步遮挡显示光线产生的反射光线和折射光线，提高遮光效果，避免保护层 41 和有源层 42 受到光线照射后其电性能发生改变，从而进一步提高了开关晶体管的稳定性。

15 本申请的实施例提供了一种阵列基板的制备方法，参考图 7 所示，该方法包括：

S901、提供衬底 1；

衬底 1 可以为刚性衬底，例如，玻璃；或者，衬底 1 可以为柔性衬底，例如聚酰亚胺 (PI)。

20 S902、形成开关晶体管的有源层 42；有源层 42 包括相对的两个主表面以及位于两个主表面的外轮廓之间的侧表面；

示例性的，有源层 42 包括至少一个子层。在有源层 42 包括多个子层的情况下，在有源层 42 指向保护层 41 的方向上，有源层 42 的各子层的载流子迁移率逐渐减小并趋近于保护层 41 的载流子迁移率，以使得有源层 42 和保护层 41 之间的界面匹配。

25 S903、同时形成驱动晶体管的半导体层 43 和开关晶体管的保护层 41；其中，保护层 41 位于有源层 42 远离衬底 1 的主表面上并覆盖主表面和侧表面；保护层 41 和半导体层 43 同层设置、且两者的材料为同一金属氧化物半导体材料；保护层 41 的载流子迁移率小于有源层 42 的载流子迁移率。

上述同层设置是指采用一次构图工艺制作。一次构图工艺是指经过一次曝光形成所需要的层结构工艺。一次构图工艺包括掩膜、曝光、显影、刻蚀和剥离等工艺。

5 本申请的实施例提供的阵列基板的制备方法，制备出的阵列基板中的驱动晶体管包括半导体层 43，开关晶体管包括有源层 42 和保护层 41，保护层 41 和半导体层 43 的材料为同一金属氧化物半导体材料、两者同层设置；且有源层 42 的载流子迁移率大于保护层 41 的载流子迁移率。在实际应用中，由于驱动晶体管需要具有较高的稳定性，而开关晶体管需要较大的工作电流 (I_{on})，为了满足两者的需求且不增加制备工艺的
10 的难度，一方面，使得保护层 41 和半导体层 43 的材料为同一金属氧化物半导体材料、两者同层设置，且保护层 41 和半导体层 43 的材料选择低载流子迁移率的金属氧化物体系，例如，载流子迁移率为 $5\text{cm}^2/\text{Vs}$ 或 $10\text{cm}^2/\text{Vs}$ ，避免驱动晶体管稳定性差造成的阵列基板中的驱动电路的异常情况，还降低了阵列基板的制备工艺难度；另一方面，设置保护层 41 覆盖有
15 源层 42 的一个主表面和侧表面，且有源层 42 的载流子迁移率大于保护层 41 的载流子迁移率，从而保证了开关晶体管有较大的工作电流 (I_{on})，通过保护层 41 对有源层 42 的保护作用，还提高了开关晶体管的稳定性。

另外，当有源层 42 的侧表面存在底切 (Undercut)，在栅极施加一
20 控制电压时，很可能存在有源层 42 的靠近侧面的区域形成一导电沟道，而有源层 42 位于中央的区域未形成导电沟道；从而造成有源层 42 靠近侧面的区域和中央的区域形成沟道所需要的栅极电压不同，引起双沟道效应，降低晶体管的使用性能，在本申请中，通过对有源层 42 的侧面进行保护，可以有效避免双沟道效应的产生，提高薄膜晶体管的性能。

25 阵列基板的具体结构可以参考前文的说明，这里不再赘述。阵列基板包括的其它结构和膜层的制备方法，可以参考如下制备方法的详细说明或相关技术。

下面以图 6 所示的结构为例，具体说明该阵列基板的制备方法。

S1、提供衬底 1，并对衬底 1 进行清洗。

30 S2、形成如图 8 所示的遮光层 2。

其中，驱动晶体管的遮光层 2 和开关晶体管的遮光层 2 同时形成，遮光层 2 采用双层结构的铝/钼金属层 (Al/Mo)、单层结构的钼金属层 (Mo)、单层结构的钼铌金属层 (MoNb) 或单层结构的钛金属层金属制备，其厚度范围可以为 500\AA - 2000\AA 。

5 S3、形成如图 8 所示的缓冲层 3 (Buffer Layer)。

驱动晶体管的缓冲层 3 和开关晶体管的缓冲层 3 同时形成。

其中，可以采用 PECVD (Plasma Enhanced Chemical Vapor Deposition, 等离子体增强化学的气相沉积法) 或 PEALD (Plasma Enhanced Atomic Layer Deposition, 等离子体增强原子层沉积) 制备缓冲层 3。

缓冲层 3 的材料可以为 SiO_x 、 SiN_x 、 SiN_xO_y 中的一种或多种的组合。例如，缓冲层 3 为单层的 SiO_x 层；或者，缓冲层 3 为 SiN_x 层和 SiO_x 层构成的复合膜层。其中，缓冲层 3 沿垂直于衬底 1 方向上的厚度范围为 2000\AA - 5000\AA ，当缓冲层 3 为 SiN_x 层和 SiO_x 层构成的复合膜层时， SiN_x 层的厚度不超过缓冲层 3 厚度的 50%。

S4、形成如图 9 所示的驱动晶体管的有源层 42。

其中，有源层 42 可以采用溅射 (Sputter) 或原子层沉积法 (ALD, Atomic Layer Deposition) 制备，有源层 42 的载流子迁移率的范围为 $20\text{cm}^2/\text{Vs}$ - $100\text{cm}^2/\text{Vs}$ ，有源层 42 的材料可以为金属氧化物半导体材料。

20 在实际应用中，通过先制备有源薄膜，在通过刻蚀的方式对阵列基板进行图案化处理，得到驱动晶体管的有源层 42。

S5、同时形成驱动晶体管的半导体层 43 和如图 10 所示的开关晶体管的保护层 41。

25 其中，驱动晶体管的半导体层 43 和开关晶体管的保护层 41 采用同一金属半导体氧化物制备；保护层 41 覆盖有源层 42 远离衬底 1 的主表面和有源层 42 的侧表面，且有源层 42 的载流子迁移率大于保护层 41 的载流子迁移率。

S6、形成如图 11 所示的栅绝缘层 5。

其中，同时形成驱动晶体管的栅绝缘层 5 和开关晶体管的栅绝缘层

5。

其中，在形成栅绝缘层 5 时，可以先采用化学气相沉积法（CVD，Chemical Vapor Deposition）工艺形成栅绝缘薄膜，在后续形成介质层 7 时，一起对栅绝缘薄膜进行图案化处理，以同时形成栅绝缘层 5 和介质层 7；从而节省一道通过掩膜版图案化的工艺。或者，在形成栅绝缘薄膜后，直接进行图案化处理，得到栅绝缘层 5。

需要说明的是，栅绝缘薄膜整层覆盖在基板上，图案化处理的过程的主要目的为在栅绝缘薄膜上的局部位置形成过孔，以得到栅绝缘层 5，本申请的实施例提供的附图中绘制的栅绝缘层 5 只是示意性附图，具体可以根据实际需求进行调整。

S7、形成如图 11 所示的栅极 6。

其中，驱动晶体管的栅极 6 和开关晶体管的栅极 6 同时形成。

在示例性的实施例中，可以设置单层结构的钼（Mo）、叠层结构的钼/铝/钼（Mo/Al/Mo）、叠层结构的钛/铝/钛（Ti/Al/Ti）、双层结构的钼铌/铜（MoNb/Cu）、双层结构的钼铌钛/铜（MoNiTi/Cu）或者双层结构的钛/铜（Ti/Cu）作为栅极 6。

在示例性的实施例中，栅极 6 沿垂直于衬底 1 方向的厚度范围可以为 1000 Å-10000 Å。

S8、形成如图 12 所示的介质层（ILD）7。

其中，可以采用 PECVD 法同时形成驱动晶体管的介质层 7 和开关晶体管的介质层 7。上述介质层 7（ILD）的可以为单层结构的氮化硅（SiN_x），或者单层结构的氧化硅（SiO_x），或者由氧化硅层（SiO_x）和氮化硅层（SiN_x）构成的双层结构，具体可以根据设计确定，这里不进行限制。上述介质层 7（ILD）沿垂直于衬底 1 方向的厚度范围可以为 200nm-600nm。

S9、形成如图 12 所示的源极 81 和漏极 82。

在实际应用中，通过对源漏金属层（SD）进行图案化处理，同时得到驱动晶体管和开关晶体管的源极 81 和漏极 82。其中，可以设置单层结构的钼（Mo）、叠层结构的钼/铝/钼（Mo/Al/Mo）、叠层结构的钛/铝/

钛 (Ti/Al/Ti)、双层结构的钼铌/铜 (MoNb/Cu)、双层结构的钼铌钛/铜 (MoNiTi/Cu) 或者双层结构的钛/铜 (Ti/Cu) 作为源漏金属层(SD)。

S10、形成图 6 所示的钝化层 (PVX)；钝化层覆盖驱动晶体管和开关晶体管。

- 5 采用 PECVD 法沉积形成钝化层，其中，钝化层可以为单层结构的氮化硅(SiN_x)，或者单层结构的氧化硅(SiO_x)，或者由氧化硅层(SiO_x)和氮化硅层 (SiN_x) 构成的双层结构。

其中，钝化层沿垂直于衬底 1 方向上的厚度范围为 200nm-600nm。

- 10 S11、形成如图 6 所示的平坦层 (PLN)，平坦层覆盖钝化层。其中，在本申请的实施例提供的附图中，将钝化层和平坦层简化绘制并标记为 11。

平坦层的材料可以为聚酰亚胺或者有机硅材料。其中，有机硅材料可以为硅氧烷。平坦层沿垂直于衬底 1 方向上的厚度为 1μm-3μm。需要说明的是，在实际应用中，钝化层和平坦层可以在一次图案化处理中同时得到，以简化制备工艺，节省一道掩膜版。

S12、形成如图 6 所示的阳极 9。

- 其中，阳极 9 的材料可以为氧化铟锡 (ITO)，或者氧化铟锡和银 (Ag)。例如：ITO 层作为阳极；或者叠层结构的 ITO 层/Ag 层/ITO 层。具体的，阳极 9 可以为厚度为 40nm 的 ITO 层；或者，厚度为 135nm 的 ITO 层；或者，叠层结构的厚度为 70 Å /1000 Å /70 Å 的 ITO 层/Ag 层/ITO 层。当然，其厚度还可以根据实际情况进行调整，这里不进行限制。

S13、形成如图 6 所示的像素限定层 (PDL) 10。

其中，像素限定层 10 的材料可以为聚酰亚胺，其厚度范围可以为 1μm-2μm。

- 25 以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权 利 要 求

1、一种阵列基板，其中，包括：

衬底；

位于所述衬底上的驱动晶体管和开关晶体管；

所述驱动晶体管包括半导体层；所述开关晶体管包括有源层和保护层，所述有源层包括相对的两个主表面以及位于两个所述主表面的外轮廓之间的侧表面；

其中，所述保护层位于所述有源层远离所述衬底的所述主表面上并覆盖所述主表面和所述侧表面；所述保护层和所述半导体层同层设置、且两者的材料为同一金属氧化物半导体材料；所述保护层的载流子迁移率小于所述有源层的载流子迁移率。

2、根据权利要求 1 所述的阵列基板，其中，所述保护层和所述有源层的材料包括至少不完全相同的金属元素；或者，所述保护层和所述有源层的材料包括至少不完全相同的金属元素摩尔比。

3、根据权利要求 1 所述的阵列基板，其中，所述开关晶体管包括栅极和栅绝缘层；

所述栅绝缘层位于所述保护层远离所述有源层的一侧，所述栅极位于所述栅绝缘层远离所述衬底的一侧，且所述栅极在所述衬底上的正投影位于所述有源层在所述衬底上的正投影以内。

4、根据权利要求 3 所述的阵列基板，其中，所述开关晶体管还包括源极和漏极；所述源极和所述漏极均位于所述栅绝缘层远离所述衬底的一侧；

所述开关晶体管具有贯穿所述源极和所述保护层之间各膜层的第一连接孔，贯穿所述漏极和所述保护层之间各膜层的第二连接孔，所述第一连接孔和所述第二连接孔的孔底分别暴露出所述保护层的部分区域；

其中，所述源极通过所述第一连接孔和所述保护层直接接触，所述漏极通过所述第二连接孔和所述保护层直接接触。

5、根据权利要求 3 所述的阵列基板，其中，所述开关晶体管还包括源极和漏极；所述源极和所述漏极均位于所述栅绝缘层远离所述衬底的一侧；

所述开关晶体管具有贯穿所述源极和所述有源层之间各膜层的第一连接孔，贯穿所述漏极和所述有源层之间各膜层的第二连接孔，所述第一连接孔和所述第二连接孔的孔底分别暴露出所述有源层的部分区域、其孔壁分别暴露出所述保护层的部分区域；

其中，所述源极通过所述第一连接孔同时与所述保护层和所述有源层直接接触，所述漏极通过所述第二连接孔同时与所述保护层和所述有源层直接接触。

6、根据权利要求 3 所述的阵列基板，其中，所述栅绝缘层的材料为遮光材料，且所述保护层在所述衬底上的正投影位于所述栅绝缘层在所述衬底上的正投影以内。

7、根据权利要求 3 所述的阵列基板，其中，所述开关晶体管还包括遮光层，所述遮光层位于所述衬底和所述有源层之间，所述遮光层在所述衬底上的正投影覆盖所述有源层在所述衬底上的正投影，且所述遮光层在所述衬底上的正投影覆盖所述保护层在所述衬底上的正投影。

8、根据权利要求 7 所述的阵列基板，其中，所述遮光层和所述栅极电连接。

9、根据权利要求 4-8 中任一项所述的阵列基板，其中，所述开关晶体管还包括介质层，所述介质层覆盖所述栅极，所述源极和所述漏极均位于所述介质层远离所述衬底的一侧；

其中，所述介质层的材料为遮光材料，所述介质层在所述衬底上的正投影覆盖所述保护层在所述衬底上的正投影。

10、一种金属氧化物薄膜晶体管，位于衬底上，其中，包括：

位于所述衬底上的有源层；所述有源层包括相对的两个主表面以及位于两个所述主表面的外轮廓之间的侧表面；

保护层，所述保护层位于所述有源层远离所述衬底的所述主表面上并覆盖所述主表面和所述侧表面；

其中，所述保护层的材料为金属氧化物半导体材料、且所述保护层的载流子迁移率小于所述有源层的载流子迁移率。

11、根据权利要求 10 所述的金属氧化物薄膜晶体管，其中，所述保护层和所述有源层的材料包括至少不完全相同的金属元素；或者，所述保护层和所述有源层的材料包括至少不完全相同的金属元素摩尔比。

12、根据权利要求 10 所述的金属氧化物薄膜晶体管，其中，还包括栅极和栅绝缘层；

所述栅绝缘层位于所述保护层远离所述有源层的一侧，所述栅极位于所述栅绝缘层远离所述衬底的一侧，且所述栅极在所述衬底上的正投影位于所

述有源层在所述衬底上的正投影以内。

13、根据权利要求 12 所述的金属氧化物薄膜晶体管，其中，还包括源极和漏极；所述源极和所述漏极均位于所述栅绝缘层远离所述衬底的一侧；

所述金属氧化物薄膜晶体管具有贯穿所述源极和所述保护层之间各膜层的第一连接孔，贯穿所述漏极和所述保护层之间各膜层的第二连接孔，所述第一连接孔和所述第二连接孔的孔底分别暴露出所述保护层的部分区域；

其中，所述源极通过所述第一连接孔和所述保护层直接接触，所述漏极通过所述第二连接孔和所述保护层直接接触。

14、根据权利要求 12 所述的金属氧化物薄膜晶体管，其中，还包括源极和漏极；所述源极和所述漏极均位于所述栅绝缘层远离所述衬底的一侧；

所述金属氧化物薄膜晶体管具有贯穿所述源极和所述有源层之间各膜层的第一连接孔，贯穿所述漏极和所述有源层之间各膜层的第二连接孔，所述第一连接孔和所述第二连接孔的孔底分别暴露出所述有源层的部分区域、其孔壁分别暴露出所述保护层的部分区域；

其中，所述源极通过所述第一连接孔同时与所述保护层和所述有源层直接接触，所述漏极通过所述第二连接孔同时与所述保护层和所述有源层直接接触。

15、根据权利要求 12 所述的金属氧化物薄膜晶体管，其中，所述栅绝缘层的材料为遮光材料，且所述保护层在所述衬底上的正投影位于所述栅绝缘层在所述衬底上的正投影以内。

16、根据权利要求 12 所述的金属氧化物薄膜晶体管，其中，还包括遮光层，所述遮光层位于所述衬底和所述有源层之间，所述遮光层在所述衬底上的正投影覆盖所述有源层在所述衬底上的正投影，且所述遮光层在所述衬底上的正投影覆盖所述保护层在所述衬底上的正投影。

17、根据权利要求 16 所述的金属氧化物薄膜晶体管，其中，所述遮光层和所述栅极电连接。

18、根据权利要求 13-17 中任一项所述的金属氧化物薄膜晶体管，其中，还包括介质层，所述介质层覆盖所述栅极，所述源极和所述漏极均位于所述介质层远离所述衬底的一侧；

其中，所述介质层的材料为遮光材料，所述介质层在所述衬底上的正投影覆盖所述保护层在所述衬底上的正投影。

19、一种阵列基板的制备方法，其中，所述方法包括：

提供衬底；

形成开关晶体管的有源层；所述有源层包括相对的两个主表面以及位于两个所述主表面的外轮廓之间的侧表面；

同时形成驱动晶体管的半导体层和所述开关晶体管的保护层；其中，所述保护层位于所述有源层远离所述衬底的所述主表面上并覆盖所述主表面和所述侧表面；所述保护层和所述半导体层同层设置、且两者的材料为同一金属氧化物半导体材料；所述保护层的载流子迁移率小于所述有源层的载流子迁移率。

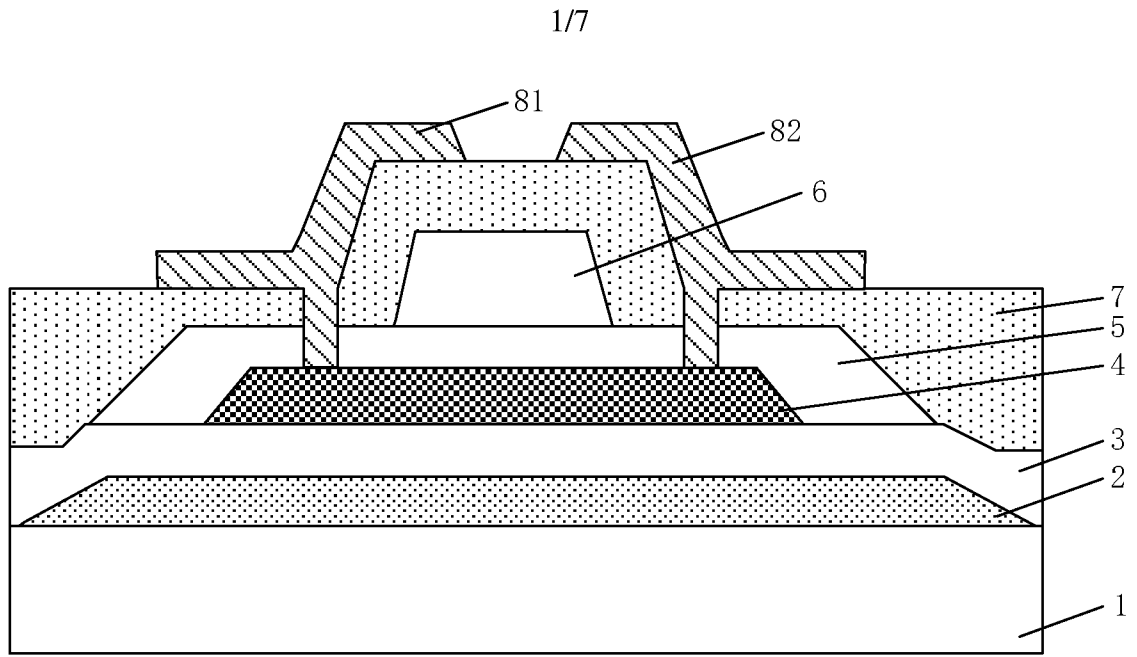


图 1

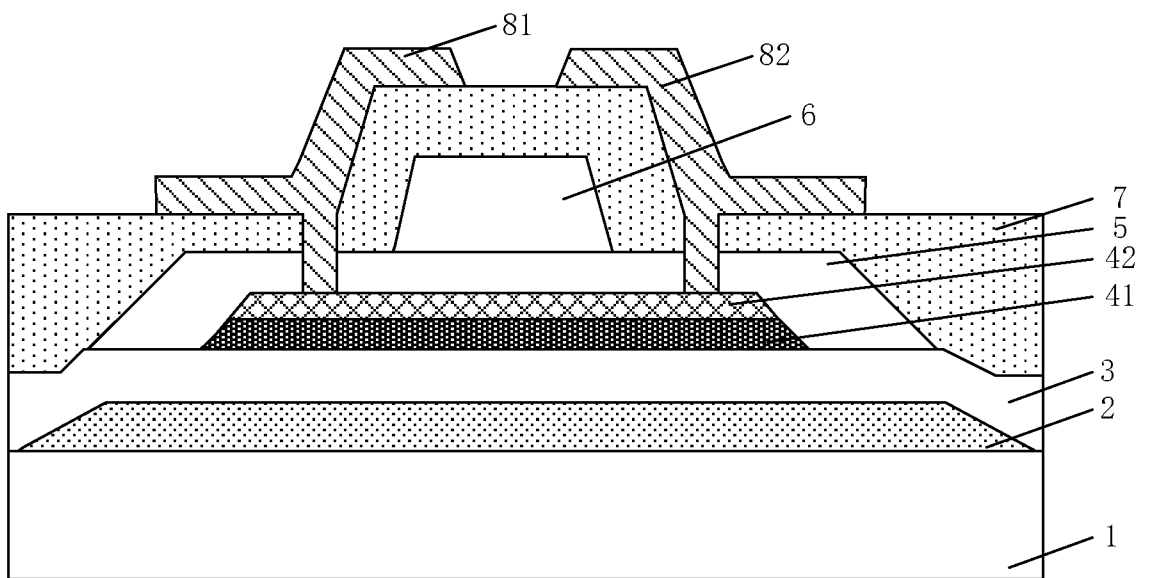


图 2

2/7

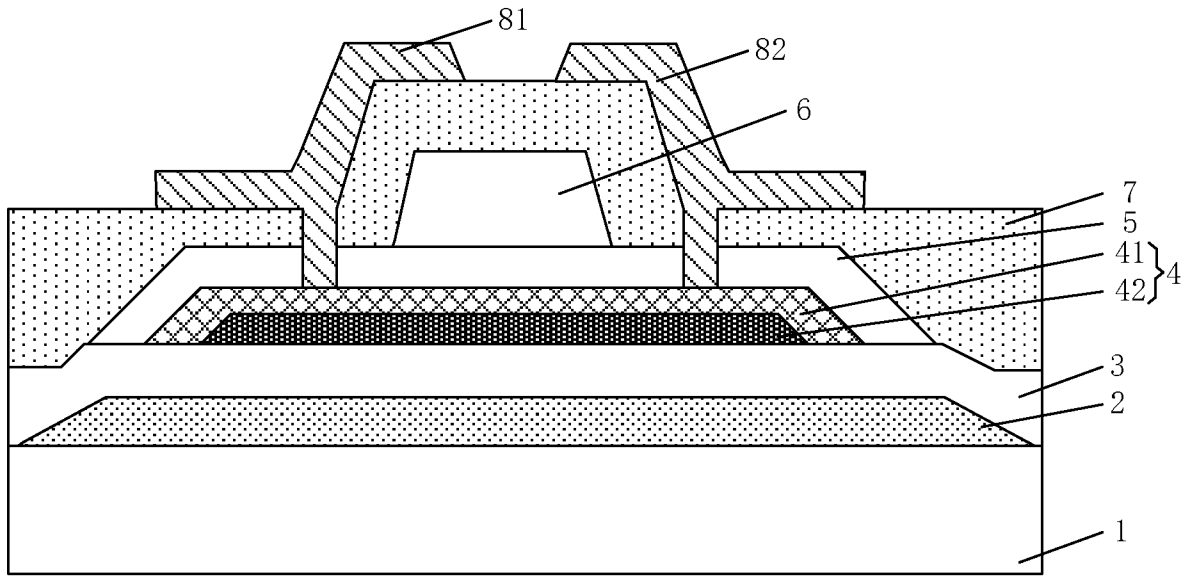


图 3a

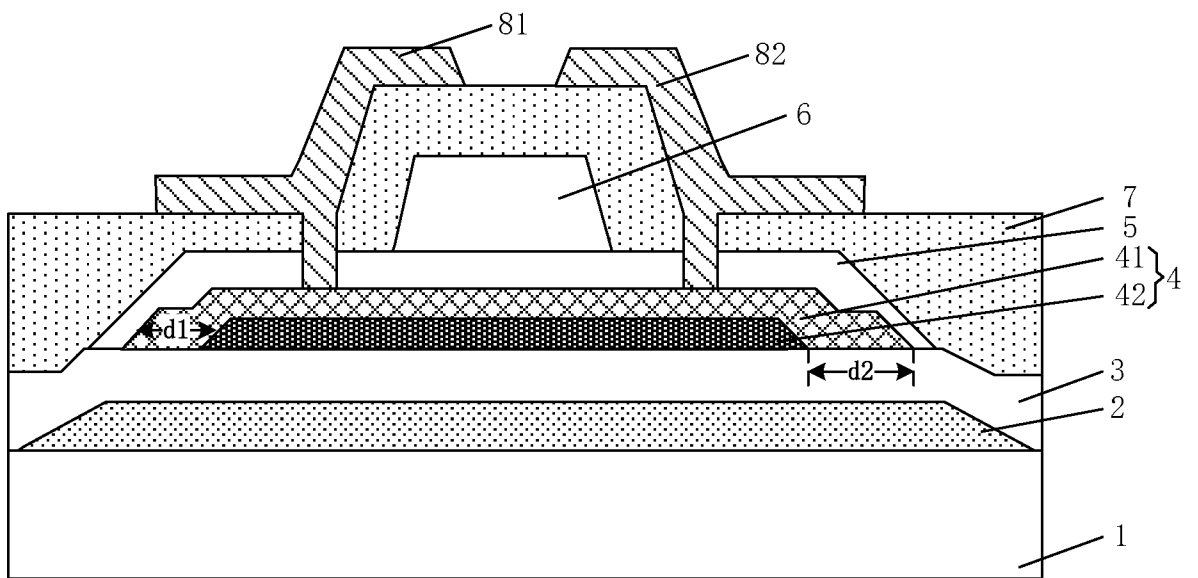


图 3b

3/7

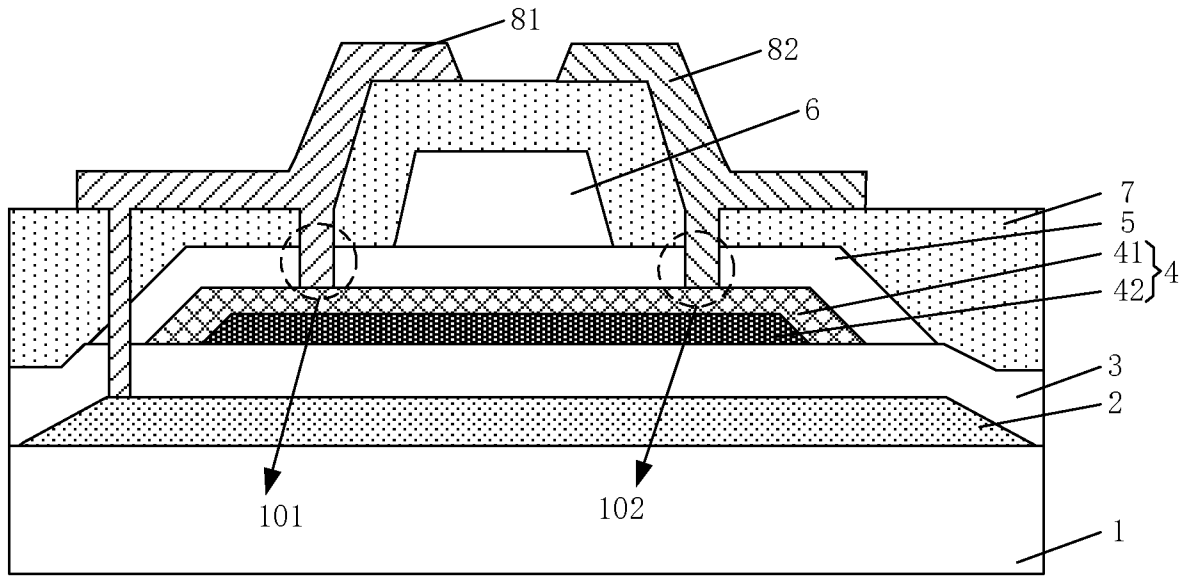


图 4a

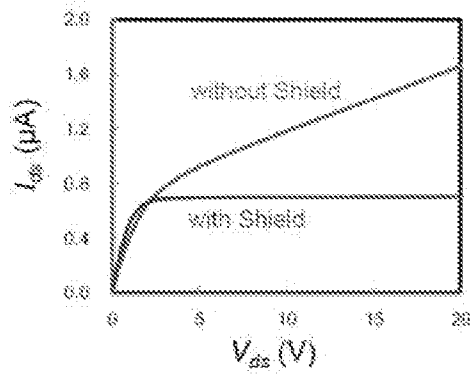


图 4b

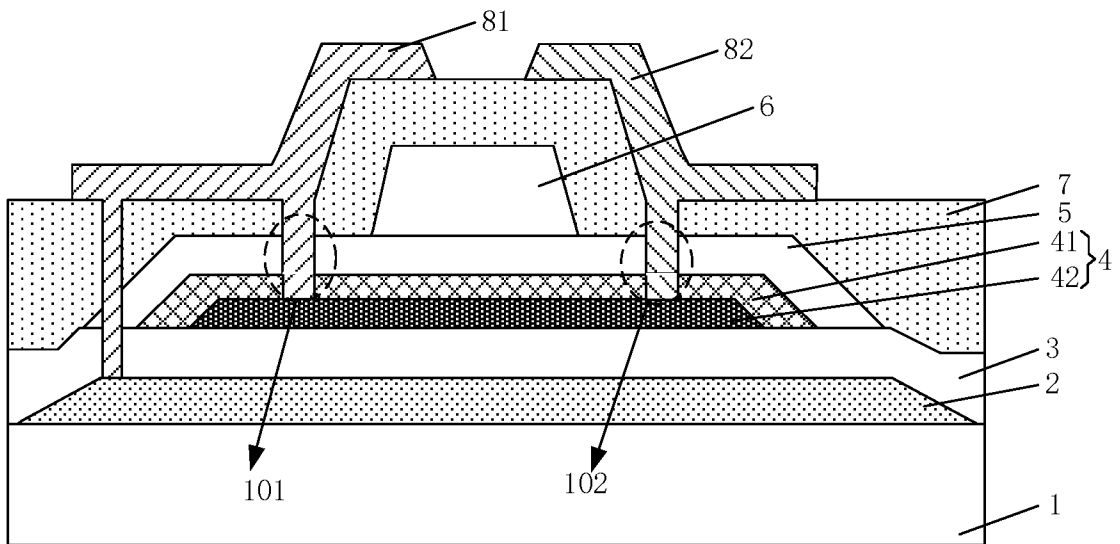


图 4c

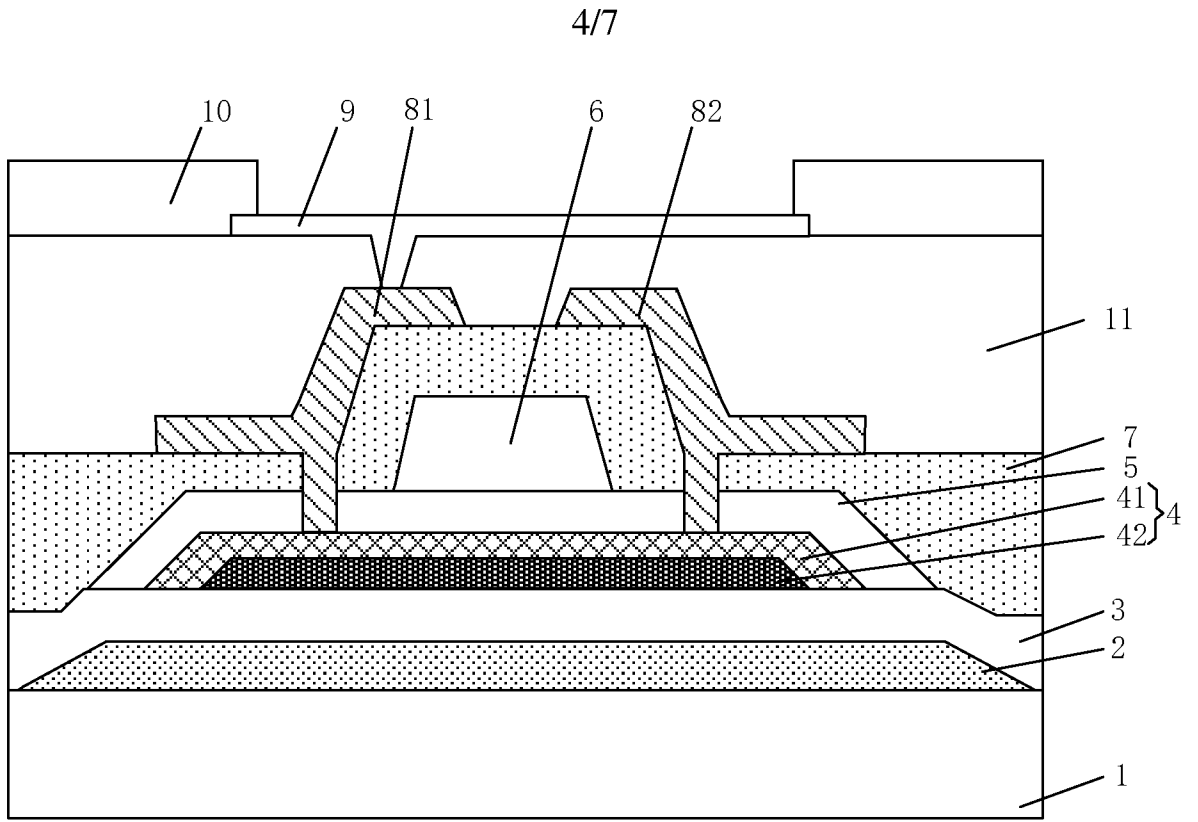


图 5a

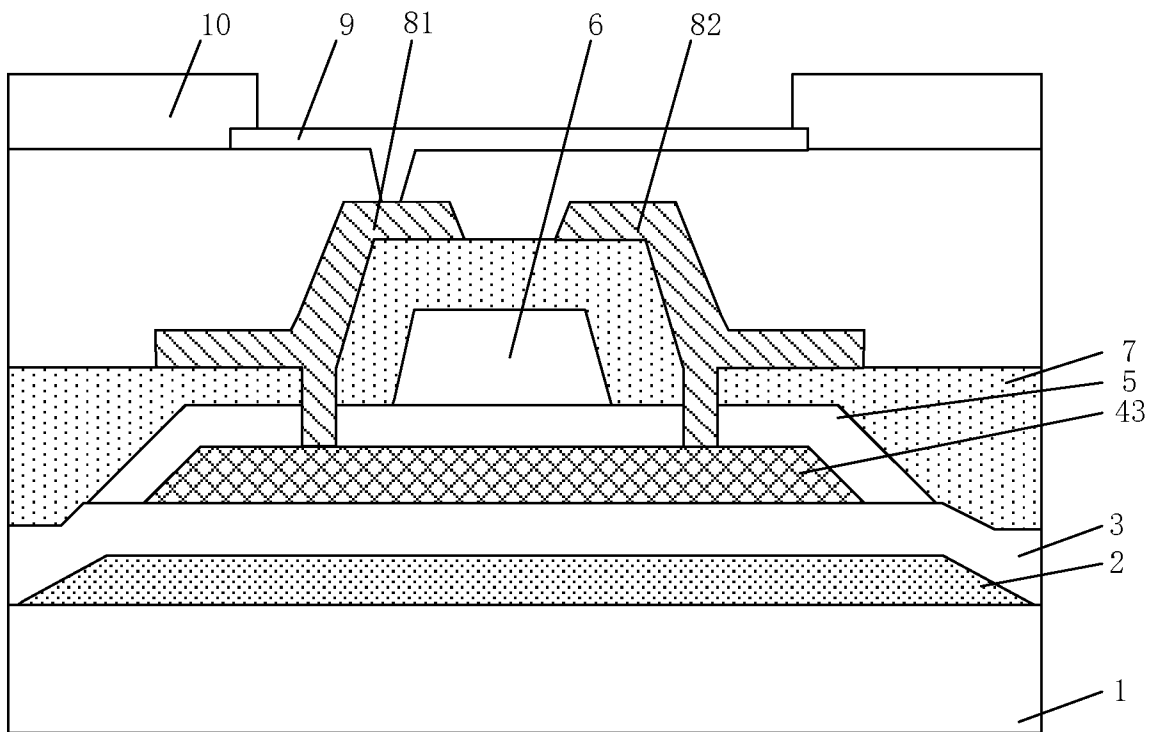


图 5b

5/7

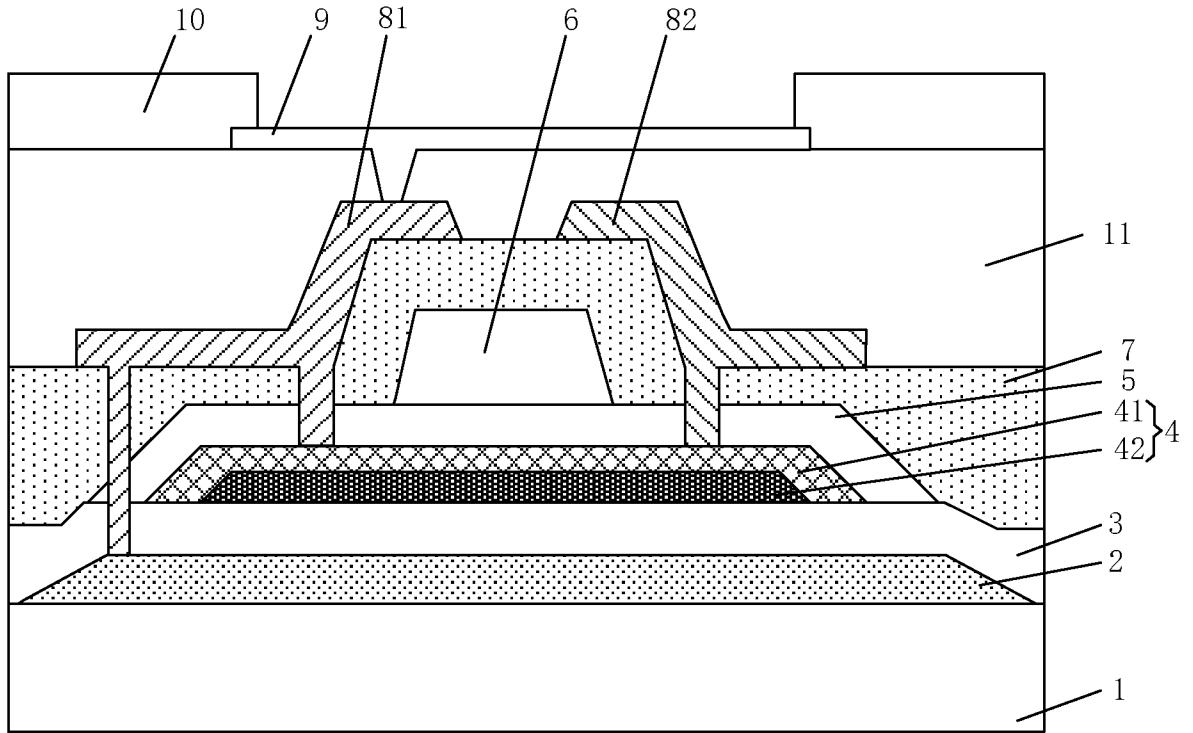


图 6

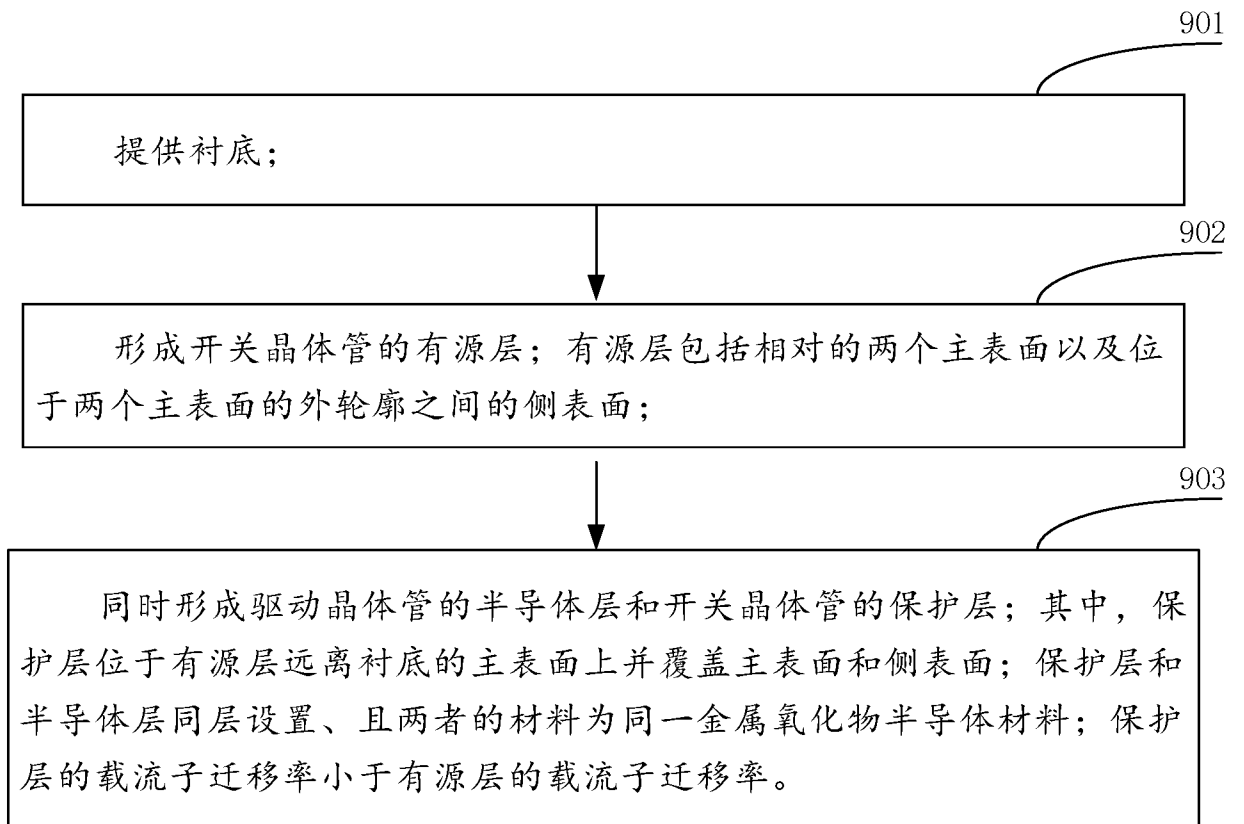


图 7

6/7

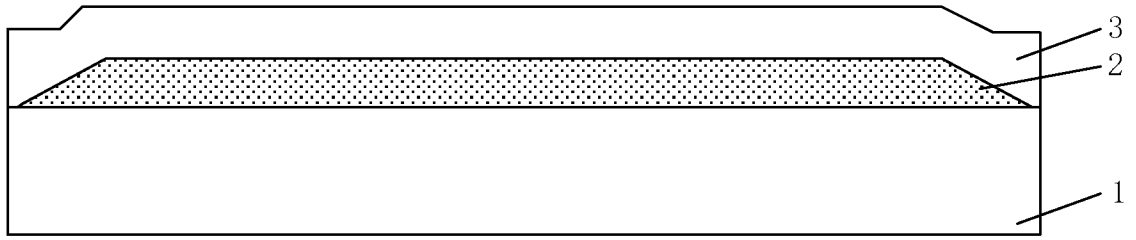


图 8

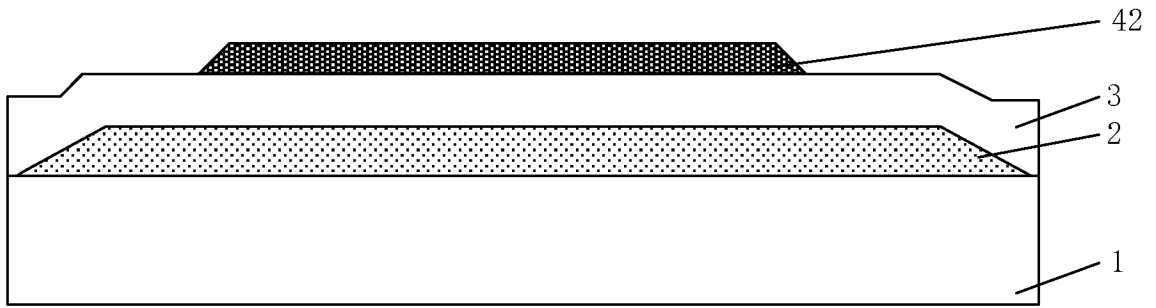


图 9

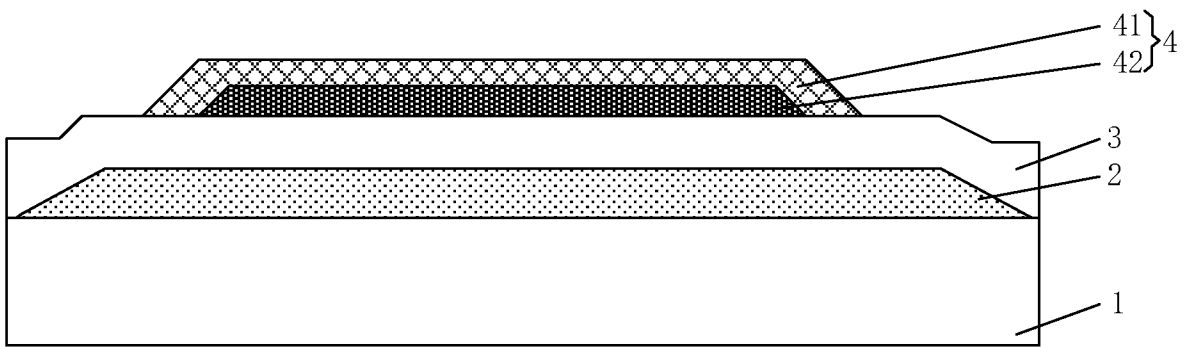


图 10

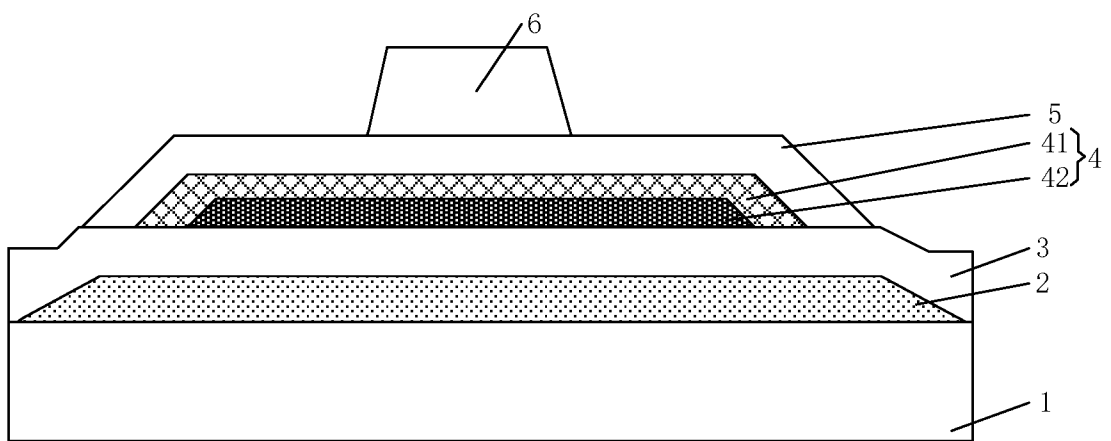


图 11

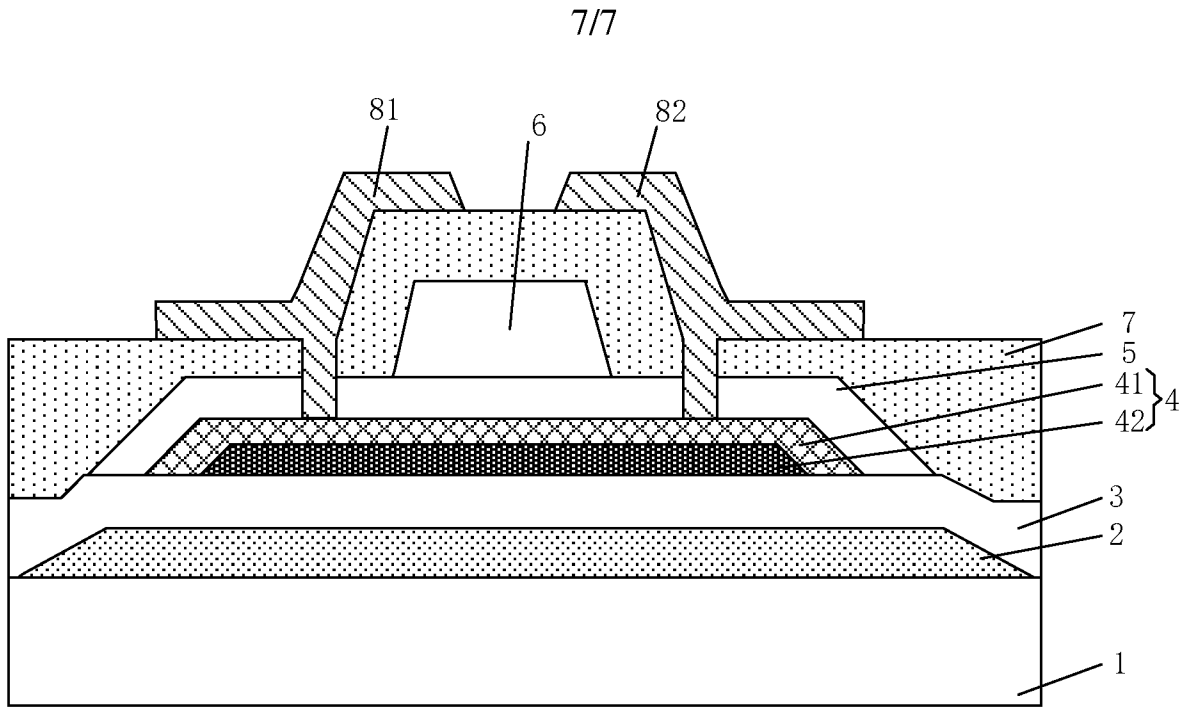


图 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/134039

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 27/12(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNPAT, WPI, EPODOC, CNKI, IEEE: 开关, 驱动, 薄膜晶体管, 迁移率, 保护, 沟道, 有源层, 活性层, 金属氧化物, tft, switch +, driv+, transistor, mobility, protect+, channel, active, metal oxide		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2017309649 A1 (JOLED INC.) 26 October 2017 (2017-10-26) description, paragraphs [0036]-[0206], and figures 7-8B	1-19
Y	CN 103477441 A (SHARP CORP.) 25 December 2013 (2013-12-25) description, paragraphs [0084]-[0124], and figures 2-8	1-19
Y	CN 104300007 A (BOE TECHNOLOGY GROUP CO., LTD.) 21 January 2015 (2015-01-21) description, paragraphs [0004]-[0053], and figures 1-11	10-18,
A	CN 110010626 A (BOE TECHNOLOGY GROUP CO., LTD.) 12 July 2019 (2019-07-12) entire document	1-19
A	CN 109786468 A (SHARP CORP.) 21 May 2019 (2019-05-21) entire document	1-19
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
16 August 2022		26 August 2022
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration (ISA/CN) No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/134039

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2017309649	A1	26 October 2017	WO	2016056204	A1	14 April 2016
				US	2019198532	A1	27 June 2019
CN	103477441	A	25 December 2013	US	2014034947	A1	06 February 2014
				KR	20140018950	A	13 February 2014
				WO	2012144165	A1	26 October 2012
CN	104300007	A	21 January 2015	None			
CN	110010626	A	12 July 2019	WO	2020207119	A1	15 October 2020
				US	2021135144	A1	06 May 2021
CN	109786468	A	21 May 2019	US	2019148558	A1	16 May 2019
				JP	2019091794	A	13 June 2019

国际检索报告

国际申请号

PCT/CN2021/134039

<p>A. 主题的分类</p> <p>H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 27/12(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																				
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, WPI, EPODOC, CNKI, IEEE: 开关, 驱动, 薄膜晶体管, 迁移率, 保护, 沟道, 有源层, 活性层, 金属氧化物, tft, switch+, driv+, transistor, mobility, protect+, channel, active, metal oxide</p>																				
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>US 2017309649 A1 (JOLED INC.) 2017年10月26日 (2017 - 10 - 26) 说明书第[0036]-[0206]段, 图7-8B</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>CN 103477441 A (夏普株式会社) 2013年12月25日 (2013 - 12 - 25) 说明书第[0084]-[0124]段, 图2-8</td> <td>1-19</td> </tr> <tr> <td>Y</td> <td>CN 104300007 A (京东方科技集团股份有限公司) 2015年1月21日 (2015 - 01 - 21) 说明书第[0004]-[0053]段, 图1-11</td> <td>10-18</td> </tr> <tr> <td>A</td> <td>CN 110010626 A (京东方科技集团股份有限公司) 2019年7月12日 (2019 - 07 - 12) 全文</td> <td>1-19</td> </tr> <tr> <td>A</td> <td>CN 109786468 A (夏普株式会社) 2019年5月21日 (2019 - 05 - 21) 全文</td> <td>1-19</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	US 2017309649 A1 (JOLED INC.) 2017年10月26日 (2017 - 10 - 26) 说明书第[0036]-[0206]段, 图7-8B	1-19	Y	CN 103477441 A (夏普株式会社) 2013年12月25日 (2013 - 12 - 25) 说明书第[0084]-[0124]段, 图2-8	1-19	Y	CN 104300007 A (京东方科技集团股份有限公司) 2015年1月21日 (2015 - 01 - 21) 说明书第[0004]-[0053]段, 图1-11	10-18	A	CN 110010626 A (京东方科技集团股份有限公司) 2019年7月12日 (2019 - 07 - 12) 全文	1-19	A	CN 109786468 A (夏普株式会社) 2019年5月21日 (2019 - 05 - 21) 全文	1-19
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
Y	US 2017309649 A1 (JOLED INC.) 2017年10月26日 (2017 - 10 - 26) 说明书第[0036]-[0206]段, 图7-8B	1-19																		
Y	CN 103477441 A (夏普株式会社) 2013年12月25日 (2013 - 12 - 25) 说明书第[0084]-[0124]段, 图2-8	1-19																		
Y	CN 104300007 A (京东方科技集团股份有限公司) 2015年1月21日 (2015 - 01 - 21) 说明书第[0004]-[0053]段, 图1-11	10-18																		
A	CN 110010626 A (京东方科技集团股份有限公司) 2019年7月12日 (2019 - 07 - 12) 全文	1-19																		
A	CN 109786468 A (夏普株式会社) 2019年5月21日 (2019 - 05 - 21) 全文	1-19																		
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																				
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																				
<p>国际检索实际完成的日期</p> <p>2022年8月16日</p>		<p>国际检索报告邮寄日期</p> <p>2022年8月26日</p>																		
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>授权官员</p> <p>刘婧</p> <p>电话号码 86-(10)-53961452</p>																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/134039

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2017309649	A1	2017年10月26日	WO	2016056204	A1	2016年4月14日
				US	2019198532	A1	2019年6月27日
CN	103477441	A	2013年12月25日	US	2014034947	A1	2014年2月6日
				KR	20140018950	A	2014年2月13日
				WO	2012144165	A1	2012年10月26日
CN	104300007	A	2015年1月21日	无			
CN	110010626	A	2019年7月12日	WO	2020207119	A1	2020年10月15日
				US	2021135144	A1	2021年5月6日
CN	109786468	A	2019年5月21日	US	2019148558	A1	2019年5月16日
				JP	2019091794	A	2019年6月13日