

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-339760
(P2006-339760A)

(43) 公開日 平成18年12月14日(2006.12.14)

(51) Int. Cl.	F I	テーマコード (参考)
HO4B 10/04 (2006.01)	HO4B 9/00 L	5K004
HO4B 10/06 (2006.01)	HO4B 9/00 E	5K102
HO4B 10/142 (2006.01)	HO4L 27/00 E	
HO4B 10/152 (2006.01)	HO4B 9/00 Y	
HO4J 14/00 (2006.01)		

審査請求 未請求 請求項の数 18 O L (全 33 頁) 最終頁に続く

(21) 出願番号	特願2005-158926 (P2005-158926)	(71) 出願人	000153465 株式会社日立コミュニケーションテクノロジー
(22) 出願日	平成17年5月31日 (2005.5.31)	(74) 代理人	100068504 弁理士 小川 勝男
		(74) 代理人	100086656 弁理士 田中 恭助
		(72) 発明者	菊池 信彦 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
		Fターム(参考)	5K004 AA05 AA08 FA05 FE10 FG02 FG05 JA03 JE03 JG01

最終頁に続く

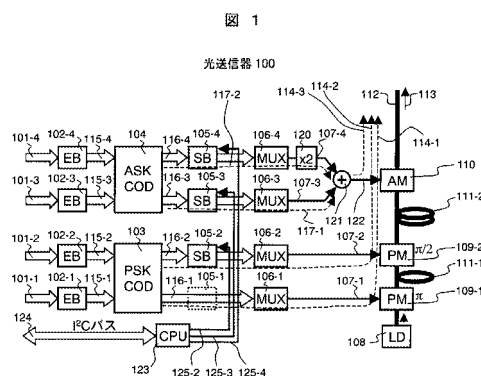
(54) 【発明の名称】 光伝送装置および集積回路装置

(57) 【要約】

【課題】 多値光変調部または復調部に接続される複数のデジタル信号経路の遅延時間差を電氣的に調整可能にした光伝送装置を提供する。

【解決手段】 信号遅延を必要とする電氣的デジタル信号路に、Nビット並列の低速デジタル信号の遅延量を高速直列デジタル信号列のビット時間単位で制御し、高速直列デジタル信号列の1ビット時間以内の遅延量を上記多重化回路から出力される高速直列デジタル信号列の各ビットの出カタイミング制御によって微調整する遅延制御部を備えた光伝送装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

内部光伝送路に結合された複数の光変調器を含む光変調部と、上記光変調部に供給すべき複数の高速直列デジタル信号列を発生する電気回路部とからなる光伝送装置であって、上記電気回路部が、

それぞれが N ビット (N は複数) 並列で低速デジタル信号を転送する複数の並列信号路と、

それぞれ上記並列信号路のうちの 1 つから N ビット並列で受信した低速デジタル信号を上記光変調部に供給すべき高速直列デジタル信号列に変換して出力する複数の多重化回路と、

上記並列信号路のうちの少なくとも 1 つに挿入された遅延制御バッファ回路とを有し、上記遅延制御バッファ回路が、 N ビット並列で受信した低速デジタル信号を高速直列デジタル信号列のビット時間単位、もしくはビット時間の整数分の 1 の時間単位で遅延制御して、該並列信号路に出力することを特徴とする光伝送装置。

10

【請求項 2】

前記遅延制御バッファ回路が、 N ビット並列で受信した低速デジタル信号を論理的に直列に配列されたデータとして一時的に蓄積し、予め指定された遅延制御量に応じて選択されたビット位置から始まる N ビットデータを前記並列信号路に低速デジタル信号として出力することを特徴とする請求項 1 に記載の光伝送装置。

【請求項 3】

前記遅延制御バッファ回路が、 N ビット並列で受信したデジタルデータを一時的に蓄積するためのメモリと、 N ビット並列データの書き込みアドレスを発生する書き込みアドレス発生器と、予め指定された遅延制御量を記憶するレジスタと、上記書き込みアドレス発生器から出力された書き込みアドレスと上記レジスタに記憶された遅延制御量とに基づいて、前記並列信号路に出力すべき N ビットデータの読み出しアドレスを生成する読み出しアドレス発生器とを備えたことを特徴とする請求項 1 に記載の光伝送装置。

20

【請求項 4】

前記電気回路部が、予め指定された制御量に応じて、特定の多重化回路に供給されるクロック信号の位相を調整する遅延量微調整部を備え、前記各多重化回路に、供給されたクロック信号に応じた所定のタイミングで高速直列デジタル信号列の各ビットを出力させることを特徴とする請求項 1 ~ 請求項 3 の何れかに記載の光伝送装置。

30

【請求項 5】

前記並列信号路のうちの複数の前記遅延制御バッファ回路を備え、前記電気回路部が、前記並列信号路と対応して遅延制御量を記憶するメモリと、上記メモリに記憶された遅延制御量を上記遅延制御バッファ回路に設定する制御部とを有することを特徴とする請求項 1 ~ 請求項 4 の何れかに記載の光伝送装置。

【請求項 6】

前記電気回路部が、前記並列信号路と対応して遅延制御量とクロック位相制御量とを記憶するメモリと、上記メモリに記憶された遅延制御量とクロック位相制御量を前記遅延制御バッファ回路と遅延量微調整部に設定する制御部とを有することを特徴とする請求項 4 に記載の光伝送装置。

40

【請求項 7】

内部光伝送路に結合された複数の光変調器を含む光変調部と、上記光変調部に供給すべき複数の高速直列デジタル信号列を発生する電気回路部とを有する光伝送装置であって、上記電気回路部が、

それぞれが符号器で符号化された送信デジタル信号を N ビット (N は複数) 並列で低速転送する複数の並列信号路と、

上記各並列信号路に接続され、それぞれが N ビット並列で受信した低速デジタル信号を上記光変調部に供給すべき高速直列デジタル信号列に変換して出力する複数の多重化回路と、

50

上記並列信号路のうちの少なくとも1つにおいて、Nビット並列の低速デジタル信号の遅延量を高速直列デジタル信号列のビット時間単位で制御し、高速直列デジタル信号列の1ビット時間以内の遅延量を上記多重化回路から出力される高速直列デジタル信号列の各ビットの出力タイミング制御によって微調整する遅延制御部を有することを特徴とする光伝送装置。

【請求項8】

前記電気回路部が、前記複数の多重化回路から出力された高速直列デジタル信号列のうちの2つを組み合わせる光変調用の高速直列デジタル信号列として出力する信号合成回路を含むことを特徴とする請求項1～請求項6の何れかに記載の光伝送装置。

【請求項9】

前記電気回路部が、前記複数の多重化回路のうち、互いに対をなす多重化回路から出力された2つの高速直列デジタル信号列のうち的一方を入力とする駆動回路と、他方を入力とする反転駆動回路とを有し、上記駆動回路の出力信号と上記反転駆動回路からの出力信号が、前記光変調部に含まれる1つの光変調器に並列的に供給されることを特徴とする請求項1～請求項7の何れかに記載の光伝送装置。

10

【請求項10】

前記電気回路部が、並列的に供給された複数の低速デジタル信号列を符号化し、Nビット並列の複数組の低速デジタル信号列に変換する符号器を有し、前記並列信号路に上記符号器で変換されたNビット並列の低速デジタル信号列が出力されることを特徴とする請求項1～請求項7の何れかに記載の光伝送装置。

20

【請求項11】

前記電気回路部が、それぞれ並列的に供給された複数の低速デジタル信号列を符号化し、Nビット並列の複数組の低速デジタル信号列に変換する複数の符号器を有し、上記複数の符号器で変換されたNビット並列の低速デジタル信号列が前記並列信号路に出力されることを特徴とする請求項1～請求項7の何れかに記載の光伝送装置。

【請求項12】

前記電気回路部が、並列的に供給された複数の低速デジタル信号列を符号化し、複数組の並列低速デジタル信号列として出力する符号器と、該符号器から出力された並列低速デジタル信号列をそれぞれNビット並列の2組の並列低速デジタル信号列に分ける第1、第2のスプリッタとを有し、

30

上記第1スプリッタからNビット並列の低速デジタル信号列が出力される並列信号路に接続された2つの多重化回路と、上記第2スプリッタからNビット並列の低速デジタル信号列が出力される並列信号路に接続された2つの多重化回路とが、それぞれ前記1対の多重化回路となることを特徴とする請求項9に記載の光伝送装置。

【請求項13】

外部光伝送路から受信した多値変調光信号を電氣的な複数の高速直列デジタル信号列に変換して出力する光復調部と、上記光復調部から受信した複数の高速直列デジタル信号列を複数の低速デジタル信号列に変換して出力する電気回路部とからなる光伝送装置であって、上記電気回路部が、

それぞれがNビット(Nは複数)並列でデジタル信号を転送する複数の並列信号路と、

40

それぞれが高速直列デジタル信号列をNビット並列の低速デジタル信号に変換して、上記並列信号路に出力する複数の分離回路と、

上記並列信号路のうちの少なくとも1つにおいて、Nビット並列で受信した低速デジタル信号を高速直列デジタル信号列のビット時間単位、もしくはビット時間の整数分の1の時間単位で遅延制御して出力する遅延制御バッファ回路と、

上記並列信号路から受信したNビット並列の複数の低速デジタル信号を符号形式の異なる低速並列デジタル信号列に変換する少なくとも1つの復号器とからなることを特徴とする光伝送装置。

【請求項14】

前記遅延制御バッファ回路が、Nビット並列で受信した低速デジタル信号を論理的に直

50

列に配列されたデータとして一時的に蓄積し、予め指定された遅延制御量に応じて選択されたビット位置から始まるNビットデータを前記並列信号路に低速デジタル信号として出力することを特徴とする請求項13に記載の光伝送装置。

【請求項15】

前記遅延制御バッファ回路が、Nビット並列で受信したデジタルデータを一時的に蓄積するためのメモリと、Nビット並列データの書き込みアドレスを発生する書き込みアドレス発生器と、予め指定された遅延制御量を記憶するレジスタと、上記書き込みアドレス発生器から出力された書き込みアドレスと上記レジスタに記憶された遅延制御量とに基づいて、前記並列信号路に出力すべきNビットデータの読み出しアドレスを生成する読み出しアドレス発生器とを備えたことを特徴とする請求項14に記載の光伝送装置。

10

【請求項16】

前記電気回路部が、前記復号器として、位相変調用の復号器、多値変調用の復号器、トリレス復号器のうち少なくとも1つを含むことを特徴とする請求項13～請求項15の何れかに記載の光伝送装置。

【請求項17】

それぞれがNビット(Nは複数)並列で低速デジタル信号を受信する符号器と、上記符号器から出力されるNビット並列の低速デジタル信号を転送する複数の並列信号路と、

それぞれが上記並列信号路のうち1つからNビット並列で受信した低速デジタル信号を上記光変調部に供給すべき高速直列デジタル信号列に変換して出力する複数の多重化回路と、

20

それぞれが上記並列信号路のうち少なくとも1つに挿入され、Nビット並列で受信した低速デジタル信号を高速直列デジタル信号列のビット時間単位、もしくはビット時間の整数分の1の時間単位で遅延制御して出力する複数の遅延制御バッファ回路と、

上記各遅延制御バッファ回路に遅延制御量を選択的に設定するための手段とを含む光伝送装置用の集積回路装置。

【請求項18】

それぞれが高速直列デジタル信号を受信し、Nビット(Nは複数)並列で低速デジタル信号に変換して出力する複数の分離回路と、

上記分離回路から出力されるNビット並列の低速デジタル信号を転送する複数の並列信号路と、

30

それぞれが上記並列信号路のうち少なくとも1つに挿入され、Nビット並列で受信した低速デジタル信号を高速直列デジタル信号列のビット時間単位、もしくはビット時間の整数分の1の時間単位で遅延制御して出力する複数の遅延制御バッファ回路と、

上記複数の並列信号路に接続された復号器と、

上記各遅延制御バッファ回路に遅延制御量を選択的に設定するための手段とを含む光伝送装置用の集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光伝送装置および集積回路装置に関し、更に詳しくは、複数の光変調器を含む光変調部、または外部光伝送路から受信した多値変調光信号を電気的な複数の高速直列デジタル信号列に変換して出力する光復調部を備えた光伝送装置、および該光伝送装置に適用される集積回路装置に関する。

40

【背景技術】

【0002】

近年、多重化波長数の増加と光信号変調速度の高速化によって、一本の光ファイバで伝送可能な情報量(伝送容量)が増大してきた。しかしながら、光ファイバの伝送容量は、略10Tbit/s(テラビット/秒)で限界に達した感があり、ここ数年は停滞を続けている。その理由は、光伝送で使用可能な波長帯域が、光ファイバアンプの波長帯域(C

50

、L、Sバンドを合わせて約80nm = 10THz相当)の制約によって限界に達し、多重化波長数の増加の余地がなくなったからである。このような状況から、光伝送容量を増加させるためには、信号変調方式の工夫によって周波数帯域の利用効率を向上させ、限られた周波数帯域により多くの光信号を詰めることが必須となってきた。

【0003】

1960年代以降、無線通信では、多値変調技術の応用によって、周波数利用効率が10を越えるような高効率の信号伝送が可能となっている。無線通信で有効な多値変調は、光ファイバを媒体とする信号伝送でも有望な技術と考えられるため、従来から多くの検討がなされてきた。

【0004】

例えば、非特許文献1には、4値位相変調を行うQPSK (Quadrature Phase Shift Keying) 方式が報告され、非特許文献2には、4値振幅変調と4値位相変調とを組み合わせた16値の振幅・位相変調が報告されている。また、光信号の位相と振幅を同時に理想的に変調することによって、従来よりも更に長距離の光伝送を可能にする方式として、例えば、デュオバイナリ変調やDPSK (Differential PSK) 変調などが提案されている。

【0005】

図23は、従来の2値強度変調光送信器140の基本的な構成例を示す。

2値強度変調光送信器は、例えば、それぞれが3Gbit/sの電氣的低速デジタル信号をXAUI形式で転送する16ビット並列の信号入力端子101を備えている。入力端子101から供給された電氣的な低速並列デジタル信号は、並列エラスティックバッファ(EB)回路102に入力され、互いのタイミングを一致させて、多重化回路141に出力される。多重化回路141は、3Gbit/s x 16、総計48Gbit/sのデジタルデータを時間多重し、フレーム形式をXAUIからSONETに変換処理する。SONET信号は、40Gbit/sの高速直列デジタル信号として、多重化回路141から伝送路107に出力される。

【0006】

上記高速直列デジタル信号は、適宜増幅された後、光ファイバ伝送路に結合された光強度変調器、例えば、リチウムナイオベイト型の光強度変調器110に供給される。光強度変調器110には、光ファイバの信号源となる半導体レーザ(LD)108からの出力光が光ファイバ接続線111-1を介して入力されている。半導体レーザ108からの出力光は、光強度変調器110によって2値のON/OFF強度変調を受けた後、光ファイバ接続線111-2を介して出力光ファイバ112に出力光113として出力される。

【0007】

図24は、図23に示した並列エラスティックバッファ回路102の構成を示す。

入力端子101に接続された16本の信号線101から供給された3Gbit/sのデジタル信号d0~d15は、それぞれが10ビットのメモリ容量をもつFIFO (FIRST IN FIRST OUT) 回路142-1~142-16に入力される。これらのFIFO回路からは、互いにタイミング調整された状態で、電氣的デジタル信号(d0~d15)が出力信号線に並列的に出力される。

【0008】

図25は、従来の2値強度変調光受信器150の基本的な構成例を示す。

入力光ファイバ152から入力されたSONET形式の40Gbit/s入力光信号151は、光ファイバ接続線111を介してフォトダイオード153に入力される。入力光信号は、フォトダイオード153で電氣的デジタル信号に変換した後、クロック抽出・識別回路(CDR)154に入力され、高速直列デジタル信号に変換される。CDR154の出力信号は、伝送路107を介して分離回路(DEMUX)155に入力され、3Gbit/s x 16のXAUI形式の信号に変換した後、低速並列デジタル信号として出力端子156に出力される。

【0009】

非特許文献3は、図23に示した101、102、141に相当する要素を搭載した集積回路(IC)を提案している。非特許文献3のICは、最終出力が2.4Gbit/sのデジ

10

20

30

40

50

タル信号となっており、端子101に相当する4本の信号線に、それぞれ622 Mbit/sのデジタル信号が入力されている。これらの入力信号は、エラスティックバッファ回路102に相当するエラスティックストア回路によってタイミングを合わせた後、4:1のMUX回路で2.4 Gbit/sの高速直列デジタル信号に変換して、出力端子に出力されている。

【0010】

非特許文献3に記載されたエラスティックストア回路は、10ビット長のメモリ容量を有し、リセット信号の立ち上がり直後のタイミングで、4本の低速信号データが同一タイミングで出力されるように設定されている。また、その後のデータタイミングのずれが ± 7.5 ns (± 4.7 ビット)以内であれば、上記タイミングを自動的に維持する低速信号のスキュー吸収機能を備えている。また、非特許文献4は、デュオバイナリ形式の光変調用ICの試作例として、低速回路で構成したプリコーダ (precoder) について報告している。

10

【0011】

【非特許文献1】R. A. Griffin, et. al., "10Gb/s Optical Differential Quadrature Phase Shift Key (DQPSK) Transmission using GaAs/AlGaAs Integration," OFC 2002, Paper PD-FD6, 2003.

【非特許文献2】Kenro Sekine, Nobuhiko Kikuchi, Shinya Sasaki, Shigenori Hayase and Chie Hasegawa, "Proposal and Demonstration of 10-Gsymbol/sec 16-ary (40 Gbit/s) Optical Modulation / Demodulation Scheme," Paper We3.4.5, ECOC 2004.

【非特許文献3】MAXIM社 MAX3831 / MAX3832 + 3.3V、2.5 Gbps、SDH、SONET、4チャンネル相互接続マルチプレクサ/デマルチプレクサIC、クロック発生器付 19-1534; Rev1; 10/99

20

【非特許文献4】Mikio Yoneyama, Kazushige Yonenaga, Yoshiaki Kisaka, and Yutaka Miyamoto, "Differential Precoder IC Modules for 20- and 40-Gbit/s Optical Duobinary Transmission Systems," IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 47, NO. 12, December 1999.

【発明の開示】

【発明が解決しようとする課題】

【0012】

光ファイバで使用可能な多重化波長数が限られた状態で、光伝送容量を増加させるためには、例えば、図23に示した並列エラスティックバッファ (EB) 回路102と多重化回路141とからなる電氣的な送信信号回路を複数組用意し、これら複数の送信信号回路から出力される高速直列デジタル信号を光伝送路 (光ファイバ) に結合された複数の光変調器に並列的に供給することによって、光信号の振幅や位相を複数の情報信号で同時に変調する多値光変調送信器を実現し、光伝送路上の限られた周波数帯域により多くの光信号を詰め込む必要がある。

30

【0013】

例えば、送信デジタル信号を直並列変換して、第1ビット~第Nビットを第1のEB回路に並列的に入力し、これに続く第N+1ビット~第2Nビットを第2のEB回路に並列的に入力した場合を想定する。第1、第2のEB回路で各ビットの出力タイミングを合わせることで、第1EB回路に接続された第1の多重化回路が第1光変調器に供給する第1デジタル信号列 (第1ビット~第Nビット) と、第2EB回路に接続された第2の多重化回路が第2光変調器に供給する第2デジタル信号列 (第N+1ビット~第2Nビット) とを互いに同期させることができる。ここで重要なことは、第1、第2光変調器で多値変調された光信号から、受信器側が、第1ビット~第Nビットに連続する形で第(N+1)ビット~第2Nビットを正しく再生できるか否かである。

40

【0014】

例えば、上記第1、第2の光変調器が内部光伝送路に縦続配列されていた場合、第2光変調器で変調されて直ちに出力光ファイバに至る第2デジタル信号列と、第1光変調器で変調されてから第2の光変調器を通過して出力光ファイバに至る第1デジタル信号列とで

50

は、多重化回路から出力光ファイバ迄の経路長が相違しているため、第1、第2の多重化回路から位相を揃えて第1、第2のデジタル信号列を出力したとしても、出力光ファイバに現れた多値変調光では、第1、第2のデジタル信号列に位相差が発生する。従って、このように別々の光変調器を経た複数列の送信デジタル信号を同一出力光ファイバ上に多重化する多値光変調方式の光伝送装置では、内部光伝送路を含めて各デジタル信号経路での信号伝播時間を一致させる必要がある。

【0015】

具体的に言えば、多値光変調送信器では、短い信号経路を通過する送信デジタル信号列が、長い信号経路を通過する送信デジタル信号列よりも幾分遅れて光変調部に供給され、光変調された複数列のデジタル信号が出力光ファイバに同位相で到達するように、信号経路毎の遅延量を調整する機能が必要となる。同様に、外部光伝送路から受信した多値変調光信号が電気的な複数の高速直列デジタル信号列に変換され、復号器に向かう複数の信号経路に並列的に出力される多値光変調受信器においても、信号経路毎の遅延量を調整する機能が望まれる。

10

【0016】

然るに、上述した非特許文献1～4は、一連の送信データ(デジタル信号)を複数の光変調器で多値光変調する際に問題となる信号経路間の遅延量調整について、実用的な解決手段を示していない。また、多値変調が適用される無線通信の分野にも、上述した光伝送装置で問題となる信号経路間の遅延量調整に役立つ解決手段は見当たらない。

【0017】

本発明の目的は、一連の送信データを複数の光変調器で多値光変調する場合に遭遇する信号経路間での遅延時間差の問題を効果的に解決した光伝送装置を提供することにある。

20

本発明の他の目的は、多値光変調部に高速直列デジタル信号列を供給する複数の信号経路間の遅延時間差を高速直列デジタル信号のビット単位、もしくはビット時間の整数分の1の時間単位で調整可能にした光伝送装置を提供することにある。

本発明の他の目的は、外部光伝送路から受信した多値変調光信号を電気的な複数の高速直列デジタル信号列に変換して複数の信号経路に並列的に出力する光復調部と、上記複数の信号経路に接続された少なくとも1つの復号器を備えた光伝送装置において、信号経路間の遅延時間差を高速直列デジタル信号のビット単位で調整可能にした光伝送装置を提供することにある。

30

本発明の更に他の目的は、符号器または復号器に接続された複数のデジタル信号経路における信号遅延量を予め指定された遅延制御量に従って制御可能にした光伝送装置用の集積回路装置を提供することにある。

【課題を解決するための手段】

【0018】

上記目的を達成するため、本発明による光伝送装置は、信号遅延を必要とする信号経路に、Nビット(Nは複数)並列で受信した低速デジタル信号を高速直列デジタル信号列のビット時間単位、もしくはビット時間の整数分の1の時間単位で遅延制御する遅延制御バッファ回路を設けたことを特徴とする。

【0019】

本発明は、例えば、内部光伝送路に結合された複数の光変調器を含む光変調部と、上記光変調部に供給すべき複数の高速直列デジタル信号列を発生する電気回路部とからなる送信器を備えた光伝送装置において、上記電気回路部が、それぞれがNビット並列で低速デジタル信号を転送する複数の並列信号路と、それぞれ上記並列信号路のうちの1つからNビット並列で受信した低速デジタル信号を上記光変調部に供給すべき高速直列デジタル信号列に変換して出力する複数の多重化回路と、上記並列信号路のうちの少なくとも1つに挿入された遅延制御バッファ回路とを有し、上記遅延制御バッファ回路が、Nビット並列で受信した低速デジタル信号を高速直列デジタル信号列のビット時間単位、もしくはビット時間の整数分の1の時間単位で遅延制御して、該並列信号路に出力することを特徴とする。この場合、各並列信号路には、多値光変調に適合した各種符号器によって符号化され

40

50

た送信データが、Nビット並列の低速デジタル信号として供給される。

【0020】

また、本発明は、例えば、外部光伝送路から受信した多値変調光信号を電氣的な複数の高速直列デジタル信号列に変換して出力する光復調部と、上記光復調部から受信した複数の高速直列デジタル信号列を複数の低速デジタル信号列に変換して出力する電気回路部とからなる受信器を備えた光伝送装置において、上記電気回路部が、それぞれがNビット並列でデジタル信号を転送する複数の並列信号路と、それぞれが高速直列デジタル信号列をNビット並列の低速デジタル信号に変換して、上記並列信号路に出力する複数の分離回路と、上記並列信号路のうち少なくとも1つにおいて、Nビット並列で受信した低速デジタル信号を高速直列デジタル信号列のビット時間単位、もしくはビット時間の整数分の1の時間単位で遅延制御して出力する遅延制御バッファ回路と、上記並列信号路から受信したNビット並列の複数の低速デジタル信号を符号形式の異なる低速並列デジタル信号列に変換する少なくとも1つの復号器とからなることを特徴とする。

10

【0021】

更に詳述すると、上記遅延制御バッファ回路は、Nビット並列で受信した低速デジタル信号を論理的に直列に配列されたデータとして一時的に蓄積し、予め指定された遅延制御量に応じて選択されたビット位置から始まるNビットデータを前記並列信号路に低速デジタル信号として出力することによって、高速直列デジタル信号列のビット時間単位、もしくはビット時間の整数分の1の時間単位での遅延制御を実現する。

【0022】

本発明の1実施例では、上記遅延制御バッファ回路は、Nビット並列で受信したデジタルデータを一時的に蓄積するためのメモリと、受信したNビット並列データの書き込みアドレスを発生する書き込みアドレス発生器と、予め指定された遅延制御量を記憶するレジスタと、上記書き込みアドレス発生器から出力された書き込みアドレスと上記レジスタに記憶された遅延制御量とに基づいて、前記並列信号路に出力すべきNビットデータの読み出しアドレスを生成する読み出しアドレス発生器とを備える。

20

【0023】

本発明による光伝送装置の1つの特徴は、上記並列信号路のうち少なくとも1つにおいて、Nビット並列の低速デジタル信号の遅延量を高速直列デジタル信号列のビット時間単位、もしくはビット時間の整数分の1の時間単位で制御し、高速直列デジタル信号列の1ビット時間以内の遅延量を上記多重化回路から出力される高速直列デジタル信号列の各ビットの出力タイミング制御によって微調整する遅延制御部を備えたことにある。この場合、ビット時間単位で遅延量制御は、上述した遅延制御バッファ回路で実現できる。

30

【0024】

また、1ビット時間以内の遅延量制御は、例えば、特定の多重化回路に供給されるクロック信号の位相を予め指定された制御量に応じて調整する遅延量微調整部を設け、各多重化回路に、供給されたクロック信号に応じた所定のタイミングで高速直列デジタル信号列の各ビットを出力させることによって実現できる。遅延制御バッファ回路は、その動作速度を速めることによって、遅延精度をビット時間の整数分の1に精密化できるため、遅延量微調整部がなくても、高速直列デジタル信号列の1ビット時間以内の遅延調整が可能である。

40

【0025】

本発明による光伝送装置の他の1つの特徴は、上記遅延制御バッファ回路が複数の並列信号路に設けられ、上記電気回路部が、各並列信号路と対応して遅延制御量を記憶するメモリと、上記メモリに記憶された遅延制御量を各遅延制御バッファ回路に設定する制御部と有することにある。遅延制御バッファ回路と遅延量微調整部とを備えた光伝送装置の場合、上記メモリに、各並列信号路と対応して遅延制御量とクロック位相制御量とを記憶しておき、該メモリに記憶された遅延制御量とクロック位相制御量を各遅延制御バッファ回路と遅延量微調整部に設定すればよい。

【発明の効果】

50

【0026】

本発明によれば、遅延制御バッファ回路の採用によって、光送信器用符号器と出力光ファイバとの間に存在する信号経路の信号遅延量を高速直列デジタル信号列のビット長単位で電氣的に制御できるため、一連の送信データを信号経路の異なる複数列のデジタル信号列に分けて多値光変調した場合でも、信号経路終端での各デジタル信号列の位相を揃えることができる。また、遅延制御バッファ回路の動作速度を高速化した場合、または信号経路に遅延量微調整部を備えた場合、高速直列デジタル信号列の1ビット長以内の遅延量まで正確に調整できる。

本発明によれば、遅延制御バッファ回路の採用によって、入力光ファイバと光受信器用復号器との間に存在する信号経路の信号遅延量も電氣的に制御できるため、多値光変調された複数列のデジタル信号列から一連の送信データを容易に再生できる。

10

【発明を実施するための最良の形態】

【0027】

以下、本発明の実施例について、図面を参照して説明する。

【実施例1】

【0028】

図1は、本発明の第1実施例の光伝送装置に適用される光送信器の構成を示す。

ここに示した光送器100は、符号化方式の異なる2つの符号器103、104を備えている。符号器103は、4値位相変調用並列符号器（PSK符号器）、符号器104は、4値強度変調用並列符号器（ASK符号器）である。

20

【0029】

光変調部は、2つの光位相変調器109-1、109-2と、1つの光強度変調器110とからなっている。半導体レーザ108から発生した光信号は、PSK符号器103と対応付けられた2つの光位相変調器109-1と109-2による4値位相変調と、ASK符号器104と対応付けられた光強度変調器110による4値強度変調とを受けて、16値の光位相・強度変調信号113として出力光ファイバ112に送出される。

【0030】

本実施例の特徴は、PSK符号器103およびASK符号器104から出力光ファイバ112に向かう複数の信号経路（破線114-1～114-3）の途中に、遅延時間調整のための遅延制御バッファ回路105-2～105-4を配置することによって、最終の光変調器、図示した例では、光強度変調器110を通過した時、経路を異にする複数の送信信号が同期するようにしたことにある。図4、図5を参照して後述するように、遅延制御バッファ回路105-2～105-4によって、各経路の出力信号は、高速光信号のビットオーダ、例えば、10Gbit/sの光信号の場合は100ピコ秒以下の精度でタイミング調整される。

30

【0031】

光送信器100は、符号器103、104の前段に4個の並列バッファ（エラスティックバッファ）回路102-1～102-4を有し、これらのバッファ回路には、それぞれ並列入力端子101-1～101-4を介して、4系列の低速並列デジタルデータ信号が並列的に入力されている。各並列バッファ回路102-1～102-4は、図23、図24で説明した従来の光送信器が備える並列エラスティックバッファ回路102と同様、並列入力されたデジタルデータ信号の出力タイミングを互いに一致させる。

40

【0032】

並列バッファ回路102-1、102-2から並列信号路115-1、115-2に出力されたデジタル信号は、4値位相変調用並列符号器103に入力され、並列バッファ回路102-3、102-4から並列信号路115-3、115-4に出力されたデジタル信号は、4値強度変調用並列符号器104に入力される。

【0033】

ここで、図2を参照して、4値位相変調の符号化について説明する。

図1に示した実施例では、光位相変調器109-1による振幅の2値位相変調に、光

50

位相変調器 109 - 2 による振幅 $\sqrt{2}$ の 2 値位相変調が重畳され、これら 2 つの位相変調の加算結果として、光伝送路上で振幅 0、 $\sqrt{2}$ 、 $\sqrt{2}$ 、 $3\sqrt{2}$ の 4 値の光位相変調が行われている。

【0034】

振幅 $\sqrt{2}$ の位相変調を受けるデータを b_1 、振幅 $\sqrt{2}$ の位相変調を受けるデータを b_2 とし、光信号の初期位相角を $\pi/4$ とすると、4 つの位相状態は、例えば、図 2 (A) に示すように、位相角 $= \pi/4, 3\pi/4, 5\pi/4, 7\pi/4$ の 4 つの異なる点として位相空間にプロットされる。これらの点は、位相角の順に、 $(b_1, b_2) = (0, 0)$ 、 $(0, 1)$ 、 $(1, 0)$ 、 $(1, 1)$ のデジタルデータに対応する。

【0035】

一般に、4 値位相変調信号を受信する場合、受信光信号を 1 ビット遅延光信号と干渉させて検出する差動受信方式、もしくは、受信光信号を同相成分と直交成分に分離して検出するダイバーシティ受信が用いられる。この場合、受信器の内部でデータパターン変化や誤り伝播が発生しないように、送信側で事前に送信データの符号化が行われる。

【0036】

最も簡単なダイバーシティ受信を例にとり説明すると、図 1 (A) の位相角配置では、データ b_2 の値は、直交成分の正、負の判定から問題なく復号できる。一方、データ b_1 の値は、同相成分だけでは判定できないため、データ b_2 が「1」の場合と「0」の場合の 2 つに分けて判定する必要がある。しかしながら、雑音によってデータ b_2 の値に誤りが発生すると、データ b_1 の値も間違えて判定される。これを誤り伝播と呼ぶ。

【0037】

誤り伝播を防ぐためには、予め送信側で送信データにグレイ符号化という論理演算を施すことによって、位相変調結果が図 2 (B) のような状態配置になるように変換しておく。図 2 (B) の状態配置によれば、データ b_2 の値は、直交成分の正、負によって判定でき、データ b_1 の値も、データ b_2 の値に依存することなく、同相成分の正、負によって判定できるため、誤り伝播を防止することが可能となる。

【0038】

図 3 (A) は、2 ビット直列デジタル信号に適用されるグレイ符号器の構成図、図 3 (B) は、上記グレイ符号器の機能を表す真理値表を示す。

グレイ符号器に入力される 2 ビットの直列データ「 i_0 」と「 i_1 」は、図 2 (A) で説明したデータ b_1 、 b_2 に相当する。グレイ符号器では、図 3 (B) の真理値表から明らかのように、上位入力ビット「 i_1 」の値がそのまま、上位出力ビット「 $o_1 (b_2)$ 」として出力される。一方、下位出力ビット「 $o_0 (b_1)$ 」は、上位入力ビット「 i_1 」の値によって変化する。「 i_1 」= 0 の場合は、下位入力ビット「 i_0 」の値がそのまま下位出力ビット「 o_0 」となり、「 i_1 」= 1 の場合は、下位入力ビット「 i_0 」の反転値が「 o_0 」として出力される。

【0039】

図 3 (C) は、図 1 の光送信器に適用される 4 値位相変調用並列符号器 (PSK 符号器) 103 の構成を示す。ここに示した PSK 符号器 103 では、図 3 (A) に示した構成のグレイ符号器が 4 個 (126 - 0 ~ 126 - 3) 使用され、並列信号路 115 - 1 と 115 - 2 から、それぞれ 4 ビット ($d_0 \sim d_3$) 並列の送信データが入力されている。

【0040】

送信データの第 j ビット $d_j (j = 0 \sim 3)$ は、第 j グレイ符号器 126 - j と対応付けられている。各グレイ符号器は、並列信号路 115 - 1、115 - 2 の互いに対応する 1 対の信号線から受信する入力ビット i_0 、 i_1 について、符号化演算を実行する。各グレイ符号器の出力ビット o_0 、 o_1 は、元の 4 ビット並列データのビット位置に展開され、符号化された低速並列デジタル信号として、出力信号路 116 - 1、116 - 2 に出力される。グレイ符号器 126 の個数を増加することによって、並列信号路 115 - 1、115 - 2 の入力ビット数を 4 ビット以上にすることができる。

【0041】

10

20

30

40

50

図1の光送信器では、出力信号路116-1、116-2に出力された並列データを多重化回路(MUX)106-1、106-2で直列データに変換することによって、信号線107-1、107-2に、グレイ符号化されたビット配列をもつ高速直列デジタル信号列が出力されるようにしている。

【0042】

4値強度変調用並列符号器(ASK符号器)104も、上述したPSK符号器103と同様、受信器側での4値強度変調信号の受信を容易にし、且つ、受信時の誤り伝播を防止するための符号化回路であり、並列信号路115-3と115-4で4ビットに並列化された低速データを符号化する。ASK符号器104から出力信号路116-3、116-4に出力された並列データは、多重化回路(MUX)106-3、106-4で高速直列デジタル信号列に変換される。

10

【0043】

本実施例では、多重化回路106-1から信号線107-1に出力されたデジタル信号は、光位相変調器109-1に供給され、半導体レーザ108から出力されたレーザ光に振幅の位相変調を施す。多重化回路106-2から信号線107-2に出力されたデジタル信号は、光位相変調器109-2に供給され、光ファイバ接続線111-1を通過した振幅の位相変調光信号に、更に振幅/2の位相変調を施し、4値光位相変調信号を生成する。

【0044】

多重化回路106-3から出力されたデジタル信号は、信号線107-3を介して加算回路121に入力される。一方、多重化回路106-4から出力されたデジタル信号は、2倍化回路120で振幅を2倍に増幅した後、信号線107-4を介して加算回路121に入力される。加算回路121で、これら2つのデジタル信号を加算することによって、4値振幅変調信号が生成され、この変調信号は、信号線122を介して光強度変調器110に供給される。光強度変調器110は、光ファイバ接続線111-2を通過した前述の4値光位相変調信号に、更に4値光強度変調を施す。これによって、位相4値、強度4値の計16値変調された出力光113が、出力光ファイバ112に出力される。

20

【0045】

図1の光送信器100では、並列入力端子101-1~101-4に供給された4組の並列入力データが、破線114-1~114-3で示すように、互いに異なった信号経路で出力光ファイバ112に到達している。本発明の目的は、並列入力端子101-1~101-4から入力されたデータが、その入力順序を乱すことなく、出力光ファイバ112に現れるようにすることにある。

30

【0046】

この目的を達成するために、本実施例では、PSK符号器103とMUX106-2との間、ASK符号器104とMUX106-3、106-4との間に、それぞれ遅延制御バッファ回路105-2~105-4を設け、これらの信号経路における遅延量をデジタル的に調整できるようにしたことを特徴としている。

【0047】

破線ブロック105-1で示すように、PSK符号器103とMUX106-1との間にも遅延制御バッファを設けてもよいが、ここでは、信号遅延が最も大きい信号経路114-1を基準にして、遅延制御バッファ回路105-1を省略した形で、他の信号経路の信号遅延を信号経路114-1に合わせている。信号経路114-1に遅延制御バッファ回路105-1を挿入した場合、遅延制御量はゼロまたは最小値を設定すればよい。

40

【0048】

図4は、遅延制御バッファ回路105の1実施例を示す。

遅延制御バッファ回路105は、書き込みクロック入力端子132に入力される書き込みクロック(WRCLK)と、読み出しクロック入力端子133に入力される読み出しクロック(RDCLK)によって、データを非同期で入出力(R/W)可能な1024ビットのメモリ131と、アドレスカウンタ134と、遅延量設定レジスタ(D)136

50

と、減算器 137 とからなる。メモリ 131 内では、信号路 116 から入力される低速並列ビット信号は、高速直列ビット信号が並列化された信号として扱われ、メモリ 131 内の蓄積データは、後述するようにビット単位で遅延量を制御して、出力信号路 130 に並列的に出力される。

【0049】

ここに示した例では、信号路 116 のビット幅は、16 ビット (d0 ~ d15) となっている。信号路 116 から入力される低速並列の送信デジタルデータは、書き込みクロック (WR CLK) の遷移タイミングで、アドレスカウンタ 134 が示す書き込みビットアドレス (WR BIT ADDR) に並列的に書き込まれる。アドレスカウンタ 134 は、データ書き込みの都度、書き込みビット数 (この例では 16 ビット) 分だけ、書き込みビットアドレスの値を自動的にインクリメントする。これによって、送信信号は、1024 ビット長の直列 FIFO 形式で、メモリ 131 にバッファリングされる。但し、書き込みビットアドレスの値がメモリアドレスの最大値に達すると、アドレスカウンタ 134 がアドレス値をメモリ 131 の初期アドレスに戻すことによって、メモリアリアを循環的に使用した直列 FIFO が形成される。

10

【0050】

遅延量設定レジスタ 136 には、制御線 125 から遅延制御量として与えられた遅延ビット数 (D) が記憶されている。減算器 137 は、アドレスカウンタ 134 から出力される書き込みビットアドレスから遅延ビット数 D を減算し、読み出しビットアドレス (RD BIT ADDR) として出力する。

20

読み出しクロック (RD CLK) の状態が遷移したタイミングで、読み出しビットアドレスで特定された 16 ビットのデータが、メモリ 131 から信号路 130 (d0 ~ d15) に並列的に読み出される。遅延ビット数 D の値がゼロであれば、書き込みサイクルで直列 FIFO に書き込まれた 16 ビット分のデータブロックが、次の読み出しサイクルでそのまま信号路 130 に読み出される。

【0051】

遅延ビット数 D の値がゼロでなければ、書き込みビットアドレスよりも D ビット前のアドレスから始まる 16 ビット分のデータブロックが信号路 130 に読み出され、該信号路 130 に接続された多重化回路 (MUX) 106 によって直列デジタル信号列に変換される。その結果、多重化回路 (MUX) 106 から出力される高速直列データは、遅延制御バッファ回路 105 が無かった場合に比較して、D ビット分の時間遅延が与えられたことになる。

30

【0052】

メモリ 131 の容量 (直列 FIFO のビット長) が 1024 ビットで、高速直列デジタル信号の速度が、例えば、10 Gbit/s の場合、光ファイバ長で 0 ~ 24 m の範囲内に相当する遅延時間を調整できる。メモリ 131 の容量は、各信号経路で必要とされる遅延時間の値に応じて決定すればよい。

【0053】

図 1 の光送信器 100 では、外部の制御端末から、信号線 124 (例えば、I2C バス) を介して、光送信器 100 の内蔵プロセッサ (CPU) 123 に遅延制御バッファ回路毎の制御量を指定し、プロセッサ 123 が、制御線 125 (125-2 ~ 125-4) を介して各遅延制御バッファ回路に遅延制御量 (遅延ビット数 D) を設定できるようになっている。各経路の信号遅延量は、送信器の稼動中には殆ど変動しないため、各遅延制御バッファ回路に設定すべき遅延制御量の値を一旦決定しておけば、その後に遅延量を変更する必要はない。尚、各遅延制御バッファ回路に設定する遅延ビット数 D は、光送信器内の光ファイバ区間の長さにも依存するため、実際に組み立てられた光伝送装置で測定された各信号経路の遅延量に基いて決定すればよい。

40

【0054】

尚、プロセッサ 123 を外部の制御装置に接続するための信号線 124 は、I2C バスに限られるものではなく、例えば、PCI バス、イーサ回線、メーカー独自のデータ線など

50

、他の種類の信号線を適用してもよい。また、各遅延制御バッファ回路105が備える内部レジスタ(不揮発性メモリ)136に対して、プロセッサ123を介在させることなく、外部制御装置から直接的に遅延制御量を設定する構成としてもよい。

【0055】

次に、図1と図5を参照して、送信器100の内部における信号の伝播遅延について説明する。図1において、デジタル信号の経路としては、

- (1) 4値位相変調用並列符号器10、多重化回路106-1、光位相変調器109-1を通過する第1経路114-1、
- (2) 4値位相変調用並列符号器103、多重化回路106-2、光位相変調器109-2を通過する第2経路114-2、
- (3) 4値強度変調用並列符号器104、多重化回路106-3、加算回路121、光位相変調器110-1を通過する第3経路(経路117-1+経路114-3)、
- (4) 4値強度変調用並列符号器104、多重化回路106-4、加算回路121、2倍化回路120、光位相変調器110-1を通過する第4経路(経路117-2+経路114-3)がある。

10

【0056】

信号の伝播時間軸上でのこれらの信号経路長を互いに等しくすることによって、複数のデジタル信号列に分割して光変調部に供給される送信データについて、多値光変調信号内での順序性を保証することが可能となる。

【0057】

図5は、第1、第2の信号経路における信号タイミングチャートを示す。図5(A)は、符号器103から信号路116-1に出力される低速並列デジタル信号(d0、d1、...)の出力タイミング、図5(B)は、符号器103から信号路116-2に出力される低速並列デジタル信号(d0、d1、...)の出力タイミングを示す。ここでは、並列信号の数をd0~d3の4本としている。以下、符号器103から同じタイミングで信号線d0に出力された斜線部で示す2つのビットデータ(図3(C)に示した第1のPSK符号器126-0の出力o0、o1)に着目して、本発明による遅延制御動作について説明する。

20

【0058】

ここでは、光ファイバ接続線111-1等の存在によって、信号経路114-1の信号伝播時間が、経路114-2よりも、高速直列信号9ビット分(10Gbit/sで18cm)だけ長いものと仮定する。また、ここでは、ビット単位での遅延制御について説明し、1ビット長以内の遅延微調整については、後で図16を参照して説明する。

30

【0059】

上記信号伝搬時間差を補償するため、第2の信号経路に挿入された遅延制御バッファ回路115-2の遅延量設定レジスタ136には、遅延ビット数Dとして「9」ビットが設定される。遅延制御バッファ回路115-2は、入力された低速並列信号を高速直列信号9ビット分だけ遅延して出力する。その結果、遅延制御バッファ回路115-2の出力では、図5(C)に示すように、信号線d0から入力された斜線部のビットデータ「1」が、低速並列デジタル信号の2ビットスロット分(高速直列信号で8ビット分)遅れたタイミングで、1ビットずれた信号線d1に出力される。

40

【0060】

図5(D)、(E)は、それぞれ多重化回路106-1、106-2の出力信号を示している。ここでは、2つの多重化回路106-1、106-2の内部で発生する遅延は、両経路に共通なものとして無視してある。この場合、図5(D)が示すように、信号路116-1の第1、第2ビットスロットの信号列は、多重化回路106-1で4倍のレートをもつ高速直列デジタル信号に変換され、遅れなく光位相変調器109-1に供給されている。一方、信号路116-2の第1、第2ビットスロットの信号列は、遅延制御バッファ回路105-2で遅延制御された結果、多重化回路106-2の出力では、図5(E)に示すように、斜線部のビットデータ「1」が、多重化回路106-1の出力における対

50

応ビットデータよりも9ビットだけ遅れることになる。ここでは、多重化回路106-1、106-2の内部遅延を無視して説明したが、実際の遅延ビット数Dの決定に際しては、経路間での各回路要素がもつ内部遅延の差も考慮すればよい。

【0061】

多重化回路106-1から出力された高速直列デジタル信号は、伝送路107-1を通過して光位相変調器109-1に供給され、光信号に変換した後、光ファイバ遅延線111-1を介して光位相変調器109-2に到着する。PSK符号器103から出力された経路114-1の信号が光位相変調器109-2に到着する迄の総遅延時間をT1として、経路114-1の送信信号が光位相変調器109-2に到着するタイミングを図5(F)に示す。一方、多重化回路106-1から出力された経路114-2の信号が、信号路107-1で受ける遅延時間をT2として、光位相変調器109-2への到着タイミングを図5(G)に示す。遅延ビット数D(=9ビット)が、遅延時間T2とT1の差に相当していれば、図5(E)、(F)から判るように、斜線部のビット情報が、同一のタイミングで光位相変調器109-2から出力されることになる。

10

【0062】

ASK符号器104から出力される信号の経路においても、上記第1の信号経路114-1を基準にして、上記第2の信号経路114-2と同様に、信号遅延量を調整できる。従って、図1に示した光送信器100では、直列送信デジタル信号を直並列変換し、入力端子101-1~101-4にNビット並列信号として供給した場合でも、光変調部の最終の変調器110の位置で、これらのビット群の出力タイミングを揃えることが可能となる。

20

【0063】

本発明の光伝送装置では、符号器として、上述したPSK符号化、ASK符号化以外に、例えば、FEC符号化やフレーム生成など、他の符号化方式も適用できる。また、図1では、多値符号の一部である強度変調信号が、高速直列信号状態で演算(加算)されているが、後続する他の実施例から明らかなように、全ての符号化処理を低速並列信号状態で実行してもよい。また、本実施例では、4値位相変調並列符号器103と4値強度変調並列符号器104のように、種類の異なる複数の符号器を備えた光送信器について説明したが、本発明による遅延量制御は、図1におけるPSK符号器103とASK符号器104のうちの何れか一方のみを備えた光送信器においても有効となる。

30

【0064】

次に、上記光送信器100から送信された多値光変調信号(4値の位相変調+4値の強度変調)の受信に適した光受信器200の1実施例について説明する。

図6は、光受信器200の主要部の構成を示す。

【0065】

光ファイバ202からの入力光201は、光カプラ203によって、第1、第2、第3の分岐光に分離される。第1、第2の分岐光信号は、それぞれ光ファイバ接続線111-1、111-2を介して、差動位相検波器206-1と206-2に供給される。差動位相検波器206-1と206-2は、それぞれの検出位相が $-\pi/4$ と $+\pi/4$ に設定されており、互いに直交した位相成分を受信光から抽出する。差動位相検波器206-1と206-2は、抽出した特定位相成分の光信号を電気的な高速直列デジタル信号に変換して、分離回路155-4、155-5に出力する。

40

【0066】

図7は、差動位相検波器206-2の構成を示す。

入力光ファイバ202からの入力光201は、1ビット遅延干渉計213に入力され、干渉計内部で、光カプラ193-1によって、第1、第2の光路に分岐される。第1の光路には、光信号を1ビット遅延する光回路214と、 $\pi/4$ の光移相器195が挿入してある。第1、第2の光路は、光カプラ193-2で一旦結合した後、再度、2つの光路に分岐して、バランス光受信器215に接続されている。従って、第1の光路を通過した1ビット $+\pi/4$ の遅延光信号と、第2の光路を通過した光信号は、上記光カプラ193

50

- 2 を通過する際に互いに干渉を受けた後、バランス光受信器 215 に入力される。

【0067】

これら 2 つの入力光信号は、バランス光受信器 215 で差動検出され、バランス光受信器 215 に接続されたクロック抽出・識別回路 (CDR) 154 で高速直列デジタル信号に変換される。光移相器 195 の移相量は、任意の値に変更可能であり、移相量を $-\pi/4$ にすることによって、差動位相検波器 206-1 を構成できる。

【0068】

図 6 に戻って、差動位相検波器 206-1、206-2 から出力された第 1、第 2 の高速直列デジタル信号は、それぞれ分離回路 155-4、155-5 に入力され、低速並列信号に変換した後、遅延制御バッファ回路 105-4、105-5 を介して、並列復号器 (PSK 復号器) 212 に供給される。

10

【0069】

一方、カプラ 203 で分岐された第 3 の分岐光は、光ファイバアンプ 204 で増幅した後、フォトダイオード 205 に入力され、強度成分に応じた電気信号に変換される。フォトダイオード 205 の出力は、3 つの信号路に分岐され、第 1、第 2、第 3 のクロック抽出・識別回路 (CDR) 154-1 ~ 154-3 で高速直列のデジタル信号に変換される。CDR 154-1 ~ 154-3 から出力された高速直列のデジタル信号は、それぞれ分離回路 155-1 ~ 155-3 で低速並列信号に変換した後、遅延制御バッファ回路 105-1 ~ 105-3 を介して、並列復号器 (ASK 復号器) 211 に入力される。

【0070】

遅延制御バッファ回路 105 (105-1 ~ 105-5) は、前述した光送信器 100 における遅延制御バッファ回路 105 (105-2 ~ 105-4) と同様、光信号の入力端 202 から復号器 211 または 212 に至る複数の信号経路の信号遅延差を解消するためのものである。各遅延制御バッファ回路 105 には、光受信器 200 に内蔵されたプロセッサ 223 を介して、それぞれの遅延制御量 (遅延ビット数 D) が設定される。

20

【0071】

本実施例の光受信器 200 によれば、これらの遅延制御バッファ回路 105 で経路毎に信号遅延量が調整できるため、光受信器内部において、光ファイバ路 111 (111-1 ~ 111-2) と光位相検出器 206 (206-1 ~ 206-2) を通過する第 1、第 2 の光路と、光ファイバアンプ 204 を通過する第 3 の光路との間で信号伝播の時間差がある場合でも、更には、これらの光路の後段に位置した電気信号経路に信号遅延時間差がある場合でも、入力光 201 として受信した多値受信信号を同じタイミングで出力端 156-1 ~ 156-4 に出力することが可能となる。

30

【0072】

次に、図 8 と図 9 を参照して、第 3 の分岐光に基づく 4 値強度変調信号の識別動作と ASK 復号器 211 の動作について説明する。尚、PSK 復号器 212 の動作は周知であり、ここでの詳細説明は省略する。

【0073】

図 8 (A) は、第 3 の分岐光に含まれる 4 値強度変調信号の受信波形を示す。4 値強度変調光信号は、L0、L1、L2、L3 の 4 つの信号強度レベルで、2 ビット情報を伝送している。第 3 の分岐光の O/E 変換結果が入力されるクロック抽出・識別回路 154-1 ~ 154-3 には、それぞれその識別レベルとして、上記 4 値強度変調信号の 3 つの開口部に対応したレベル値 t_{h1} 、 t_{h2} 、 t_{h3} が設定されている。各クロック抽出・識別回路 154-j ($j = 1 \sim 3$) は、予め設定されたレベル値 t_{hj} で入力信号の「1」、「0」を識別し、識別結果を高速直列のデジタル信号として出力する。各クロック抽出・識別回路 154-j は、別に用意されたクロック抽出回路が抽出した基準クロック信号を共用して、入力信号を 2 値化してもよい。

40

【0074】

図 8 (B) は、4 値強度変調信号復号器 (ASK 復号器) 211 の機能を表す真理値表である。ここで、入力 i_0 、 i_1 、 i_2 は、クロック抽出・識別回路 154-1 ~ 154

50

- 3からの入力信号の値を示す。

A S K復号器211は、クロック抽出・識別回路154-1～154-3による識別結果の組み合わせによって、4値強度変調光信号がL0～L3のどのレベルかを判定する。判定結果は、2ビットの情報「00」、「01」として、出力信号線156-1、156-2に出力される。この例から明らかなように、光受信器に採用される復号器は、入出力の信号本数が異なってもよい。

【0075】

図9は、光受信器200に適用された遅延制御バッファ回路105-4、105-5の機能を説明するためのタイミング図を示す。

図9(A)は、差動光位相検波器206-1、206-2から出力される高速直列デジタル信号列、図9(B)は、クロック抽出・識別回路154-1～154-3から出力される高速直列デジタル信号列を示す。

【0076】

ここでは、差動光位相検波器206-1の出力信号を基準にして、差動光位相検波器206-2の出力信号が、1.3ビット(高速直列信号のビットレートを10Gbit/sとすると130ps)遅れているものと仮定する。また、説明を簡単化するために、クロック抽出・識別回路154-1～154-3からの出力信号は、互いに同期しており、差動光位相検波器206-1の出力信号に対して4.2ビット(420ps)だけ遅れているものと仮定する。この場合、光カプラ203から同時に出力された位相変調信号成分と強度変調信号成分は、図(A)、(B)で斜線ビットが示すように、分離回路(DEMUX)155-1～155-5への入力タイミングにずれが発生している。

【0077】

以下、説明簡単化のため、分離回路155-1～155-5は、入力された高速直列デジタル信号に同期して、入力データを4本の信号線(d0、d1、d2、d3)に時分割分離して出力するものとする。例えば、差動光検出器206-1からの高速直列信号列が入力される分離回路155-4は、図9(C)に示すように、信号線d0には、高速直列信号列の先頭ビット、第5ビット、第9ビット、...の値を出力し、信号線d1には、高速直列信号列の第2ビット、第6ビット、第10ビット、...の値を出力する。すなわち、分離回路155-4の各出力信号線には、高速直列信号列に含まれる4ビット毎のビットデータが、順繰りに出力される。

【0078】

図9(D)は、分離回路155-5の出力信号列を示す。分離回路155-5に入力される高速直列信号列は、分離回路155-4の入力信号よりも1.3ビット遅れているため、信号線d0～d1には、端数となる0.3ビット遅れで、低速の直列信号が出力され、高速直列信号の斜線ビットの値は、遅れの整数部分に相当する1ビット遅れで、信号線d1に現れる。

【0079】

図9(E)は、分離回路155-1の出力信号列を示す。分離回路155-1に入力される高速直列信号列は、分離回路155-4の入力信号よりも4.2ビット遅れているため、信号線d0～d1には、端数となる0.2ビット遅れで、低速の直列信号が出力される。また、高速直列信号の斜線ビットの値は、遅れの整数部分に相当する4ビット遅れで、次タイムスロット(低速信号の1ビット=100ps×4=400ps)の出力信号線d1に現れる。図では省略してあるが、分離回路155-2と155-3の出力信号列も、図(E)と同一の出力タイミングとなる。

【0080】

以下、簡単化のため、遅延制御バッファ回路105-1～105-3に設定される遅延制御量(遅延ビット数D)をゼロとし、遅延制御バッファ回路105-4には、高速直列信号4ビット分の遅延制御量(D=4)が設定され、遅延制御バッファ回路105-5には、3ビット分の遅延制御量(D=3)が設定された場合について説明する。

【0081】

10

20

30

40

50

この場合、遅延制御バッファ105-4から並列に出力される低速信号列では、図9(F)に示すように、図9(C)の斜線ビットが高速直列信号で4ビット分、すなわち、低速信号で1タイムスロット分遅れて、信号線d0に現れる。また、遅延制御バッファ105-5から並列に出力される低速信号列では、図(D)の状態から高速直列信号で3ビット分遅れるため、斜線ビットの出力先が、信号線d1 d2 d3 d0にシフトし、結果的に、図9(G)に示すように、斜線ビットが、低速信号の1タイムスロット分遅れて信号線d0に現れる。

【0082】

この結果、光カプラ203を通過した多値光変調された複数ビットの情報は、復号器211、212に対して、並列データとしての相対的位置関係とタイムスロットとを揃えた状態で供給されることとなる。従って、各復号器において、各タイムスロットの略中央となるサンプリング時刻tで入力データをラッチすることによって、受信多値信号を正しく復調することが可能となる。

10

【0083】

上述したように、高速デジタル信号列の1ビット以下の遅延を各復号器のラッチ回路で補償するようにしておけば、遅延制御バッファ回路105による遅延制御精度は、高速デジタル信号のビット単位で十分となる。また、本実施例の遅延制御バッファ105-1~3のように、予め遅延量が略同一となることが分かっている複数の経路に対しては、設定遅延制御量を同一にすればよく、この場合、遅延制御バッファへのデータR/Wに用いるビットアドレスレジスタを複数の遅延制御バッファで共用できる。尚、ビット長以下のタイミン精度や遅延量の調整範囲は、送受信器の各部で使用するクロック速度に応じて変更可能である。

20

【0084】

本発明の光伝送装置では、遅延制御バッファ105を適用したことによって、電氣的な配線区間のみならず、装置内部の光ファイバ区間も含む信号経路において、ビットオーダを遥かに越える最大で数100~数万ビット相当の非常に大きな信号遅延を補償することが可能となる。このため、光送信器および光受信器の各信号経路における最適遅延制御量の決定に際しては、送信器を基準となる受信器と組み合わせた状態で、各遅延制御バッファ回路に設定すべき遅延制御量を測定することが望ましい。

【0085】

図10は、遅延制御量を決定するために実行される遅延量測定ルーチン500のフローチャートの1例を示す。

30

例えば、光送信器100の組み立てが完了した後、その出力光ファイバ112を基準となる光受信器220に入力光ファイバ202として結合し、遅延量測定ルーチン500を実行する。

【0086】

図1の光送信器100の場合、先ず、全ての遅延制御バッファ回路(可変遅延回路)105-1~105-4の遅延制御量Dを所定値、例えば、可変範囲に中央値に設定し(ステップ501)、次に、測定対象となる遅延制御バッファ回路として、遅延制御バッファ回路105-1を選択する(502)。測定対象となった遅延制御バッファ回路105-1は、遅延制御量を最小値に設定した状態で、低速並列デジタルデータ信号の入力端子101-1~101-4に、テストパターンとなるデジタル信号を供給する(503)。

40

【0087】

テストパターンは、遅延制御バッファ回路105-1の遅延制御量が適切な値となって、測定対象信号経路の信号遅延が、他の遅延制御バッファ回路、例えば、隣接する遅延制御バッファ回路105-2が位置する信号経路の信号遅延と合致した時点で、基準光受信器側で特異パターンとして検出できるものであればよい。入力端子101-1~101-4には、テストパターンとして、例えば、ゼロが連続する長いパターンと1ビット幅マークとの組み合わせパターンを繰り返して入力する。

【0088】

50

基準光受信器から出力される低速データ信号のデータパターンを観測しながら、特異パターンが出される迄(505)、テストパターンの繰り返し周期で測定対象遅延制御バッファ回路105-1の遅延制御量を1ビットずつ増加する(504)。基準光受信器側で特異パターンが検出された時点で、測定対象遅延制御バッファ回路の遅延制御量の増加を停止し、次の遅延制御バッファ回路105-2を測定対象に選択して(502)、同様の動作を繰り返す。全ての遅延制御バッファ回路について、最適な遅延制御量が決定された時点で、遅延制御バッファ回路毎の設定遅延値を記録し(506)、測定ルーチン500の実行を完了する。

【0089】

ここに示した測定手順は、測定対象と基準装置を入れ替えることによって、光受信器の各遅延制御バッファ回路に設定すべき最適遅延量の測定に適用できる。このようにして得られた各遅延制御バッファ回路の最適遅延制御量は、個々の送受信器の立ち上げ時に必要な制御パラメータとなるため、送受信器内部の不揮発性メモリに保存しておく。測定された遅延制御量の値は、光伝送装置(光送信器と光受信器)の型式名と対応して、データベースに登録しておき、必要に応じて、ネットワーク経由で入手できるようにしてもよい。尚、遅延制御量は、必ずしも全ての遅延制御バッファ回路において測定する必要はなく、例えば、冗長性のある部分や、測定済みの別のバッファと同一値となることが分かっているバッファ回路については、測定を省略できる。

【0090】

最適遅延量の値は、上述した測定ルーチンを使用する代わりに、例えば、個別部品の遅延量設計値または遅延量測定値から各信号経路の遅延量を計算する、オシロスコープ等で観測される出力信号波形から各信号経路の遅延量を測定するなど、他の方法を利用してもよい。また、上述した測定ルーチンの実行に必要な特定のパターン発生器、特異パターンの検出器は、測定対象となる光送受信器や、基準装置となる光送受信器に内蔵することも可能である。

【0091】

以上の第1の実施例から明らかなように、本発明によれば、光送信器および光受信器の低速デジタル信号区間に遅延制御バッファ105を挿入することによって、内部光ファイバ区間を含む複数の信号経路の信号伝搬時間を高速デジタル信号のビットオーダ、あるいは1ビット長以下の高い精度で調整できるため、複数の光変調器を使用した高精度の多値光変調用の光伝送装置を実現できる。また、本発明によれば、遅延量の調整を電気回路で制御できるため、信号経路毎の回路設計に自由度があり、プログラマブルな符号器や復号器を搭載することによって、適宜機能変更が可能な汎用の光伝送装置を提供できる。

【実施例2】

【0092】

図11は、本発明の光伝送装置160を適用した光ネットワークの1例を示す。

光伝送装置160-1は、スイッチ回路162-1に接続された複数の光送信器100(100-1、100-2)および光受信器200(200-1、200-2)を備えている。同様に、光伝送装置160-2も、スイッチ回路162-2に接続された複数の光送信器100(100-3、100-4)および光受信器200(200-3、200-4)を備えている。互いに対向した位置関係にある光送信器100-1と光受信器200-3、光送信器100-4と光受信器200-2とが、それぞれ光ファイバ伝送路164-1、164-2によって接続されている。

【0093】

各光伝送装置160は、障害検出時に、スイッチ回路162によって、現用系と予備系との切替えが可能となっている。光送信器100-1~100-2(100-3~100-4)、光受信器200-1~200-2(200-3~200-4)の立ち上げは、I2Cバス124-1~124-4(124-5~124-8)を介して接続された制御部163-1(163-2)によって制御される。

【0094】

10

20

30

40

50

スイッチ回路 162 には、IP ルータ、IP スwitch、SONET の ADM (アッド・ドロップマルチプレクサ) やリングスウィッチ、単純な再生中継器など、光伝送装置の使用目的に応じた様々な機能を持たせることができる。また、光ネットワークの形態も、複数の伝送装置 160 を組み合わせ、リング型、ハブ型、スター型、メッシュ型や、光アッドドロップなど、様々な形態にできる。

【0095】

本例のように、光送信器 100 と光受信器 200 を独立させる代わりに、1 対の送受信器を組み合わせ、2 対の送受信器を組み合わせ、複数の送受信器を波長多重または平行に組み合わせ、各光伝送装置 160 は、図 10 とは異なった形式で、本発明を適用した光送受信器を備えることができる。また、図 10 では省略してあるが、各光伝送装置 160 は、必要に応じて、光アンプ、光分散補償器、光スウィッチ、光アッテネータなどの部品を含むことができる。

【0096】

図 12 は、各光伝送装置 160 における遅延制御量の設定ルーチン 300 のフローチャートを示す。

このルーチン 300 は、伝送装置の起動またはリセット信号の入力時、または回路基板の挿抜、故障回復などからの再立ち上げのために、何れかの送受信器にリセット信号が入力された時、制御部 163 によって、送受信器への遅延制御量の再設定のために実行される。

【0097】

制御部 163 は、送受信器 100、200 の状態と、各送受信器に設定すべき遅延制御量 (D) が制御部 163 の内部メモリに準備されているか否かをチェックし (ステップ 301)、不備があれば、エラー発生を表示画面に出力 (または制御端末への通知) して (304)、このルーチン終了する。遅延制御量は、制御部 163 の内部メモリから読み出す代わりに、各光伝送装置が備える揮発性メモリやハードディスクから読み出してもよい。また、操作者が手動で入力しても、図示しないネットワーク経路でデータベースから取得してもよい。制御部 163 は、送受信器 100、200 の状態と遅延制御量に問題がなければ、I2C バス 124 を介して、設定対象となる光送受信器に遅延制御量を設定 (302) した後、該当する光送受信器を起動する (303)。

【実施例 3】

【0098】

図 13 は、本発明を適用した波長多重型の光伝送装置 165 (165-1、165-2) からなる光ネットワークの構成の 1 例を示す。

光伝送装置 165-1 と光伝送装置 165-2 は、上り方向の光ファイバ伝送路 164-1 と下り方向の光ファイバ伝送路 164-2 によって結合されている。これらの光伝送装置は、光ファイバ伝送路 164-3、164-4 が示すように、上り、下りの 1 対の光ファイバ伝送路で更に他の光伝送装置と接続されている。各光ファイバは、波長が異なる 3 つの光信号を波長多重光信号として伝送する。

【0099】

光伝送装置 165-1 が示すように、各光伝送装置 160 は、上り、下りの各方向で、光波長分波器 167 (167-1、167-2) を介して受信側光ファイバ伝送路に結合された複数の光受信器 (RX) 200 (200-1 ~ 200-3、200-4 ~ 200-6) と、光波長合波器 166 (166-1、166-2) を介して送信側光ファイバ伝送路に結合された複数の光送信器 (TX) 100 (100-1 ~ 100-3、100-4 ~ 100-6) とを備えている。

【0100】

例えば、光ファイバ伝送路 164-4 から入力された波長多重光信号 151-2 は、光波長分波器 167-2 で波長別の 3 つの光信号に分離され、光受信器 200-4 ~ 200-6 に入力される。ここに示した例では、光受信器 200-4 と 200-5 の受信信号は、光送信器 100-4、100-5 に転送され、光受信器 200-6 の受信信号は、ドク

10

20

30

40

50

ップ信号 169 - 2 として、光伝送装置の支線に出力されている。一方、光伝送装置の支線から入力されたアッド信号 168 - 2 と、上流からの受信信号は、光送信器 100 - 4 ~ 100 - 6 によってそれぞれ異なる波長の光信号に変換され、光波長合波器 166 - 2 で合波されて、下流側の光ファイバ伝送路 164 - 2 に出力される。光ファイバ伝送路 164 - 1 と 164 - 3 との間でも、同様の信号送受信が行われる。

【0101】

本実施例では、上り、下りの光ファイバ伝送系毎に、制御部 163 (163 - 1、163 - 2) を設け、各制御部 163 が、それぞれの系に属した光送信器と光受信器に対して、第 2 実施例で説明した立ち上げ制御と遅延制御量の設定を行うようになっている。

【実施例 4】

【0102】

図 14 は、両相駆動型の光変調器 172 を備えた NRZ 光送信器への遅延制御バッファ回路 105 の適用例を示す。

入力端子 101 からビット並列で入力された低速デジタルデータ信号は、並列バッファ回路 102 で互いの位相を合わせた状態で、FEC (Forward Error Correction) 並列符号器 170 に入力される。FEC 並列符号器 170 は、長距離伝送に適したフレーム生成と誤り訂正符号生成を行い、互いに論理反転した 2 つの並列低速デジタル信号列を信号路 116 - 1 と 116 - 2 に出力する。

【0103】

これらのデジタル信号列は、それぞれ遅延制御バッファ回路 105 - 1、105 - 2 に入力され、一方の信号列を他方の信号列より所定量 D だけ遅延させた状態で、多重化回路 106 - 1、106 - 2 に入力される。破線で示した FEC 並列符号器 170 から光出力端までの 2 つの信号経路 114 - 1、114 - 2 の信号伝播時間差を高速直列デジタル信号のビット数 N で表した場合、上記遅延量 D は、N の整数部分に相当する。遅延制御バッファ回路 105 - 1、105 - 2 から出力された並列低速デジタル信号は、多重化回路 106 - 1、106 - 2 で高速直列デジタル信号列に変換され、互いに同相の増幅特性をもった駆動回路 171 - 1、171 - 2 で増幅される。駆動回路 171 - 1、171 - 2 の出力信号は、両相駆動光変調器 172 の 2 つの変調信号入力端子 173 - 1、173 - 2 に入力される。

【0104】

180 は、高速直列デジタル信号の送信レートとなる高速クロックの発生器、181 - 1、181 - 2 は、クロック発生器 180 から出力された 2 系統の高速クロック信号の位相を調整する可変位相調整器 (P1、P2) を示す。可変位相調整器で位相調整を施された高速クロック信号は、クロック供給線 182 - 1、182 - 2 を介して多重化回路 106 - 1、106 - 2 に供給される。多重化回路 106 - 1、106 - 2 は、それぞれに供給された高速クロック信号に従って、並/直列変換された高速直列デジタル信号を出力する。多重化回路 106 - 1 と 106 - 2 に供給する高速クロック信号の位相をずらすことによって、高速直列デジタル信号の出力タイミング (遅延量) を 1 クロック周期 (= 1 ビット長) 以内の範囲で微調整できる。

【0105】

本実施例の特徴は、ビット単位の遅延は遅延制御バッファ回路 105 - 1、105 - 2 で制御し、±1 ビット以内の遅延は、位相調整回路 181 (181 - 1、181 - 2) と多重化回路 106 (106 - 1、106 - 2) とからなる微調整部で制御することによって、広範囲の遅延を高精度で実現したことにある。但し、位相調整回路 81 - 1、181 - 2 に与える遅延制御量を変えることによって、微調整部で最大 2 ビット長以内の遅延量制御が可能になる。

【0106】

可変位相調整器 182 - 1、182 - 2 と遅延制御バッファ回路 105 - 1、105 - 2 への遅延制御量の設定は、プロセッサ (CPU) 174 が、制御信号線 125 - 1 ~ 125 - 4 を介して行う。設定すべき遅延制御量は、不揮発性メモリ 176 に各信号経路と

10

20

30

40

50

対応して予め記憶されている。

【0107】

図15は、本実施例においてプロセッサ174が実行する遅延制御量設定ルーチン310のフローチャートを示す。このルーチンは、電源供給によって光送信器100が起動された時、または外部からリセット信号が入力された時に実行される。

プロセッサ174は、バス175を介して、不揮発性メモリ176に予め記憶された遅延制御量を読み出し(ステップ311)、制御信号線125-1~125-4を介して、バッファ回路105-1、105-2と、可変位相調整器181-1、181-2に、それぞれの遅延制御量に設定し(312)、半導体レーザ198を起動して、光出力をON状態にする(313)。遅延制御量の設定は、信号経路毎に、上述したステップ311~312を繰り返し、全ての信号経路で遅延制御量の設定が完了した時、半導体レーザ198を起動してもよい。

10

【0108】

図16は、本実施例において、多重化回路162-1、162-2で行われる遅延微調整を説明するための信号タイミングチャートを示す。図16(A)は、多重化回路106-1に供給されるクロック、(B)は、多重化回路106-1から出力される高速直列信号のタイミングを示す。また、(C)は、多重化回路106-2に供給されるクロック、(D)は、多重化回路106-2から出力されるの高速直列信号のタイミングを示す。各多重化回路の出力データの値は、破線で示すように、供給されるクロック信号の立ち上がりで切り替わるものとする。

20

【0109】

ここで、説明の便宜上、各多重化回路から出力される高速直列デジタル信号の速度を10 Gbit/s(1ビット=100ps)、多重化回路106-1の出力側信号路107-1における信号遅延量T1を2.3ビット(230ps)、多重化回路106-2の出力側信号路107-2における信号遅延量T2を0.9ビット(90ps)と仮定する。但し、これらの遅延量は、実際にはどんな値であっても構わない。この場合、多重化回路106-1、106-2の出力信号路107-1と107-2で、 $T1 - T2 = 1.4$ ビット分の遅延時間差が発生するため、多重化回路106-2から信号路107-2に出力される高速直列信号を予め1.4ビット分だけ余分に遅らせておくことによって、変調器172に到着する2つのデジタル信号列の時間差を吸収する。

30

【0110】

本実施例では、遅延制御バッファ回路105-2によって、符号器170の出力信号列に目標遅延量(1.4ビット)の整数部に相当する1ビット遅延を与え、図(D)に示すように、多重化回路106-2に供給するクロックを目標遅延量の端数に相当する0.4ビット分遅延させることによって、符号器170から同時に出力された1対の反転符号(斜線部)に対して、多重化回路の通過時点で1.4ビット分の時間差を生じさせる。

【0111】

図(B)に示した多重化回路106-1からの出力信号は、信号路107-1を通過することによって2.3ビット遅延するため、図(E)に示すタイミングで、両相駆動光変調器172の入力端子173-1に到着する。一方、図(D)に示した多重化回路106-2からの出力信号は、信号路107-2を通過することによって0.9ビット遅延し、図(F)に示すタイミングで、変調器172の入力端子173-2に到着する。従って、斜線部のビットから明らかなように、符号器170から出力された互いに反転された関係にある1対の符号が同時に両相駆動光変調器172に供給され、光信号を変調することになる。

40

【0112】

両相駆動光変調器172の入力端子171-1、171-2に印加される高速直列のデジタル信号は、最終的に互いに反転した関係にあればよい。従って、例えば、駆動回路171-1、171-2として互いに逆相の増幅器を適用することによって、符号器170から信号路116-1と116-2に互いに同一の低速並列信号列を出力する回路構成と

50

しても構わない。符号器 170 としては、FEC 並列符号器 170 の代わりに、FEC 機能を持たない 8B10B 符号器や 64B66B 符号器、SONET フレーム生成回路を使用してもよい。また、上記符号器 170 をデュオバイナリ事前符号器とし、信号路 107-1 ~ 107-2 に、更にデュオバイナリ 3 値信号の生成回路を挿入することによって、全体として光デュオバイナリ送信器を実現してもよい。

【0113】

1 ビット以内の遅延量微調整のために用いる可変位相調整器 181 (181-1、181-2) としては、例えば、電圧設定型の半導体可変位相器とデジタル電圧設定回路とを組み合わせたもの、モーター駆動型の可変遅延線をステップモータで駆動するものなど、各種のタイプのものが適用できる。尚、信号路 107-1 と 107-2 の少なくとも一方において、遅延制御バッファ回路 105 の代わりに、公知の可変遅延手段を適用し、可変位相調整器 181 と多重化回路 106 によって、遅延量を微調整する構成も考えられるが、通常の変遅延手段では、数 cm オーダ (10 Gbit/s で、例えば、2 ビット) を越える大きな遅延調整は困難となるため、本実施例のように、遅延制御バッファ回路 105 と可変位相調整器 181 との組み合わせには劣る。

10

【0114】

可変位相調整器 181 への遅延制御量の設定は、例えば、変調信号入力端子 173-1、173-2 に入力されるデジタル信号のビット幅以内の位相を検出し、位相差がゼロとなるように、可変位相調整器をフィードバック制御する自動設定方式にしてもよい。

【0115】

本実施例では、クロック発生器 180 から出力されるクロック周波数を高速直列デジタル信号のビットレート (多値信号の場合、シンボルレート) と等しくし、遅延制御バッファ回路 105 の動作速度を、N ビット並列入力の場合は上記ビットレートの $1/N$ としているが、上記クロック周波数や遅延制御バッファ回路の動作速度を実施例の整数倍または整数分の 1 にすることによって、遅延制御バッファ部と遅延微調整部での遅延量の制御範囲や設定精度を変更することが可能となる。

20

【0116】

例えば、クロック周波数を高速直列デジタル信号のビットレートの $1/4$ にした場合、微調整部での調整範囲を 4 ビットまで拡大することができる。逆に、遅延制御バッファ回路 105 の動作周波数を 8 倍とすることによって、遅延制御バッファ回路での遅延精度を $1/8$ に精密化できる。この場合、微調整部による遅延量制御は不要となる。

30

【0117】

両相駆動型の光変調器 172 は、その内部に必ずしも光ファイバ接続線を必要としないため、従来から、駆動回路 (ドライバ) の正相出力端子と逆相出力端子から得られる 2 つの高速信号を光変調器の 2 つの入力端子に入力する構成が採用されている。しかしながら、2 つの高速信号の伝搬遅延時間差を $1/10$ ビット程度の精度で正確に一致させようとすると、送受信器内部における信号線や部品の配置自由度が制約され、且つ、高速信号の伝送路の余長を如何に処理かが問題となる。また、2 つの高速デジタル信号列の遅延時間差を調整するために可変遅延線を使用した場合、1 ビット長以内での高精度の遅延調整が容易ではなく、製造コストと装置サイズが増加するという問題がある。この点、本実施例の構成によれば、遅延制御バッファ回路 105 を適用し、必要に応じて遅延微調整部を組み合わせることによって、高速デジタル信号の経路間に 1 ビット長以上の遅延時間差が発生する場合であっても、簡易に遅延時間差を吸収でき、安価で小型の光送信器を提供できる。

40

【実施例 5】

【0118】

図 17 は、トレリス符号を用いた多値光送信器への本発明の適用例を示す。

トレリス符号は、多値信号用の符号であり、情報伝送に使用される多値信号の状態数を減らし、余った冗長状態数を用いて誤り訂正を行うことができる。図 17 の光送信器 100 では、並列入力端子 101-1、101-2 から入力される 2 系列のデータ信号 (状態

50

数は2の二乗 = 4) をトレリス符号器 180 で8値の多値信号にマッピングすることによって、トレリス符号を実現する。並列入力端子 101 - 1、101 - 2 から入力された低速の並列信号は、並列バッファ回路 115 - 1 ~ 115 - 2 によってタイミングを一致させた後、トレリス符号器 180 に入力される。トレリス符号器 180 は、4値入力信号列を8値のトレリス符号に変換し、誤り訂正符号と共に、3つの信号路 117 - 1、117 - 2、114 - 1 に出力する。これらの信号路は、図1における遅延制御バッファ回路 105 - 2 ~ 105 - 4 を含む信号路と同一の構成となっているため、その詳細動作については説明を省略する。

【0119】

このように、本発明は、符号器に入力される低速並列デジタル信号列の本数と、符号器から出力される低速並列デジタル信号列の本数が異なっても構わない。また、符号器の入出力信号の並列ビット数やビットレートが互いに異なっても構わない。

10

【実施例6】

【0120】

図18は、光信号の同相成分と直交成分を独立に変調する光IQ変調器190を備えた光送信器への本発明の適用例を示す。

本実施例は、4値の光DQPSK(4値差動位相)変調の1例を示しており、入力端子101に入力された16並列の低速デジタル信号は、並列バッファ102でタイミングを合わせた後、4値差動位相変調用の並列符号器(DQPSK)196で差動符号化され、各8ビットの2系列の低速並列デジタル信号列に分離して出力される。

20

【0121】

符号器196から出力された2系列の低速並列デジタル信号列は、スプリッタ191 - 1、191 - 2によって、それぞれが更に1対の低速並列デジタル信号列に分離され、遅延制御バッファ回路105(105 - 1 ~ 105 - 4)での遅延制御を受ける。遅延制御された低速並列デジタル信号列は、多重化回路106(106 - 1 ~ 106 - 4)によって高速直列デジタル信号列に変換される。対をなす一方の高速直列デジタル信号列は、駆動回路171(171 - 1、171 - 2)に入力され、他方の高速直列デジタル信号列は、反転駆動回路192(192 - 1、192 - 2)に入力されて、互いに逆相の駆動信号として、信号路107 - 1(または107 - 3)、107 - 2(または107 - 4)を介して光IQ変調器190に入力される。

30

【0122】

光IQ変調器190では、半導体レーザ108から出力された光信号が、光カプラ193 - 1で2つの光伝送路に分岐され、各光伝送路に挿入された両相MZ光変調部194 - 1と194 - 2に入力されている。一方の両相MZ光変調部194 - 1は、信号路107 - 1、107 - 2から入力端子173 - 1と173 - 2に入力された駆動信号に従って、光信号を強度変調する。他方の両相MZ光変調部194 - 2は、信号路107 - 3、107 - 4から入力端子173 - 3と173 - 4に入力された駆動信号に従って、光信号を強度変調する。光変調部194 - 1の出力は、光移相器195を通すことによって、光変調部194 - 2の出力光とは45度の光位相差をもつ信号光に変換される。強度変調された2つ信号光は、光カプラ193 - 2で合成して、出力光ファイバ112に出力される。

40

【0123】

従来この種の光IQ変調器190では、内部光伝送路を含む4つの信号経路の全てにおいて、信号経路長を部品単位で等しくする必要があったが、本発明によれば、遅延制御バッファ回路105 - 1 ~ 105 - 4による遅延量制御によって、符号器196から各信号経路の出力端までの信号伝播時間を等しくできるため、例えば、光IQ変調器190の内部におけるMZ光変調部194 - 1、194 - 2の挿入位置や、信号路107 - 1 ~ 107 - 4の配線長が相違は全く問題にならない。

本発明は、本実施例で示した光DQPSK変調以外に、例えば、光変調器194の各入力端子173に多値強度変調された高速デジタル信号を入力する光QAM(Quadrature Amplitude Modulation)にも有効となる。

50

【0124】

本実施例のように、送信データを大容量の1系列の光変調信号に変換して送信することにより、送信器から対向する受信器へ向かう経路を大容量の1本のリンクとみなすリンクアグリゲーション機能を実現できる。送信器の入力信号を高速の直列信号とし、符号器の直前に配置された分離回路によって、低速の並列信号に変換しても構わない。

【実施例7】

【0125】

図19は、受信光信号を同相(I)成分と直交(Q)成分に分離して受信する光受信器200への本発明の適用例を示す。

入力ファイバ202から入力された受信光201は、光90度ハイブリッド221の一方の入力ポートに入力される。光90度ハイブリッド221の他方の入力ポートには、位相検波の参照光として、半導体レーザ光源220から出力された局部発信レーザ光が入力されている。光90度ハイブリッド221は、上記2つの入力ポートからの入力光を合成し、Q成分は光ファイバ接続線111-1に出力し、I成分は光ファイバ接続線111-2に出力する。

10

【0126】

光ファイバ接続線111-1、111-2は、それぞれフォトダイオード205-1、205-2に結合されている。ここで、入力光201を16値QAM変調された光信号とすると、フォトダイオード205-1、205-2から信号路122-1、122-2に、それぞれI成分の4値高速直列信号と、Q成分4値高速直列信号が出力される。

20

【0127】

Q成分(I成分)の4値高速直列信号は、図6に示した第1実施例の光受信器におけるフォトダイオード205の出力信号処理と同様、3組のクロック抽出・識別回路153-1~153-3(153-4~153-6)によって、3本の高速直列デジタル信号に変換され、分離回路155-1~155-3(155-4~155-6)と遅延制御バッファ回路105-1~105-3(105-4~105-6)を経て、Q成分(I成分)4値強度変調用の並列復号器211-1(211-2)で復号される。

【0128】

本実施例では、復号された4組の低速並列デジタル信号は、更にトレリス復号器222に入力され、3組の低速並列デジタル信号に変換されている。ここでは、16QAM信号を受信器について説明したが、本発明は、2値および多値のASK/FSK/PSK/QAMや、これらを組み合わせた光IQ受信器にも適用できる。また、90度光ハイブリッドの出力ポート数を4とし、フォトダイオード205をバランス光検出器に置き換えてもよい。

30

【0129】

本実施例によれば、遅延制御バッファ回路105-1~105-6での遅延量制御によって、光受信器の入力ファイバ202の端から復号器211-1、211-2までの間に存在する複数経路の信号伝播時間を等しくすることができる。

【実施例8】

【0130】

図20は、光DQPSK信号を差動受信する光受信器への本発明の適用例を示す。

本実施例では、入力ファイバ202から入力された受信光201は、光カプラ203で2つに信号光に分岐され、一方の信号光は、光ファイバ接続線111-1を通過して、検出位相を $+\pi/4$ に設定した差動光位相検波器206-1に入力され、他方の信号光は、光ファイバ接続線111-2を通過して、検出位相を $-\pi/4$ に設定した差動光位相検波器206-2に入力される。これらの差動光位相検波器206から電氣的に出力された高速直列の2値デジタル信号列は、それぞれ分離回路155-1、155-2と、遅延制御バッファ回路105-1、105-2を経て、差動位相変調/トレリス復号器223に入力される。

40

【0131】

50

本実施例では、遅延制御バッファ回路105-1、105-2によって、入力ファイバ202の端から復号器223までの間に存在する複数経路の遅延時間を等しくできるため、ファイバ202で並列転送されたビット情報を差動位相変調/トレリス復号器223に正しい位相で入力することが可能となる。

【実施例9】

【0132】

図21は、遅延制御バッファ回路105を適用した送信器用の半導体集積回路(IC)230の1例を示す。

ここに示したIC230は、それぞれ電氣的な低速並列デジタルデータ信号が供給される並列入力端子101~1-101-4と、これらの並列入力端子に接続された並列バッファ回路102-1~102-4と、これらの並列バッファ回路に接続されたプログラマブル符号器231と、それぞれ符号器231から出力される低速並列デジタルデータ信号について遅延制御を行う遅延制御バッファ回路105-1~105-4と、これらの遅延制御バッファ回路に接続された多重化回路(MUX)106-1~106-4と、各多重化回路から出力される電氣的な高速直列デジタル信号の出力端子107-1~4と、プロセッサ(CPU)174および不揮発性メモリ176とからなっている。

10

【0133】

本実施例では、低速並列データを対象として、符号器231による符号化処理と、遅延制御バッファ回路105による信号経路毎の遅延調整を行っているため、電気回路部の集積化が容易であり、プログラマブル符号器231を搭載することによって、汎用的な多値光変調用のICを提供できる。本実施例では、集積回路基板上に、遅延量制御のためのプロセッサ(CPU)174と、不揮発性メモリ176と、内部バス175-1および外部接続バス175-2、制御線125も集積化することによって、遅延量制御データのIC内部での保存と、IC端子を利用した外部からの遅延制御量の書き込み、送信器立ち上げ時の遅延制御バッファ回路105への遅延制御量の自動設定を可能としている。

20

【0134】

本実施例では、低速並列信号が供給される並列入力端子101の数と、高速信号が出力される端子107の数が同数になっているが、前述したトレリス符号器や多値ASK信号符号器のように、入出力の信号本数が異なってもよい。また、図21に示した回路機能は、必要に応じて、複数のICに分割してもよい。

30

【0135】

例えば、多重化回路106を外付けにした場合、低速回路のみを含むIC部分をFPGAや汎用ASICによって、容易に実現できる。また、並列バッファ102と符号器302を別ICにすることによって、符号化方式に依存しない汎用的な遅延調整用ICを提供できる。また、第4実施例で説明したように、多重化回路105に供給するクロックの位相を調整することによって遅延量を微調整する機能をICに搭載することも可能である。この場合、クロック位相制御用のパラメータを不揮発性メモリ176に記憶する代わりに、専用の制御端子を介して、外部から位相制御する構成にしてもよい。

【実施例10】

【0136】

図22は、遅延制御バッファ回路105を適用した受信器用の半導体集積回路(IC)232の1例を示す。

本実施例のICは、図19に示した光受信器において、分離回路155-1~115-6以降の電気回路部を集積化したものであり、入力となる電氣的な高速直列デジタル信号の入力端子および信号路107-1~107-6と、分離回路(DEMUX)155-1~155-6と、遅延制御バッファ回路105-1~105-6と、プログラマブル復号器233と、電氣的な低速並列のデジタルデータの出力端子156-1~156-4と、遅延量制御のためのプロセッサ(CPU)174と、不揮発性メモリ176と、内部および外部接続バス175-1、175-2と、制御線125とを含む。

40

【0137】

50

第 9 の実施例と同様に、本実施例の IC も、適宜、機能分割、機能追加が可能である。例えば、分離回路 155 を外付けにしたり、復号器 233 を別 IC にしたり、図 19 のクロック抽出・識別回路 154 を追加した構成としてもよい。

【0138】

以上の実施例で採用された遅延制御バッファ回路は、適用するバッファメモリの容量と遅延制御量の設定値によって、高速直列デジタル信号列における 1 ビット長から数千ビット長のオーダーで遅延量を調整できる。例えば、2000 ビット分の遅延制御は、デジタル信号列の送信レートが 10 Gbit/s の場合、約 40 m の配線長変更に相当するため、本発明によれば、光変調部に接続された複数の信号経路をもつ光送信器や、光復調部接続された複数の信号経路をもつ光受信器の設計において、内部光ファイバを含む経路長の均等化マージンを大きくでき、送受信器の配線設計が極めて容易になる。

10

【0139】

また、本発明で採用される遅延制御バッファ回路は、制御量設定値を変更することによって信号遅延量を自由に変更できるため、アナログ遅延線を採用した場合に起こる遅延線の長さ調整などの手間を省略して、光伝送装置の小型化に有効となる。

【図面の簡単な説明】

【0140】

【図 1】本発明を適用した光送信器の 1 実施例を示す構成図。

【図 2】図 1 の光送信器に適用される多値変調符号化を説明するための図。

【図 3】図 1 における 4 値位相変調並列符号器 103 の構成と機能を説明するための図。

20

【図 4】遅延制御バッファ回路 105 の実施例を示す構成図。

【図 5】図 1 の第 1、第 2 信号経路における信号タイミングチャート。

【図 6】本発明を適用した光受信器の 1 実施例を示す構成図。

【図 7】図 6 の光受信器における差動光位相検波器 206 の構成図。

【図 8】図 6 の光受信器における 4 値強度変調信号の識別動作と ASK 復号器 211 の動作を説明するための図。

【図 9】図 6 の光受信器に適用された遅延制御バッファ回路の機能を説明するための信号タイミングチャート。

【図 10】遅延量測定ルーチン 500 のフローチャート。

【図 11】本発明の光伝送装置を適用した光ネットワークの 1 例を示す図。

30

【図 12】遅延制御量設定ルーチン 300 のフローチャート。

【図 13】本発明を適用した波長多重光伝送装置からなる光ネットワークの 1 例を示す図。

【図 14】本発明を適用した光送信器の他の実施例を示す構成図。

【図 15】図 14 の実施例に適用される遅延制御量設定ルーチン 310 のフローチャート。

【図 16】図 14 の実施例に適用される遅延量微調整を説明するための信号タイミングチャート。

【図 17】本発明を適用した光送信器の更に他の実施例を示す構成図。

【図 18】本発明を適用した光送信器の更に他の実施例を示す構成図。

40

【図 19】本発明を適用した光受信器の他の実施例を示す構成図。

【図 20】本発明を適用した光受信器の更に他の実施例を示す構成図。

【図 21】本発明による光送信器用半導体集積回路の 1 実施例を示す図。

【図 22】本発明による光受信器用半導体集積回路の 1 実施例を示す図。

【図 23】従来光送信器の 1 例を示す構成図。

【図 24】図 23 における並列エラスティックバッファ 102 の構成図。

【図 25】従来光受信器の 1 例を示す構成図。

【符号の説明】

【0141】

100：光送信器、101：低速並列デジタル信号の入力端子、102：並列エラスティ

50

ックバッファ回路、103：4値位相変調用符号器、104：4値強度変調用符号器、105：遅延制御バッファ回路、106：多重化回路、107：高速直列デジタル信号路、108：半導体レーザ、109：光位相変調器、110：光強度変調器、111：光ファイバ接続線、112：出力光ファイバ、113：出力光、114：信号経路、115、116：低速並列デジタル信号路、120：2倍化回路、121：加算回路、123：CPU、124：I2Cバス、125：バッファ回路の遅延量設定回線、126：グレイ符号器、134：アドレスカウンタ、125：遅延量設定端子、136：遅延量設定レジスタ、137：減算器、131：1024ビットメモリ、160：光伝送装置、162：スイッチ回路、163：制御回路、164：光ファイバ伝送路、165：波長多重光伝送装置、166：光波長合波器、167：光波長分波器、168：アッド信号、169：ドロップ信号、170：FEC並列符号器、171：駆動回路、172：両相駆動変調器、173：変調信号入力端子、174：CPU、175：通信用バス、176：不揮発性メモリ、180：クロック発生器、181：可変位相調整器、182：クロック供給線、183：トレリス符号器、190：光IQ変調器、191：スプリッタ、192：反転駆動回路、193：光カプラ、194：両相MZ光変調部、195：光移相器、196：4値差動位相変調用並列符号器、200：光受信器、201：入力光、202：入力光ファイバ、203：光カプラ、204：光ファイバアンプ、205：フォトダイオード、206：差動光位相検波器、211：4値強度変調用並列復号器、212：4値位相変調用並列符号器、213：1ビット遅延干渉計、214：1ビット遅延回路、215：バランス光受信器、220：局発光源、221：光90度ハイブリッド回路、222：トレリス復号器、223：差動位相変調/トレリス復号器、230：光送信器用IC、231：プログラマブル符号器、232：光受信器用IC、233：プログラマブル復号器。

10
20

【図1】

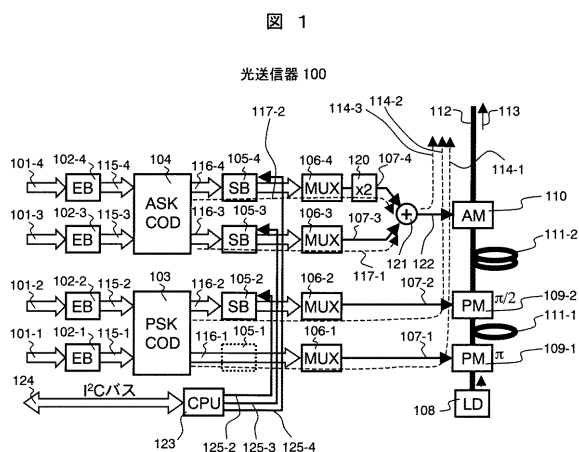


図 1

【図2】

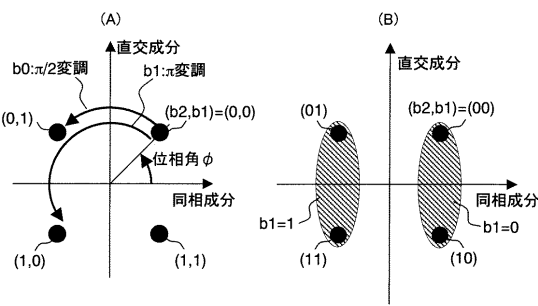


図 2

【図3】

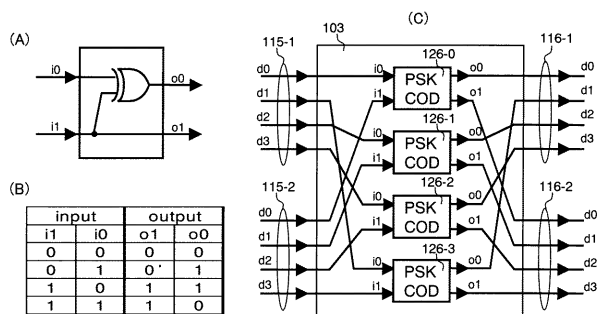
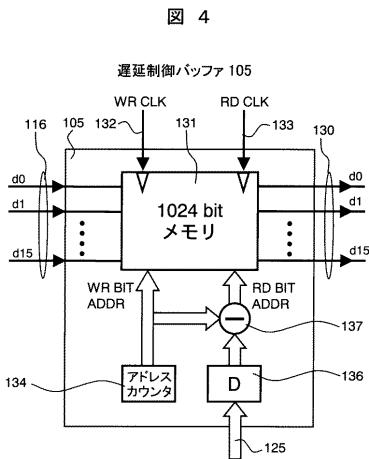
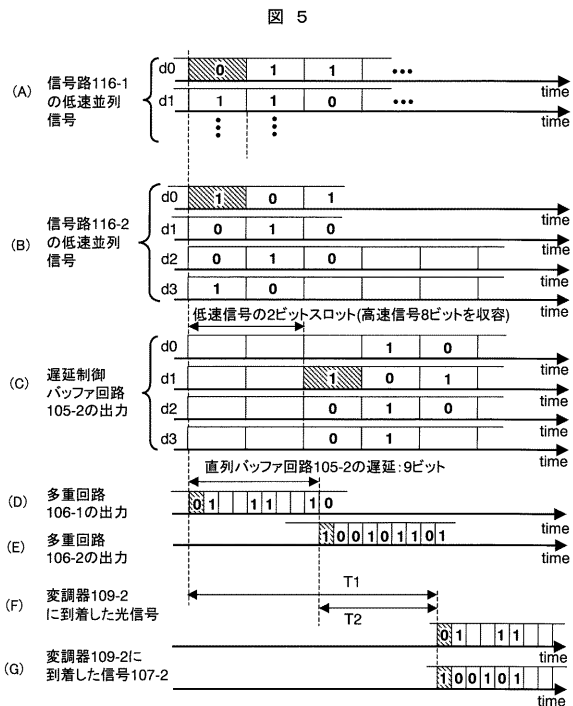


図 3

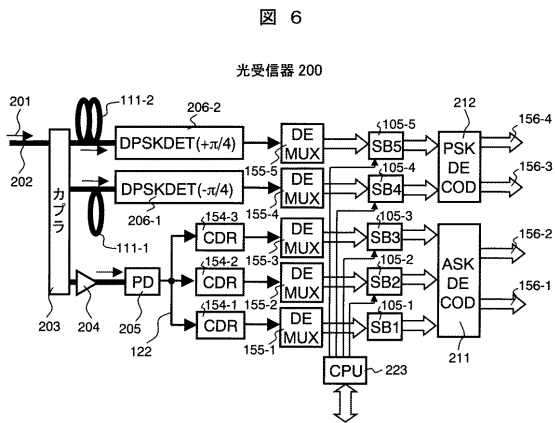
【 図 4 】



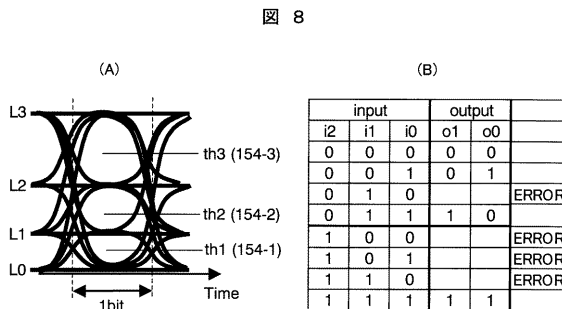
【 図 5 】



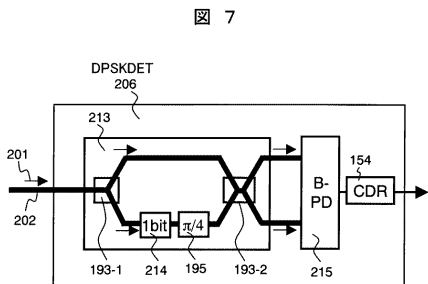
【 図 6 】



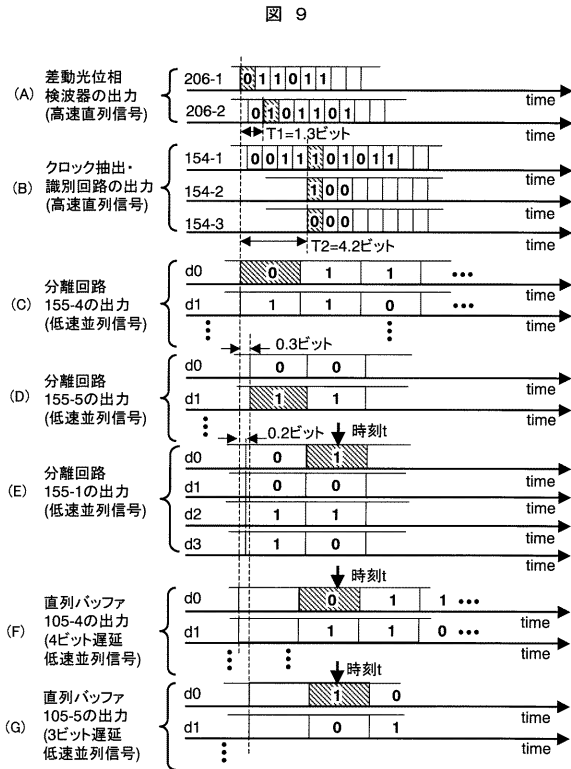
【 図 8 】



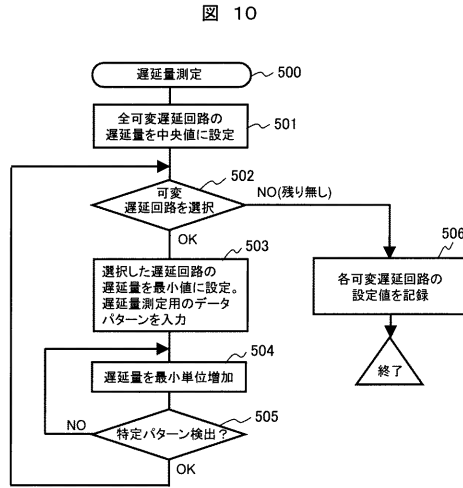
【 図 7 】



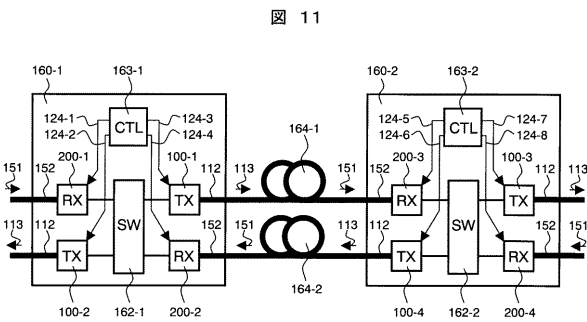
【 図 9 】



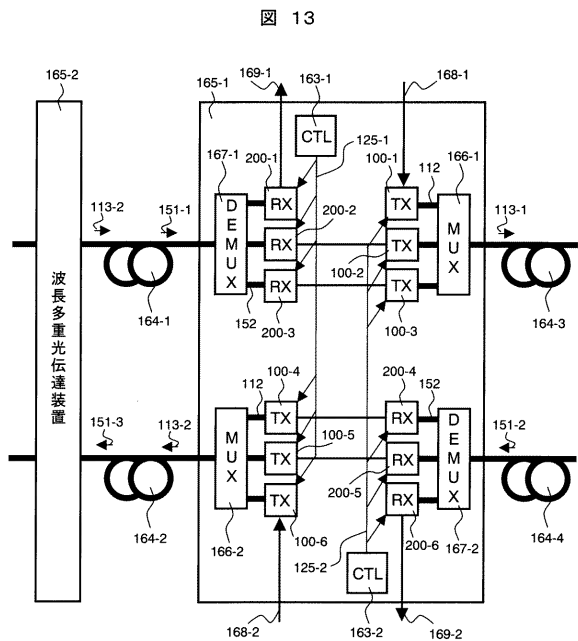
【 図 1 0 】



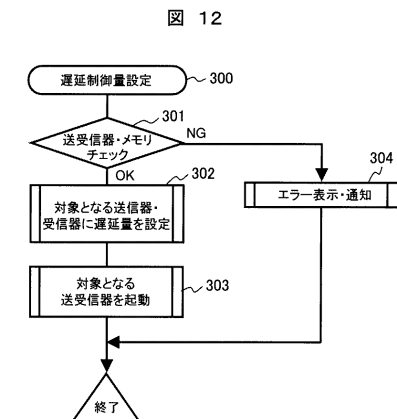
【 図 1 1 】



【 図 1 3 】



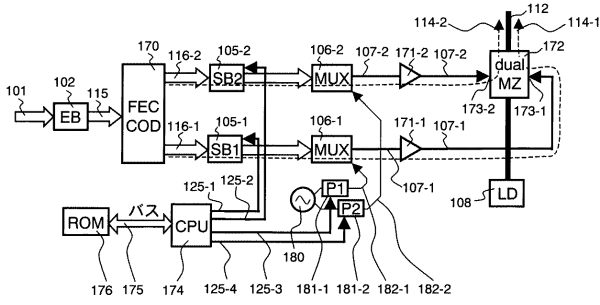
【 図 1 2 】



【 図 1 4 】

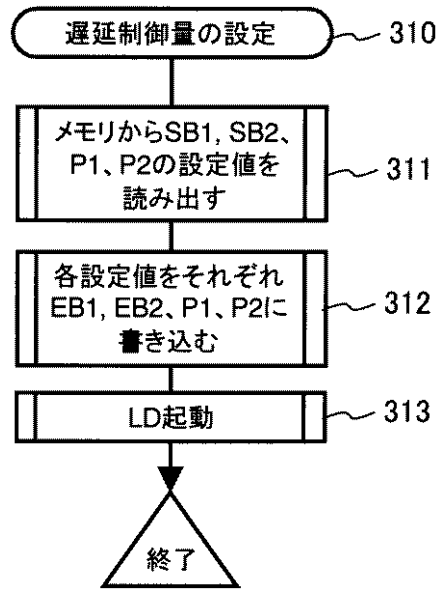
図 14

光送信器 100



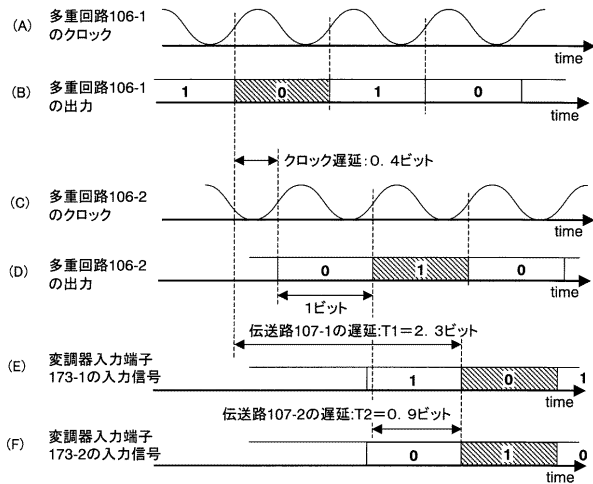
【 図 1 5 】

図 15



【 図 1 6 】

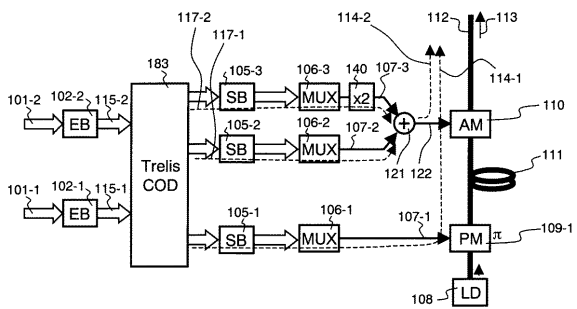
図 16



【 図 1 7 】

図 17

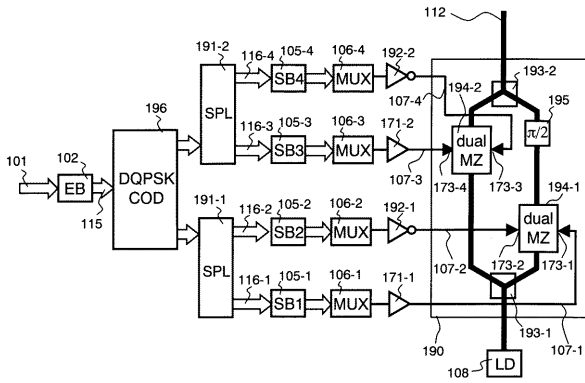
光送信器 100



【 図 1 8 】

図 18

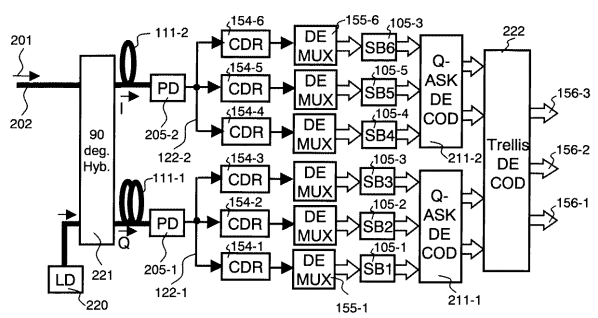
光送信器 100



【 図 1 9 】

図 19

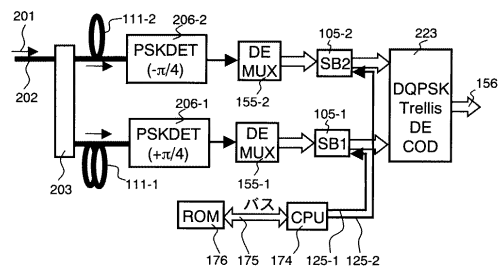
光受信器 200



【 図 2 0 】

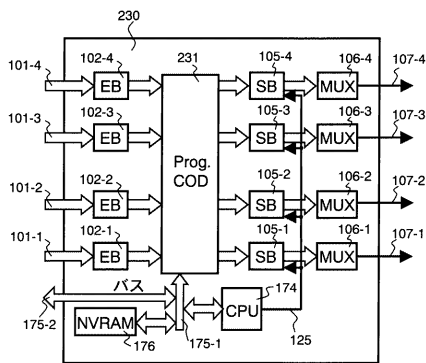
図 20

光受信器 200



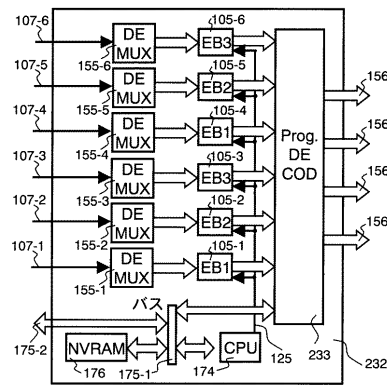
【 図 2 1 】

図 21



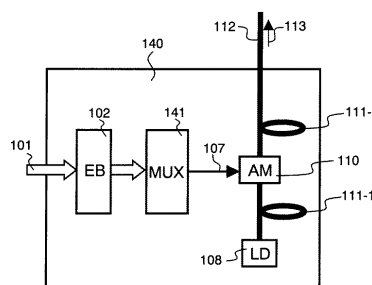
【 図 2 2 】

図 22



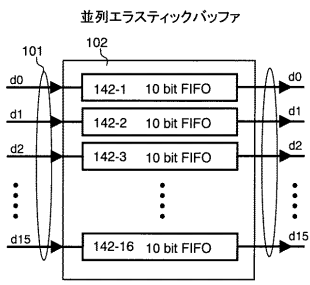
【 図 2 3 】

図 23



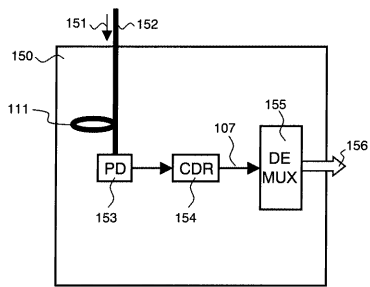
【 図 2 4 】

図 24



【 図 2 5 】

図 25



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

H 0 4 J 14/02 (2006.01)

H 0 4 L 27/34 (2006.01)

H 0 4 B 10/14 (2006.01)

H 0 4 B 10/26 (2006.01)

H 0 4 B 10/28 (2006.01)

Fターム(参考) 5K102 AA61 AA63 AA69 AD01 AH02 AH23 AH24 AH26 AH27 AH30
AH31 MA01 MB04 MB12 MB18 MC26 MC29 MH02 MH27 PH02
PH37 PH47 PH48 PH49 PH50 RB01 RD04 RD27 RD28