

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02018/220879

発行日 令和1年11月7日(2019.11.7)

(43) 国際公開日 平成30年12月6日(2018.12.6)

(51) Int.Cl.	F I	テーマコード(参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 J	5 F 0 4 8
HO 1 L 29/739 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 29/861 (2006.01)	HO 1 L 29/78 6 5 2 C	
HO 1 L 29/868 (2006.01)	HO 1 L 29/78 6 5 7 D	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 5 A	

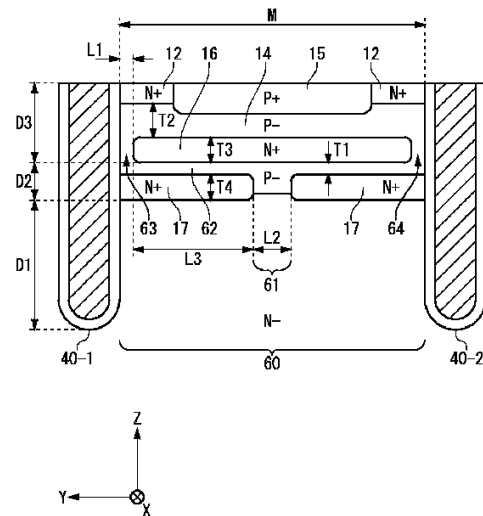
審査請求 有 予備審査請求 未請求 (全 49 頁) 最終頁に続く

出願番号 特願2019-521942 (P2019-521942)	(71) 出願人 000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号
(21) 国際出願番号 PCT/JP2017/038825	(74) 代理人 110000877 龍華国際特許業務法人
(22) 国際出願日 平成29年10月26日(2017.10.26)	(72) 発明者 内藤 達也 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内
(31) 優先権主張番号 特願2017-107702 (P2017-107702)	Fターム(参考) 5F048 AA05 AC06 AC10 BA01 BA14 BA15 BB01 BB02 BB05 BB11 BB19 BC02 BC03 BC12 BD07 BE09 BF02 BF03 BF07 BF15 BF16 BF18 CB07
(32) 優先日 平成29年5月31日(2017.5.31)	
(33) 優先権主張国・地域又は機関 日本国(JP)	最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

第1導電型のドリフト領域を有する半導体基板と、半導体基板の上面から半導体基板の内部まで設けられた第1のトレンチ部と、半導体基板の上面とドリフト領域との間において第1のトレンチ部と隣接して設けられた第2導電型のベース領域と、ベース領域とドリフト領域との間に設けられ、ドリフト領域よりもドーピング濃度の高い第1導電型の第1の蓄積領域と、第1の蓄積領域より深い位置に設けられた、ドリフト領域よりもドーピング濃度の高い第1導電型の第2の蓄積領域と、第1の蓄積領域と第2の蓄積領域との間に設けられた第2導電型の中間領域とを備え、第2の蓄積領域は、第1の蓄積領域より深い位置に設けられた第1の開口部を有する半導体装置を提供する。



【特許請求の範囲】**【請求項 1】**

第 1 導電型のドリフト領域を有する半導体基板と、
前記半導体基板の上面から前記半導体基板の内部まで設けられた第 1 のトレンチ部と、
前記半導体基板の上面と前記ドリフト領域との間において前記第 1 のトレンチ部と隣接して設けられた第 2 導電型のベース領域と、
前記ベース領域と前記ドリフト領域との間に設けられ、前記ドリフト領域よりもドーピング濃度の高い第 1 導電型の第 1 の蓄積領域と、
前記第 1 の蓄積領域より深い位置に設けられた、前記ドリフト領域よりもドーピング濃度の高い第 1 導電型の第 2 の蓄積領域と、
前記第 1 の蓄積領域と前記第 2 の蓄積領域との間に設けられた第 2 導電型の中間領域とを備え、
前記第 2 の蓄積領域は、前記第 1 の蓄積領域より深い位置に設けられた第 1 の開口部を有する半導体装置。

10

【請求項 2】

前記第 1 の蓄積領域は、前記第 1 のトレンチ部との間に第 1 の間隙を有する請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 の蓄積領域は、前記半導体基板の深さ方向において前記第 1 の間隙と重なって設けられ、

20

前記第 1 の開口部は前記第 1 の間隙と重ならない位置に設けられる請求項 2 に記載の半導体装置。

【請求項 4】

前記半導体基板の上面から前記半導体基板の内部まで設けられ、且つ、前記第 1 のトレンチ部と対向する第 2 のトレンチ部を更に備え、

前記第 1 の蓄積領域は、前記第 2 のトレンチ部との間に第 2 の間隙を有し、

前記第 2 の蓄積領域は、前記半導体基板の深さ方向において前記第 2 の間隙と重って設けられ、

前記第 1 の開口部は、前記半導体基板の深さ方向において前記第 2 の間隙と重ならない位置に設けられている

30

請求項 3 に記載の半導体装置。

【請求項 5】

前記第 1 のトレンチ部はゲートトレンチ部であり、

前記半導体基板の上面と前記ベース領域との間において前記第 1 のトレンチ部と隣接して設けられ、前記ドリフト領域よりもドーピング濃度の高い第 1 導電型のエミッタ領域を更に備える

請求項 4 に記載の半導体装置。

【請求項 6】

前記半導体基板の内部において前記第 1 のトレンチ部および前記第 2 のトレンチ部に挟まれた領域をメサ部とし、前記第 1 のトレンチ部および前記第 2 のトレンチ部を結ぶ方向をメサ幅方向とした場合に、

40

前記メサ幅方向において、前記第 1 の開口部の幅が、前記第 2 の蓄積領域の幅よりも小さい

請求項 4 または 5 に記載の半導体装置。

【請求項 7】

前記第 1 の開口部が、前記メサ部の前記メサ幅方向における中央を含むように配置されている

請求項 6 に記載の半導体装置。

【請求項 8】

前記中間領域は、前記半導体基板の深さ方向において前記第 1 の開口部と重なる

50

請求項 1 から 7 のいずれか一項に記載の半導体装置。

【請求項 9】

前記中間領域は、前記第 1 の開口部の内部にも設けられている

請求項 8 に記載の半導体装置。

【請求項 10】

前記中間領域は、前記第 1 の開口部を通して、前記第 2 の蓄積領域よりも下側に突出して設けられている

請求項 8 または 9 に記載の半導体装置。

【請求項 11】

前記中間領域は、前記半導体基板の深さ方向において前記第 1 の開口部と重ならないように配置されている

請求項 1 から 7 のいずれか一項に記載の半導体装置。

【請求項 12】

前記第 1 の蓄積領域は、前記第 1 の開口部と重なる領域に、第 2 の開口部を有する

請求項 1 から 11 のいずれか一項に記載の半導体装置。

【請求項 13】

前記メサ幅方向において、前記第 1 の間隙の幅を L_1 とし、前記メサ部の幅を M とした場合に、

$$0 < L_1 / M < 0.1$$

である請求項 6 または 7 に記載の半導体装置。

【請求項 14】

前記第 1 のトレンチ部は、前記半導体基板の上面において予め定められた延伸方向に沿って延伸して設けられ、

前記第 1 のトレンチ部は、前記延伸方向と垂直な断面において、側壁が直線状に形成された上側部分と、前記上側部分の下側に設けられ側壁が曲線状に形成された下側部分とを有し、

前記延伸方向と垂直な断面において、前記第 1 のトレンチ部の下側部分の上端と、前記中間領域とを、前記第 2 の蓄積領域を通過せずに結ぶ最短経路の距離を X とし、前記メサ部の幅を M とした場合に、

$$M / 2 < X$$

である請求項 6 または 7 に記載の半導体装置。

【請求項 15】

前記メサ幅方向において、前記第 1 の間隙の幅を L_1 とし、前記第 1 の開口部の幅を L_2 とした場合に、

$$L_1 < L_2$$

である請求項 6 または 7 に記載の半導体装置。

【請求項 16】

前記メサ幅方向において、前記第 1 の間隙および前記第 1 の開口部の間の距離を L_3 とし、前記メサ部の幅を M とした場合に、

$$0.9 \times M / 2 < L_3$$

である請求項 6 または 7 に記載の半導体装置。

【請求項 17】

前記メサ幅方向における前記第 1 の開口部の幅が、前記半導体基板の上面と垂直な深さ方向における前記中間領域の厚みより大きい

請求項 6 または 7 に記載の半導体装置。

【請求項 18】

前記半導体基板の上面と垂直な深さ方向において、前記エミッタ領域の下側に設けられた前記ベース領域の厚みが、前記中間領域の厚みより大きい

請求項 5 に記載の半導体装置。

【請求項 19】

10

20

30

40

50

前記半導体基板の上面と垂直な深さ方向において、前記第 1 の蓄積領域の厚みが、前記中間領域の厚みより大きい

請求項 1 から 1 8 のいずれか一項に記載の半導体装置。

【請求項 2 0】

前記半導体基板の上面と垂直な深さ方向において、前記第 2 の蓄積領域の厚みが、前記中間領域の厚みより大きい

請求項 1 から 1 9 のいずれか一項に記載の半導体装置。

【請求項 2 1】

前記半導体基板は、前記ゲートレンチ部を含むトランジスタ部と、ダイオードが形成されたダイオード部とを含み、

前記ダイオード部は、前記半導体基板の上面から前記半導体基板の内部まで設けられたダミートレンチ部を複数有し、

前記ダイオード部の前記半導体基板の内部において前記ダミートレンチ部に挟まれた領域をメサ部とした場合に、前記ダイオード部の前記メサ部は、前記ベース領域、前記第 1 の蓄積領域、前記第 2 の蓄積領域および前記中間領域を有する

請求項 5 に記載の半導体装置。

【請求項 2 2】

前記半導体基板は、前記トランジスタ部と、前記ダイオード部との間に配置された境界メサ部を更に備え、

前記境界メサ部は、前記ベース領域、前記第 1 の蓄積領域、前記第 2 の蓄積領域および前記中間領域を有し、

前記境界メサ部における前記第 1 の開口部の幅は、前記トランジスタ部のいずれかの前記メサ部における前記第 1 の開口部の幅よりも大きい

請求項 2 1 に記載の半導体装置。

【請求項 2 3】

前記ダイオード部の前記メサ部における前記第 1 の開口部の幅は、前記トランジスタ部の前記メサ部における前記第 1 の開口部の幅よりも大きい

請求項 2 1 または 2 2 に記載の半導体装置。

【請求項 2 4】

前記半導体基板の下面に配置されたコレクタ電極と、

前記トランジスタ部の前記半導体基板の内部に設けられ、前記コレクタ電極と電氣的に接続されている第 2 導電型のコレクタ領域と、

前記ダイオード部の前記半導体基板の内部に設けられ、前記コレクタ電極と電氣的に接続されている第 1 導電型のカソード領域と、

前記半導体基板の内部において、前記カソード領域の上方に形成され、前記コレクタ電極と接触していない、第 2 導電型のフローティング領域と

を更に備える請求項 2 1 から 2 3 のいずれか一項に記載の半導体装置。

【請求項 2 5】

前記フローティング領域は第 3 の開口部を有し、

前記第 3 の開口部は、前記ダイオード部の前記第 2 の蓄積領域に設けられた前記第 1 の開口部と重なる位置に配置されている

請求項 2 4 に記載の半導体装置。

【請求項 2 6】

前記ダイオード部の前記第 2 の蓄積領域に設けられた前記第 1 の開口部の個数は、前記トランジスタ部の前記第 2 の蓄積領域に設けられた前記第 1 の開口部の個数よりも多い

請求項 2 1 から 2 5 のいずれか一項に記載の半導体装置。

【請求項 2 7】

前記半導体基板の内部において 2 つの前記ダミートレンチ部に挟まれた領域をメサ部とし、2 つの前記ダミートレンチ部を結ぶ方向をメサ幅方向とした場合に、

前記ダイオード部の前記第 2 の蓄積領域において、前記メサ幅方向に沿って複数の前記

10

20

30

40

50

第 1 の開口部が配置されている

請求項 26 に記載の半導体装置。

【請求項 28】

前記ダイオード部の前記第 2 の蓄積領域において前記メサ幅方向に沿って配置された複数の前記第 1 の開口部のうち、前記ダミートレンチ部に最も近い前記第 1 の開口部の幅が、前記ダミートレンチ部から最も離れた前記第 1 の開口部の幅より大きい

請求項 27 に記載の半導体装置。

【請求項 29】

前記ダイオード部の前記メサ部における前記半導体基板の上面には、前記メサ幅方向とは垂直な方向に沿って第 2 導電型のコンタクト領域と、前記コンタクト領域よりも正孔の移動度が小さい調整領域とが交互に配置され、

前記ダイオード部の前記第 2 の蓄積領域において前記メサ幅方向に沿って配置された複数の前記第 1 の開口部のうち、前記ダミートレンチ部に最も近い前記第 1 の開口部は、前記コンタクト領域と重なるように、前記メサ幅方向と垂直な方向に沿って離散的に配置されている

請求項 27 または 28 に記載の半導体装置。

【請求項 30】

前記半導体基板は、ダイオードが形成されたダイオード部を更に備え、

前記ダイオード部は、

前記ベース領域と、

前記第 1 の蓄積領域と、

前記第 2 の蓄積領域と、

前記中間領域と、

前記ベース領域と接して、且つ、前記半導体基板の上面から前記ドリフト領域まで形成された、前記ベース領域よりもドーピング濃度の高い第 2 導電型のピラー領域と

を有する請求項 1 から 20 のいずれか一項に記載の半導体装置。

【請求項 31】

前記半導体基板の上面において、前記ピラー領域は、前記ドリフト領域よりもドーピング濃度の高い高濃度領域に挟まれている

請求項 30 に記載の半導体装置。

【請求項 32】

前記半導体基板の深さ方向における前記ピラー領域のドーピング濃度分布は複数のピークを有する

請求項 30 または 31 に記載の半導体装置。

【請求項 33】

前記ピラー領域の前記ドーピング濃度分布が極小値となる深さ位置は、前記第 2 の蓄積領域とは重ならない

請求項 32 に記載の半導体装置。

【請求項 34】

前記ピラー領域のドーピング濃度のピーク値は、 $5.0 \times 10^{17} / \text{cm}^3$ 以上、 $1.0 \times 10^{20} / \text{cm}^3$ 以下である

請求項 30 から 33 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

従来、絶縁ゲート型バイポーラトランジスタ (IGBT) 等の半導体装置において、チャンネルとして機能する P 型のベース領域の下に、高濃度の N 型領域を設ける構成が知られ

10

20

30

40

50

ている（例えば、特許文献 1 参照）。また、おもて面側に $n +$ ソース層とトレンチを備えた逆導通 IGBT (RC IGBT) が知られている（例えば、特許文献 2 参照）。

特許文献 1 特開 2014 - 197702 号公報

特許文献 2 特開平 11 - 97715 号公報

【解決しようとする課題】

【0003】

半導体装置は、耐圧等の特性がよいことが好ましい。

【一般的開示】

【0004】

上記課題を解決するために、本発明の一つの態様においては、第 1 導電型のドリフト領域を有する半導体基板を備える半導体装置を提供する。半導体装置は、半導体基板の上面から前記半導体基板の内部まで設けられた第 1 のトレンチ部を備えてよい。半導体装置は、半導体基板の上面とドリフト領域との間において第 1 のトレンチ部と隣接して設けられた第 2 導電型のベース領域を備えてよい。半導体装置は、ベース領域とドリフト領域との間に設けられ、ドリフト領域よりもドーピング濃度の高い第 1 導電型の第 1 の蓄積領域を備えてよい。半導体装置は、第 1 の蓄積領域より深い位置に設けられた、ドリフト領域よりもドーピング濃度の高い第 1 導電型の第 2 の蓄積領域を備えてよい。半導体装置は、第 1 の蓄積領域と第 2 の蓄積領域との間に設けられた第 2 導電型の中間領域を備えてよい。第 2 の蓄積領域は、第 1 の蓄積領域より深い位置に設けられた第 1 の開口部を有してよい。

10

20

【0005】

第 1 の蓄積領域は、第 1 のトレンチ部との間に第 1 の間隙を有してよい。第 2 の蓄積領域は、半導体基板の深さ方向において第 1 の間隙と重なって設けられてよい。第 1 の開口部は第 1 の間隙と重ならない位置に設けられてよい。

【0006】

半導体装置は、半導体基板の上面から半導体基板の内部まで設けられ、且つ、第 1 のトレンチ部と対向する第 2 のトレンチ部を備えてよい。第 1 の蓄積領域は、第 2 のトレンチ部との間に第 2 の間隙を有してよい。第 2 の蓄積領域は、半導体基板の深さ方向において第 2 の間隙と重なって設けられてよい。第 1 の開口部は、半導体基板の深さ方向において第 2 の間隙と重ならない位置に設けられていてよい。

30

【0007】

第 1 のトレンチ部はゲートトレンチ部であってよい。半導体装置は、半導体基板の上面とベース領域との間において第 1 のトレンチ部と隣接して設けられ、ドリフト領域よりもドーピング濃度の高い第 1 導電型のエミッタ領域を備えてよい。

【0008】

半導体基板の内部において第 1 のトレンチ部および第 2 のトレンチ部に挟まれた領域をメサ部としてよい。第 1 のトレンチ部および第 2 のトレンチ部を結ぶ方向をメサ幅方向としてよい。メサ幅方向において、第 1 の開口部の幅が、第 2 の蓄積領域の幅よりも小さくしてよい。

【0009】

第 1 の開口部が、メサ部のメサ幅方向における中央を含むように配置されていてよい。中間領域は、半導体基板の深さ方向において第 1 の開口部と重なってよい。中間領域は、第 1 の開口部の内部にも設けられていてよい。

40

【0010】

中間領域は、第 1 の開口部を通過して、第 2 の蓄積領域よりも下側に突出して設けられていてよい。中間領域は、半導体基板の深さ方向において第 1 の開口部と重ならないように配置されていてよい。第 1 の蓄積領域は、第 1 の開口部と重なる領域に、第 2 の開口部を有してよい。

【0011】

メサ幅方向において、第 1 の間隙の幅を L_1 とし、メサ部の幅を M とした場合に、 $0 <$

50

$L1 / M = 0.1$ であってよい。第1のトレンチ部は、半導体基板の上面において予め定められた延伸方向に沿って延伸して設けられてよい。第1のトレンチ部は、延伸方向と垂直な断面において、側壁が直線状に形成された上側部分を有してよい。第1のトレンチ部は、上側部分の下側に設けられ側壁が曲線状に形成された下側部分を有してよい。延伸方向と垂直な断面において、第1のトレンチ部の下側部分の上端と、中間領域とを、第2の蓄積領域を通過せずに結ぶ最短経路の距離を X とし、メサ部の幅を M とした場合に、 $M / 2 < X$ であってよい。

【0012】

メサ幅方向において、第1の間隙の幅を $L1$ とし、第1の開口部の幅を $L2$ とした場合に、 $L1 < L2$ であってよい。メサ幅方向において、第1の間隙および第1の開口部の間の距離を $L3$ とし、メサ部の幅を M とした場合に、 $0.9 \times M / 2 < L3$ であってよい。

10

【0013】

メサ幅方向における第1の開口部の幅が、半導体基板の上面と垂直な深さ方向における中間領域の厚みより大きくてよい。半導体基板の上面と垂直な深さ方向において、エミッタ領域の下側に設けられたベース領域の厚みが、中間領域の厚みより大きくてよい。

【0014】

半導体基板の上面と垂直な深さ方向において、第1の蓄積領域の厚みが、中間領域の厚みより大きくてよい。半導体基板の上面と垂直な深さ方向において、第2の蓄積領域の厚みが、中間領域の厚みより大きくてよい。

【0015】

半導体基板は、ゲートトレンチ部を含むトランジスタ部と、ダイオードが形成されたダイオード部とを含んでよい。ダイオード部は、半導体基板の上面から半導体基板の内部まで設けられたダミートレンチ部を複数有してよい。ダイオード部の半導体基板の内部においてダミートレンチ部に挟まれた領域をメサ部とした場合に、ダイオード部のメサ部は、ベース領域、第1の蓄積領域、第2の蓄積領域および中間領域を有してよい。

20

【0016】

半導体基板は、トランジスタ部と、ダイオード部との間に配置された境界メサ部を備えてよい。境界メサ部は、ベース領域、第1の蓄積領域、第2の蓄積領域および中間領域を有してよい。境界メサ部における第1の開口部の幅は、トランジスタ部のいずれかのメサ部における第1の開口部の幅よりも大きくてよい。ダイオード部のメサ部における第1の開口部の幅は、トランジスタ部のメサ部における第1の開口部の幅よりも大きくてよい。

30

【0017】

半導体装置は、半導体基板の下面に配置されたコレクタ電極を備えてよい。半導体装置は、トランジスタ部の半導体基板の内部に設けられ、コレクタ電極と電気的に接続されている第2導電型のコレクタ領域を備えてよい。半導体装置は、ダイオード部の半導体基板の内部に設けられ、コレクタ電極と電気的に接続されている第1導電型のカソード領域を備えてよい。半導体装置は、半導体基板の内部において、カソード領域の上方に形成され、コレクタ電極と接触していない、第2導電型のフローティング領域を備えてよい。

【0018】

フローティング領域は第3の開口部を有してよい。第3の開口部は、ダイオード部の第2の蓄積領域に設けられた第1の開口部と重なる位置に配置されていてよい。ダイオード部の第2の蓄積領域に設けられた第1の開口部の個数は、トランジスタ部の第2の蓄積領域に設けられた第1の開口部の個数よりも多くてよい。

40

【0019】

半導体基板の内部において2つのダミートレンチ部に挟まれた領域をメサ部としてよい。2つのダミートレンチ部を結ぶ方向をメサ幅方向としてよい。ダイオード部の第2の蓄積領域において、メサ幅方向に沿って複数の第1の開口部が配置されていてよい。

【0020】

ダイオード部の第2の蓄積領域においてメサ幅方向に沿って配置された複数の第1の開口部のうち、ダミートレンチ部に最も近い第1の開口部の幅が、ダミートレンチ部から最

50

も離れた第1の開口部の幅より大きくてよい。

【0021】

ダイオード部のメサ部における半導体基板の上面には、メサ幅方向とは垂直な方向に沿って第2導電型のコンタクト領域と、コンタクト領域よりも正孔の移動度が小さい調整領域とが交互に配置されてよい。ダイオード部の第2の蓄積領域においてメサ幅方向に沿って配置された複数の第1の開口部のうち、ダミートレンチ部に最も近い第1の開口部は、コンタクト領域と重なるように、メサ幅方向と垂直な方向に沿って離散的に配置されてよい。

【0022】

半導体基板は、ダイオードが形成されたダイオード部を更に備えてよい。ダイオード部は、ベース領域を有してよい。ダイオード部は、第1の蓄積領域を有してよい。ダイオード部は、第2の蓄積領域を有してよい。ダイオード部は、中間領域を有してよい。ダイオード部は、ベース領域と接して、且つ、半導体基板の上面からドリフト領域まで形成された、ベース領域よりもドーピング濃度の高い第2導電型のピラー領域を有してよい。

10

【0023】

半導体基板の上面において、ピラー領域は、ドリフト領域よりもドーピング濃度の高い高濃度領域に挟まれていてよい。半導体基板の深さ方向におけるピラー領域のドーピング濃度分布は複数のピークを有してよい。

【0024】

ピラー領域のドーピング濃度分布が極小値となる深さ位置は、第2の蓄積領域とは重ならなくてよい。ピラー領域のドーピング濃度のピーク値は、 $5.0 \times 10^{17} / \text{cm}^3$ 以上、 $1.0 \times 10^{20} / \text{cm}^3$ 以下であってよい。

20

【0025】

なお、上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

【図面の簡単な説明】

【0026】

【図1】本発明の実施形態に係る半導体装置100の上面を部分的に示す図である。

【図2】トランジスタ部70、ダイオード部80および境界部90におけるメサ部60を拡大して示す上面図である。

30

【図3】図1のa-a断面における半導体装置100の構造の一例を示す図である。

【図4】メサ部60のYZ断面の拡大図である。

【図5】メサ部60のYZ断面の他の例の拡大図である。

【図6】メサ部60のYZ断面の他の例の拡大図である。

【図7】メサ部60のYZ断面の他の例の拡大図である。

【図8】図1のa-a断面における半導体装置100の構造の他の例を示す図である。

【図9】半導体装置100の上面の他の例を示す図である。

【図10】図9におけるa-a断面を示す図である。

【図11】図9におけるa-a断面の他の例を示す図である。

【図12】図9におけるa-a断面の他の例を示す図である。

40

【図13】メサ部60のYZ断面の他の例の拡大図である。

【図14】半導体装置100におけるa-a断面の他の例を示す図である。

【図15】半導体装置100におけるa-a断面の他の例を示す図である。

【図16】図14に示した半導体装置100の動作例を説明する図である。

【図17】図14に示した半導体装置100の動作例を説明する図である。

【図18】半導体装置100におけるa-a断面の他の例を示す図である。

【図19】半導体装置100の上面の他の例を示す図である。

【図20】図19に示した半導体装置100のトランジスタ部70、ダイオード部80および境界部90におけるメサ部60を拡大して示す上面図である。

【図21】図20に示したダイオード部80のメサ部60におけるb-b断面の一例を示

50

す図である。

【図 2 2】ダイオード部 8 0 のメサ部 6 0 の上面における、第 1 の開口部 6 1 の配置例を示す図である。

【図 2 3】トランジスタ部 7 0、ダイオード部 8 0 および境界部 9 0 におけるメサ部 6 0 の上面構造の他の例を示す図である。

【図 2 4】半導体装置 1 0 0 の b - b 断面の他の例を示す図である。

【図 2 5】半導体装置 1 0 0 の上面構造の他の例を示す図である。

【図 2 6】図 2 5 における a - a 断面の一例を示す図である。

【図 2 7】トランジスタ部 7 0 のメサ部 6 0 と、ピラー領域 2 6 の Z 軸方向におけるドーピング濃度分布の一例を示す図である。

10

【図 2 8】図 2 5 における a - a 断面の他の例を示す図である。

【図 2 9】図 2 5 における a - a 断面の他の例を示す図である。

【図 3 0】半導体装置 1 0 0 の上面構造の他の例を示す図である。

【図 3 1】図 3 0 における a - a 断面の一例を示す図である。

【図 3 2】本発明の実施形態に係る半導体装置 2 0 0 の一例の Y Z 断面を示す図である。

【図 3 3】本発明の実施形態に係る半導体装置 3 0 0 の一例の Y Z 断面を示す図である。

【発明を実施するための形態】

【0027】

以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

20

【0028】

本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の 2 つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は重力方向、または、半導体装置の実装時における基板等への取り付け方向に限定されない。

【0029】

本明細書では、X 軸、Y 軸および Z 軸の直交座標軸を用いて技術的事項を説明する場合がある。本明細書では、半導体基板の上面と平行な面を X Y 面とし、半導体基板の上面と垂直な深さ方向を Z 軸とする。

30

【0030】

各実施例においては、第 1 導電型を N 型、第 2 導電型を P 型とした例を示しているが、第 1 導電型を P 型、第 2 導電型を N 型としてもよい。この場合、各実施例における基板、層、領域等の導電型は、それぞれ逆の極性となる。

【0031】

本明細書においてドーピング濃度とは、ドナーまたはアクセプタ化した不純物の濃度を指す。本明細書において、ドナーおよびアクセプタの濃度差をドーピング濃度とする場合がある。また、ドーピング領域におけるドーピング濃度分布のピーク値を、当該ドーピング領域におけるドーピング濃度とする場合がある。

【0032】

40

図 1 は、本発明の実施形態に係る半導体装置 1 0 0 の上面を部分的に示す図である。本例の半導体装置 1 0 0 は、トランジスタ部 7 0 およびダイオード部 8 0 を備える半導体チップである。トランジスタ部 7 0 は、IGBT 等のトランジスタを含む。ダイオード部 8 0 は、半導体基板の上面においてトランジスタ部 7 0 と隣接して設けられ、FWD (Free Wheel Diode) 等のダイオードを含む。図 1 においてはチップ端部周辺のチップ上面を示しており、他の領域を省略している。

【0033】

半導体基板の上面においてトランジスタ部 7 0 およびダイオード部 8 0 は、所定の配列方向 (図 1 の例では Y 軸方向) に沿って交互に配列されてよい。また、半導体装置 1 0 0 は、半導体基板の上面においてトランジスタ部 7 0 およびダイオード部 8 0 の境界に配置

50

された境界部 90 を更に備えてよい。

【0034】

図1においては半導体装置100における半導体基板の活性領域を示すが、半導体装置100は、活性領域を囲んでエッジ終端構造部を有してよい。活性領域は、半導体装置100をオン状態に制御した場合に電流が流れる領域を指す。エッジ終端構造部は、半導体基板の上面側の電界集中を緩和する。エッジ終端構造部は、例えばガードリング、フィールドプレート、リサーフおよびこれらを組み合わせた構造を有する。

【0035】

本例の半導体装置100は、半導体基板の内部に設けられ、且つ、半導体基板の上面に露出するゲートトレンチ部40、ダミートレンチ部30、ウェル領域11、エミッタ領域12、ベース領域14およびコンタクト領域15を備える。また、本例の半導体装置100は、半導体基板の上面の上方に設けられたエミッタ電極52およびゲート金属層50を備える。エミッタ電極52およびゲート金属層50は互いに分離して設けられる。

【0036】

エミッタ電極52およびゲート金属層50と、半導体基板の上面との間には層間絶縁膜が形成されるが、図1では省略している。本例の層間絶縁膜には、コンタクトホール56、コンタクトホール49およびコンタクトホール54が、当該層間絶縁膜を貫通して形成される。

【0037】

エミッタ電極52は、コンタクトホール54を通過して、半導体基板の上面におけるエミッタ領域12、コンタクト領域15およびベース領域14と接触する。また、エミッタ電極52は、コンタクトホール56を通過して、ダミートレンチ部30内のダミー導電部と接続される。エミッタ電極52とダミー導電部との間には、不純物がドーブされたポリシリコン等の、導電性を有する材料で形成された接続部25が設けられてよい。接続部25と半導体基板の上面との間には、酸化膜等の絶縁膜が形成される。

【0038】

ゲート金属層50は、コンタクトホール49を通過して、ゲートランナー48と接触する。ゲートランナー48は、不純物がドーブされたポリシリコン等で形成される。ゲートランナー48は、半導体基板の上面において、ゲートトレンチ部40内のゲート導電部と接続される。ゲートランナー48は、ダミートレンチ部30内のダミー導電部とは接続されない。本例のゲートランナー48は、コンタクトホール49の下方から、ゲートトレンチ部40の先端部まで形成される。ゲートランナー48と半導体基板の上面との間には、酸化膜等の絶縁膜が形成される。ゲートトレンチ部40の先端部においてゲート導電部は半導体基板の上面に露出しており、ゲートランナー48と接触する。なお、図1では平面視で、エミッタ電極52とゲートランナー48が重なっている箇所があるが、エミッタ電極52とゲートランナー48は図示しない絶縁膜を挟んで互いに電氣的に絶縁している。

【0039】

エミッタ電極52およびゲート金属層50は、金属を含む材料で形成される。例えば、各電極の少なくとも一部の領域はアルミニウムまたはアルミニウムシリコン合金で形成される。各電極は、アルミニウム等で形成された領域の下層にチタンやチタン化合物等で形成されたバリアメタルを有してよく、コンタクトホール内においてタングステン等で形成されたプラグを有してもよい。

【0040】

1つ以上のゲートトレンチ部40および1つ以上のダミートレンチ部30は、半導体基板の上面において所定の配列方向(本例ではY軸方向)に沿って所定の間隔で配列される。本例のトランジスタ部70は、連続して配列された複数のゲートトレンチ部40を有する。本例のトランジスタ部70は、境界部90またはダイオード部80に隣接する領域にダミートレンチ部30を有する。トランジスタ部70において、境界部90またはダイオード部80に隣接しない領域には、ダミートレンチ部30が設けられていない。つまり本例では、それぞれのトランジスタ部70において、ゲートトレンチ部40の間には、ダミ

10

20

30

40

50

ートレンチ部 30 が設けられていない。トランジスタ部 70 のゲートレンチ部 40 と、境界部 90 またはダイオード部 80 との間には、ダミートレンチ部 30 が設けられてよい。他の例のトランジスタ部 70 においては、配列方向に沿って 1 つ以上のゲートレンチ部 40 と、1 つ以上のダミートレンチ部 30 とが交互に形成されてもよい。

【0041】

境界部 90 およびダイオード部 80 には、複数のダミートレンチ部 30 が所定の間隔で連続して配列されている。境界部 90 またはダイオード部 80 においてトランジスタ部 70 と隣接するレンチ部は、ゲートレンチ部 40 であってもよい。

【0042】

ゲートレンチ部 40 は、半導体基板の上面に平行であって配列方向と垂直な延伸方向（本例では X 軸方向）に沿って延伸する 2 つの延伸部分 39 と、2 つの延伸部分 39 を接続する接続部分 41 を有してよい。接続部分 41 の少なくとも一部は曲線状に形成されることが好ましい。ゲートレンチ部 40 の 2 つの延伸部分 39 の端部を接続することで、延伸部分 39 の端部における電界集中を緩和できる。ゲートランナー 48 は、ゲートレンチ部 40 の接続部分 41 において、ゲートレンチ部 40 の内部に設けられたゲート導電部と接続してよい。

10

【0043】

ダミートレンチ部 30 は、ゲートレンチ部 40 と同様に半導体基板 10 の上面において U 形状を有してよい。つまり、本例のダミートレンチ部 30 は、延伸方向に沿って延伸する 2 つの延伸部分 29 と、2 つの延伸部分 29 を接続する接続部分 31 を有する。他の例においては、ダミートレンチ部 30 は、接続部分 31 を有せずに延伸方向に延伸する直線形状を有してもよい。なお本明細書では、それぞれのレンチ部の直線状の延伸部分（31、29）を、1 つのレンチ部としている。

20

【0044】

エミッタ電極 52 は、ゲートレンチ部 40、ダミートレンチ部 30、ウェル領域 11、エミッタ領域 12、ベース領域 14 およびコンタクト領域 15 の上方に形成される。ウェル領域 11 は第 2 導電型（本例では P+ 型）であり、ゲート金属層 50 が設けられる側の活性領域の端部から、所定の範囲で形成される。ウェル領域 11 の拡散深さは、ゲートレンチ部 40 およびダミートレンチ部 30 の深さよりも深くてもよい。ゲートレンチ部 40 およびダミートレンチ部 30 の、ゲート金属層 50 側の一部の領域はウェル領域 11 に形成される。ダミートレンチ部 30 の延伸方向の端の底は、ウェル領域 11 に覆われていてよい。

30

【0045】

各レンチ部に挟まれた領域をメサ部 60 と称する。メサ部 60 とは、隣り合う 2 つのレンチ部に挟まれた半導体基板の部分であって、半導体基板の上面から、各レンチ部の最も深い底部の深さまでの部分であってよい。本明細書では、境界部 90 におけるメサ部 60 を、境界メサ部 60 - 1 と称する場合がある。メサ部 60 には、ベース領域 14 が形成される。ベース領域 14 は、ウェル領域 11 よりもドーピング濃度の低い第 2 導電型である。本例のベース領域 14 は P- 型である。本例では、各メサ部 60 の X 軸方向における両端部には、ベース領域 14 - e が配置されている（図 1 においては、X 軸方向の一方の端部のみを示している）。

40

【0046】

メサ部 60 の上面には、ベース領域 14 よりもドーピング濃度の高い第 2 導電型のコンタクト領域 15 が選択的に形成される。本例のコンタクト領域 15 は P+ 型である。また、トランジスタ部 70 のメサ部 60 の上面には、半導体基板よりもドーピング濃度が高い第 1 導電型のエミッタ領域 12 が選択的に形成される。本例のエミッタ領域 12 は N+ 型である。本例では、それぞれのメサ部 60 の上面において、ベース領域 14 - e に隣接する領域は、コンタクト領域 15 である。

【0047】

エミッタ領域 12 は、メサ部 60 の上面においてゲートレンチ部 40 と隣接して設け

50

られる。また、一部のエミッタ領域 12 は、ダミートレンチ部 30 と隣接して設けられてもよい。

【0048】

トランジスタ部 70 のコンタクト領域 15 は、メサ部 60 の上面においてエミッタ領域 12 と隣接して設けられてよい。エミッタ領域 12 およびコンタクト領域 15 のそれぞれは、コンタクトホール 54 により絶縁膜から露出する部分を有する。

【0049】

本例のトランジスタ部 70 におけるエミッタ領域 12 およびコンタクト領域 15 は、半導体基板の上面においてトレンチ部の延伸方向（X 軸方向）に延伸するストライプ形状に設けられている。ストライプ形状とは、トレンチ部の延伸方向（X 軸方向）における長さ
10
が、トレンチ部の配列方向（Y 軸方向）における幅よりも長いことを指す。長さおよび幅は、X 軸方向および Y 軸方向における最大の長さおよび最大の幅を指してよい。ストライプ形状とは、当該長さが、当該幅の 2 倍以上の形状を指してよく、4 倍以上の形状を指してよく、10 倍以上の形状を指してもよい。

【0050】

図 1 の例では、トランジスタ部 70 の各メサ部 60 において、ストライプ状のエミッタ領域 12 が、ゲートトレンチ部 40 の延伸部分 39 と隣接して設けられている。つまり、ストライプ状のエミッタ領域 12 が、各メサ部 60 の Y 軸方向の両端に配置されている。コンタクト領域 15 は、エミッタ領域 12 に挟まれて配置されている。なお、X 軸方向において、エミッタ領域 12 とベース領域 14 - e との間には、コンタクト領域 15 が設け
20
られてよい。

【0051】

それぞれのメサ部 60 に、コンタクトホール 54 が複数設けられてよい。一例として、トランジスタ部 70 の各メサ部 60 において、いずれかのコンタクトホール 54 は、コンタクト領域 15 とエミッタ領域 12 との PN 接合部分が絶縁膜から露出するように配置される。本例では、トランジスタ部 70 のそれぞれのメサ部 60 の上面に 2 つの PN 接合部分が形成されるので、それぞれの PN 接合部分に対応するコンタクトホール 54 が配置されている。また、メサ部 60 には、コンタクト領域 15 を絶縁膜から露出させるコンタクトホール 54 が設けられていてもよい。本例では、Y 軸方向におけるコンタクト領域 15
30
の中央と対向する位置に、コンタクトホール 54 が設けられている。

【0052】

本例のダイオード部 80 のメサ部 60 には、エミッタ領域 12 が形成されていない。ダイオード部 80 のメサ部 60 には、コンタクト領域 15 またはベース領域 14 が、メサ部 60 を挟む一方のダミートレンチ部 30 から、他方のダミートレンチ部 30 に渡って形成されている。つまり、半導体基板の上面において、ダイオード部 80 のメサ部 60 の Y 軸方向の幅と、ダイオード部 80 のメサ部 60 に設けられたコンタクト領域 15 またはベース領域 14 の Y 軸方向の幅は等しい。図 1 のダイオード部 80 の例では、メサ部 60 の上面においてベース領域 14 - e と隣接する領域にコンタクト領域 15 が配置されている。また、ベース領域 14 - e とは X 軸方向の逆側においてコンタクト領域 15 と隣接する領域にベース領域 14 が配置されている。
40

【0053】

境界部 90 の境界メサ部 60 - 1 の上面には、ベース領域 14 - e に挟まれた領域全体にコンタクト領域 15 が設けられている。一つの境界メサ部 60 - 1 の上面に露出するコンタクト領域 15 の面積は、ダイオード部 80 の一つのメサ部 60 の上面に露出するコンタクト領域 15 の面積より大きくてよい。なお、図 1 では境界部 90 における境界メサ部 60 - 1 が一つである例を示しているが、境界部 90 は、Y 軸方向において配列された複数の境界メサ部 60 - 1 を有してもよい。

【0054】

ダイオード部 80 において、コンタクトホール 54 は、コンタクト領域 15 およびベース領域 14 の上方に形成される。境界メサ部 60 - 1 においてコンタクトホール 54 は、
50

コンタクト領域 15 の上方に形成される。いずれのコンタクトホール 54 も、メサ部 60 の X 軸方向両端に配置されたベース領域 14 - e およびウェル領域 11 の上方には配置されていない。

【0055】

なおダイオード部 80 は、半導体基板の下面側の領域において、第 1 導電型のカソード領域 82 を有する。本例のカソード領域 82 は N + 型である。図 1 においては、カソード領域 82 が形成される範囲を破線で示している。ダイオード部 80 は、カソード領域 82 を半導体基板の上面に投影した領域であってよい。カソード領域 82 を半導体基板の上面に投影した領域は、コンタクト領域 15 から + X 軸方向に離れていてよい。半導体基板の下面側の領域において、カソード領域 82 が形成されていない領域には、第 2 導電型のコレクタ領域が形成されてよい。トランジスタ部 70 は、コレクタ領域を半導体基板の上面に投影した領域のうち、トレンチ部またはメサ部が形成されている領域であってよい。

10

【0056】

図 2 は、トランジスタ部 70、ダイオード部 80 および境界部 90 におけるメサ部 60 を拡大して示す上面図である。図 2 に示すトランジスタ部 70 のメサ部 60 は、ダミートレンチ部 30 に挟まれたメサ部 60 であるが、ゲートトレンチ部 40 に隣接するメサ部 60 も同様の構造を有する。

【0057】

それぞれのメサ部 60 において、半導体基板の内部には、第 1 導電型の第 1 の蓄積領域 16 と、第 1 導電型の第 2 の蓄積領域 17 とが設けられている。第 1 の蓄積領域 16 および第 2 の蓄積領域 17 は、半導体基板の内部において異なる深さ位置に形成されている。第 1 の蓄積領域 16 および第 2 の蓄積領域 17 は、半導体基板の上面には露出していない。図 2 においては、半導体基板の上面と平行な投影面において第 1 の蓄積領域 16 および第 2 の蓄積領域 17 が設けられる範囲を、破線で示している。本例の第 1 の蓄積領域 16 および第 2 の蓄積領域 17 は、当該投影面において、X 軸方向の両端に配置された 2 つのベース領域 14 - e に挟まれた領域にストライプ状に配置されている。図 2 に示すように、第 1 の蓄積領域 16 と第 2 の蓄積領域 17 は、Z 軸方向において一部の領域が重なるように配置されている。

20

【0058】

図 3 は、図 1 の a - a 断面における半導体装置 100 の構造の一例を示す図である。a - a 断面は、トランジスタ部 70 のエミッタ領域 12 を通過する YZ 面である。本例の半導体装置 100 は、当該断面において、半導体基板 10、層間絶縁膜 38、エミッタ電極 52 およびコレクタ電極 24 を有する。エミッタ電極 52 は、半導体基板 10 および層間絶縁膜 38 の上面に形成される。

30

【0059】

コレクタ電極 24 は、半導体基板 10 の下面 23 に形成される。エミッタ電極 52 およびコレクタ電極 24 は、金属等の導電材料で形成される。本明細書において、エミッタ電極 52 とコレクタ電極 24 とを結ぶ方向を深さ方向 (Z 軸方向) と称する。

【0060】

半導体基板 10 は、シリコン基板であってよく、炭化シリコン基板であってよく、窒化ガリウム等の窒化物半導体基板等であってもよい。本例の半導体基板 10 はシリコン基板である。半導体基板 10 は、第 1 導電型のドリフト領域 18 を備える。本例のドリフト領域 18 は N - 型である。ドリフト領域 18 は、他のドーピング領域が形成されずに残存した領域であってよい。

40

【0061】

半導体基板 10 には、半導体基板 10 の上面 21 とドリフト領域 18 との間に設けられ、コンタクト領域 15 よりもドーピング濃度の低い P - 型のベース領域 14 が設けられる。ゲートトレンチ部 40 およびダミートレンチ部 30 は、半導体基板 10 の上面 21 から、ベース領域 14 を貫通して、半導体基板 10 の内部 (本例ではドリフト領域 18) まで設けられる。

50

【 0 0 6 2 】

上述したように、メサ部 6 0 は、半導体基板 1 0 の内部において 2 つのトレンチ部に挟まれた領域である。メサ部 6 0 を挟んで対向して設けられた 2 つのトレンチ部は、第 1 のトレンチ部および第 2 のトレンチ部の一例である。第 1 のトレンチ部は、ゲートトレンチ部 4 0 であってよく、ダミートレンチ部 3 0 であってよい。第 2 のトレンチ部は、ゲートトレンチ部 4 0 であってよく、ダミートレンチ部 3 0 であってよい。

【 0 0 6 3 】

当該断面において、トランジスタ部 7 0 のメサ部 6 0 には、エミッタ領域 1 2、コンタクト領域 1 5、ベース領域 1 4、第 1 の蓄積領域 1 6、第 2 の蓄積領域 1 7 および中間領域 6 2 が設けられる。ベース領域 1 4 は、メサ部 6 0 を挟む 2 つのトレンチ部のうち、少なくとも第 1 のトレンチ部と隣接して設けられる。本例のベース領域 1 4 は、メサ部 6 0 の挟む 2 つのトレンチ部の両方に隣接して設けられる。蓄積領域は、ドリフト領域 1 8 と同じ導電型のドーパント（本例では N 型のドナー）が、ドリフト領域 1 8 よりも高い濃度で蓄積した領域である。

10

【 0 0 6 4 】

エミッタ領域 1 2 は、メサ部 6 0 の内部において半導体基板 1 0 の上面 2 1 とベース領域 1 4 との間に設けられる。本例のエミッタ領域 1 2 は、ゲートトレンチ部 4 0 またはダミートレンチ部 3 0 と隣接する領域において、ベース領域 1 4 と半導体基板 1 0 の上面 2 1 との間に設けられる。

【 0 0 6 5 】

コンタクト領域 1 5 は、メサ部 6 0 の内部において半導体基板 1 0 の上面 2 1 とベース領域 1 4 との間に設けられる。本例のコンタクト領域 1 5 は、ゲートトレンチ部 4 0 およびダミートレンチ部 3 0 と隣接しない領域において、ベース領域 1 4 と半導体基板 1 0 の上面 2 1 との間に設けられる。

20

【 0 0 6 6 】

第 1 の蓄積領域 1 6 は、ドリフト領域 1 8 よりもドーピング濃度の高い N + 型の領域である。第 1 の蓄積領域 1 6 は、ベース領域 1 4 とドリフト領域 1 8 との間に設けられる。第 1 の蓄積領域 1 6 は、第 1 のトレンチ部（例えば、ゲートトレンチ部 4 0）との間に間隙を有して配置されてよい。本例の第 1 の蓄積領域 1 6 は、メサ部 6 0 の両側に配置された 2 つのトレンチ部の両方に対して、間隙を有して配置されている。第 1 の蓄積領域 1 6 と、トレンチ部との間には、第 2 導電型の領域が設けられる。本例では、第 1 の蓄積領域 1 6 とトレンチ部との間には、P - 型のベース領域 1 4 が配置されている。

30

【 0 0 6 7 】

第 2 の蓄積領域 1 7 は、ドリフト領域 1 8 よりもドーピング濃度の高い N + 型の領域である。第 2 の蓄積領域 1 7 のドーピング濃度は、第 1 の蓄積領域 1 6 のドーピング濃度と同一であってよく、高くてもよく、低くてもよい。第 2 の蓄積領域 1 7 は、半導体基板 1 0 の深さ方向（Z 軸方向）において、半導体基板 1 0 の上面からみて、第 1 の蓄積領域 1 6 よりも深い位置に設けられる。本例の第 2 の蓄積領域 1 7 は、第 1 の蓄積領域 1 6 とドリフト領域 1 8 との間に設けられる。第 1 の蓄積領域 1 6 および第 2 の蓄積領域 1 7 は、トレンチ部の下端よりも上側に配置されている。また、第 2 の蓄積領域 1 7 は、半導体基板 1 0 の深さ方向（Z 軸方向）において、第 1 の蓄積領域 1 6 とトレンチ部との間の間隙と重なって設けられてよい。第 2 の蓄積領域 1 7 は、半導体基板 1 0 の上面からみて、第 1 の蓄積領域 1 6 よりも深い位置に配置された第 1 の開口部 6 1 を有する。本例の第 1 の開口部 6 1 は、第 1 の蓄積領域 1 6 とトレンチ部との間の間隙と重ならない位置に設けられている。第 1 の開口部 6 1 は、第 2 の蓄積領域 1 7 を貫通する。

40

【 0 0 6 8 】

中間領域 6 2 は、半導体基板 1 0 の深さ方向（Z 軸方向）において、第 1 の蓄積領域 1 6 と第 2 の蓄積領域 1 7 との間に設けられる。中間領域 6 2 は、メサ部 6 0 の両側の 2 つのトレンチ部のそれぞれと隣接してよい。中間領域 6 2 は、第 2 導電型の領域である。中間領域 6 2 のドーピング濃度は、ベース領域 1 4 のドーピング濃度と同一であってよ

50

い。また、ベース領域 14 に N 型の不純物を注入して第 1 の蓄積領域 16 を形成する場合に、第 1 の蓄積領域 16 の下側に残存した P 型の領域を、中間領域 62 としてもよい。

【0069】

第 2 の蓄積領域 17 に設けられた第 1 の開口部 61 を介して、ドリフト領域 18 と中間領域 62 とが接続する。図 3 に示すように、第 1 の開口部 61 の内部に、ドリフト領域 18 と中間領域 62 との接合が配置されてよい。他の例では、第 2 の蓄積領域 17 の下側にドリフト領域 18 と中間領域 62 との接合が配置されてよい。この場合、第 1 の開口部 61 の内部全体に中間領域 62 が形成される。他の例では、第 2 の蓄積領域 17 の上側にドリフト領域 18 と中間領域 62 との接合が配置されてよい。この場合、第 1 の開口部 61 の内部全体にドリフト領域 18 が形成される。

10

【0070】

当該断面におけるダイオード部 80 のメサ部 60 は、エミッタ領域 12 およびコンタクト領域 15 が設けられない。他の構造は、トランジスタ部 70 のメサ部 60 と同様である。つまり、ダイオード部 80 のメサ部 60 には、ベース領域 14、第 1 の蓄積領域 16、第 2 の蓄積領域 17 および中間領域 62 が設けられる。ダイオード部 80 のメサ部 60 におけるベース領域 14 は、当該断面において、第 1 の蓄積領域 16 と半導体基板 10 の上面 21 との間の領域の全体に形成されている。

【0071】

当該断面における境界部 90 の境界メサ部 60 - 1 は、エミッタ領域 12 が設けられない。他の構造は、トランジスタ部 70 のメサ部 60 と同様である。つまり、境界メサ部 60 - 1 には、コンタクト領域 15、ベース領域 14、第 1 の蓄積領域 16、第 2 の蓄積領域 17 および中間領域 62 が設けられる。境界メサ部 60 - 1 におけるコンタクト領域 15 は、境界メサ部 60 - 1 を挟む 2 つのトレンチ部の両方に隣接する。

20

【0072】

第 1 の蓄積領域 16 および第 2 の蓄積領域 17 を設けることで、キャリア注入促進効果 (IE 効果) を高めて、オン電圧を低減することができる。また、第 1 の蓄積領域 16 をトレンチ部から離して配置することで、ダイオード部 80 の逆回復時等における過渡的なコレクタ - ゲート間容量を低減できる。

【0073】

第 2 の蓄積領域 17 を、第 1 の蓄積領域 16 およびトレンチ部の間の間隙を覆うように配置することで、トレンチ部に隣接する領域において、キャリアが過剰に引き抜かれることを抑制できる。このため、コレクタ - ゲート間容量を低減させつつ、IE 効果を維持できる。更に、第 2 の蓄積領域 17 に第 1 の開口部 61 を設けることで、半導体装置 100 のオン時等においてトレンチ部に隣接する領域ではキャリアを蓄積することができ、ターンオフ時等においては第 1 の開口部 61 を介してキャリアを引き抜くことができる。このため、IE 効果を維持しつつ、ターンオフ損失を低減できる。なお、ダイオード部 80 および境界部 90 の少なくとも一方には、第 1 の蓄積領域 16 および第 2 の蓄積領域 17 の少なくとも一方が設けられていなくともよい。

30

【0074】

トランジスタ部 70、ダイオード部 80 および境界部 90 のそれぞれにおいて、ドリフト領域 18 の下側には N + 型のバッファ領域 20 が形成される。バッファ領域 20 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。バッファ領域 20 は、ベース領域 14 の下面側から広がる空乏層が、P + 型のコレクタ領域 22 および N + 型のカソード領域 82 に到達することを防ぐフィールドストップ層として機能してよい。

40

【0075】

トランジスタ部 70 において、バッファ領域 20 の下側には、P + 型のコレクタ領域 22 が形成される。ダイオード部 80 において、バッファ領域 20 の下側には、N + 型のカソード領域 82 が形成される。境界部 90 において、バッファ領域 20 の下側には、コレクタ領域 22 が形成されてよく、カソード領域 82 が形成されてもよい。本例の境界部 90 には、コレクタ領域 22 が形成されている。

50

【 0 0 7 6 】

一例としてダイオード部 8 0 は、半導体基板 1 0 の下面 2 3 に垂直な方向においてカソード領域 8 2 と重なる領域である。また、トランジスタ部 7 0 は、半導体基板 1 0 の下面 2 3 に垂直な方向においてコレクタ領域 2 2 と重なる領域のうち、エミッタ領域 1 2 およびコンタクト領域 1 5 を含む所定の単位構成が規則的に配置された領域である。境界部 9 0 は、メサ部 6 0 の上面にエミッタ領域 1 2 が形成されておらず、且つ、メサ部 6 0 の上面の大部分（例えば、メサ部 6 0 の上面の半分以上）においてコンタクト領域 1 5 が形成された領域である。

【 0 0 7 7 】

半導体基板 1 0 の上面 2 1 には、1 つ以上のゲートトレンチ部 4 0、および、1 つ以上のダミートレンチ部 3 0 が形成される。各トレンチ部は、半導体基板 1 0 の上面 2 1 から、ベース領域 1 4 を貫通して、ドリフト領域 1 8 に到達する。エミッタ領域 1 2、コンタクト領域 1 5、第 1 の蓄積領域 1 6、第 2 の蓄積領域 1 7 および中間領域 6 2 の少なくともいずれかが設けられている領域においては、各トレンチ部はこれらの領域も貫通して、ドリフト領域 1 8 に到達してよい。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部に隣接してドーピング領域を形成したものの、トレンチ部がドーピング領域を貫通しているものに含まれる。

10

【 0 0 7 8 】

ゲートトレンチ部 4 0 は、半導体基板 1 0 の上面 2 1 に形成されたゲートトレンチ、ゲート絶縁膜 4 2 およびゲート導電部 4 4 を有する。ゲート絶縁膜 4 2 は、ゲートトレンチの内壁を覆って形成される。ゲート絶縁膜 4 2 は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部 4 4 は、ゲートトレンチの内部においてゲート絶縁膜 4 2 よりも内側に形成される。つまりゲート絶縁膜 4 2 は、ゲート導電部 4 4 と半導体基板 1 0 とを絶縁する。ゲート導電部 4 4 は、ポリシリコン等の導電材料で形成される。

20

【 0 0 7 9 】

ゲート導電部 4 4 は、深さ方向において、ゲート絶縁膜 4 2 を挟んで、少なくとも隣接するベース領域 1 4 と対向する領域を含む。当該断面におけるゲートトレンチ部 4 0 は、半導体基板 1 0 の上面において層間絶縁膜 3 8 により覆われる。ゲート導電部 4 4 に所定の電圧が印加されると、ベース領域 1 4 のうちゲートトレンチに接する界面の表層に電子の反転層によるチャンネルが形成される。

30

【 0 0 8 0 】

ダミートレンチ部 3 0 は、当該断面において、ゲートトレンチ部 4 0 と同一の構造を有してよい。ダミートレンチ部 3 0 は、半導体基板 1 0 の上面側に形成されたダミートレンチ、ダミー絶縁膜 3 2 およびダミー導電部 3 4 を有する。ダミー絶縁膜 3 2 は、ダミートレンチの内壁を覆って形成される。ダミー導電部 3 4 は、ダミートレンチの内部に形成され、且つ、ダミー絶縁膜 3 2 よりも内側に形成される。ダミー絶縁膜 3 2 は、ダミー導電部 3 4 と半導体基板 1 0 とを絶縁する。ダミー導電部 3 4 は、ゲート導電部 4 4 と同一の材料で形成されてよい。例えばダミー導電部 3 4 は、ポリシリコン等の導電材料で形成される。ダミー導電部 3 4 は、深さ方向においてゲート導電部 4 4 と同一の長さを有してよい。当該断面におけるダミートレンチ部 3 0 は、半導体基板 1 0 の上面 2 1 において層間絶縁膜 3 8 により覆われる。なお、ダミートレンチ部 3 0 およびゲートトレンチ部 4 0 の底部は、下側に凸の曲面状（断面においては曲線状）であってよい。

40

【 0 0 8 1 】

図 4 は、メサ部 6 0 の Y Z 断面の拡大図である。図 4 においては、トランジスタ部 7 0 におけるメサ部 6 0 を示している。本例において第 1 のトレンチ部はゲートトレンチ部 4 0 - 1 であり、第 2 のトレンチ部はゲートトレンチ部 4 0 - 2 である。

【 0 0 8 2 】

第 1 の蓄積領域 1 6 は、ゲートトレンチ部 4 0 - 1 との間に第 1 の間隙 6 3 を有する。

50

第1の蓄積領域16は、ゲートトレンチ部40-2との間に第2の間隙64を有する。第1の間隙63および第2の間隙64には、ベース領域14が形成されてよい。第1の間隙63および第2の間隙64を介して、ベース領域14と中間領域62とが接続されている。

【0083】

第2の蓄積領域17は、半導体基板10の深さ方向において第1の間隙63および第2の間隙64の両方と重なって配置される。本例の第2の蓄積領域17は、ゲートトレンチ部40-1およびゲートトレンチ部40-2の両方と接して設けられる。第2の蓄積領域17は、第1の間隙63および第2の間隙64の全体を少なくとも覆うように配置される。

10

【0084】

第1の開口部61は、半導体基板10の深さ方向において第1の間隙63および第2の間隙64の両方と重ならない位置に設けられている。本例の第1の開口部61は、メサ部60のメサ幅方向（すなわち、2つのトレンチ部を結ぶ方向。本例ではY軸方向）における中央を開口内に含むように配置されている。これにより、第1の開口部61とゲートトレンチ部40との距離を最大化して、ゲートトレンチ部40の近傍に蓄積されたキャリアが第1の開口部61を介して引き抜かれることを抑制できる。このため、半導体装置10のオン電圧を低減できる。

【0085】

メサ幅方向において、第1の開口部61の幅L2が、第2の蓄積領域17の幅(M-L2)よりも小さいことが好ましい。なお、メサ幅方向におけるメサ部60の幅をMとする。第2の蓄積領域17に比べて、第1の開口部61の幅L2が大きくなると、ゲートトレンチ部40の近傍に蓄積されたキャリアが、第1の開口部61から引き抜かれやすくなる。このため、オン電圧が上昇してしまう。第1の開口部61の幅L2は、第2の蓄積領域17の幅(M-L2)の半分以下であってよく、1/4以下であってよく、1/10以下であってよい。また、第1の開口部61の幅L2は、1μm以下であってよく、0.5μm以下であってよく、0.3μm以下であってよい。

20

【0086】

中間領域62は、半導体基板10の深さ方向において、第1の開口部61と重なって配置されてよい。つまり、半導体基板10の下面23側からZ軸方向に第1の開口部61を見たときに、中間領域62の一部の領域が見えるように中間領域62が配置されてよい。これにより、ターンオフ時等において、キャリアを第1の開口部61から引き抜きやすくなる。図4に示すように、中間領域62は、第1の開口部61の内部にも設けられてよい。

30

【0087】

また、第1の間隙63の幅をL1とした場合に、下式を満たすことが好ましい。

$$0 < L1 / M \leq 0.1$$

第2の間隙64の幅は、第1の間隙63の幅と同一であってよい。ゲート-コレクタ間容量を低減するには、第1の蓄積領域16と、ゲートトレンチ部40とが少しでも離れていればよい。また、第1の間隙63の幅L1を大きくすると、ゲートトレンチ部40の近傍におけるキャリア蓄積効果が低減してしまう。L1/Mの上限は、0.05であってよく、0.025であってよい。L1/Mの下限は、0.01であってよく、0.02であってよい。一例として、メサ部60のメサ幅Mは、1μm以上、10μm以下程度である。第1の間隙63の幅L1は、0.5μm以下であってよく、0.3μm以下であってよく、0.1μm以下であってよい。

40

【0088】

また、第1の間隙63の幅と、第1の開口部61の幅L2は、L1 < L2の関係を満たしてよい。第1の開口部61の幅L2が小さくなりすぎると、キャリアの引き抜き効率が低下してしまう。幅L2は、幅L1の1.2倍以上であってよく、1.5倍以上であってよい。ただし、L2 < L1であってよい。

50

【 0 0 8 9 】

メサ幅方向において、第 1 の間隙 6 3 および第 1 の開口部 6 1 の間の距離を L_3 とする。つまり、距離 L_3 は、第 1 の間隙 6 3 の第 1 の開口部 6 1 側の端部から、第 1 の開口部 6 1 の第 1 の間隙 6 3 側の端部までの、Y 軸上の距離である。本例において距離 L_3 は、第 1 の蓄積領域 1 6 と重なっている、第 2 の蓄積領域 1 7 の幅である。距離 L_3 およびメサ幅 M は、 $0.9 \times M / 2 \leq L_3$ を満たしてよい。これにより、第 1 の開口部 6 1 を、メサ部 6 0 のほぼ中心に配置して、ゲートトレンチ部 4 0 の近傍に蓄積されたキャリアが第 1 の開口部 6 1 を介して引き抜かれることを抑制できる。

【 0 0 9 0 】

半導体基板 1 0 の上面 2 1 と垂直な深さ方向における、中間領域 6 2 の厚みを T_1 、エミッタ領域 1 2 の下側に設けられたベース領域 1 4 の厚みを T_2 、第 1 の蓄積領域 1 6 の厚みを T_3 、第 2 の蓄積領域 1 7 の厚みを T_4 とする。第 1 の開口部 6 1 の幅 L_2 は、中間領域 6 2 の厚み T_1 より大きくてよい。幅 L_2 は、厚み T_1 の 2 倍以上であってよく、3 倍以上であってよい。中間領域 6 2 は、XY 面においてメサ部 6 0 のほぼ全体に形成されているので、Z 軸方向の厚みが小さくてもキャリアを通過させることができる。一方で、第 1 の開口部 6 1 の幅 L_2 を小さくしすぎると、ドリフト領域 1 8 からキャリアを効率よく引き抜くことができなくなる。

10

【 0 0 9 1 】

ベース領域 1 4 の厚み T_2 は、中間領域 6 2 の厚み T_1 より大きくてよい。ベース領域 1 4 の厚み T_2 は、深さ方向においてエミッタ領域 1 2 と第 1 の蓄積領域 1 6 に挟まれた領域の厚みを指す。ベース領域 1 4 を薄くしすぎると、チャンネル長が短くなり、各ドーピング領域の位置バラツキによる閾値電圧の変動が大きくなってしまふ。厚み T_2 は、厚み T_1 の 2 倍以上であってよく、3 倍以上であってよい。

20

【 0 0 9 2 】

第 1 の蓄積領域 1 6 の厚み T_3 は、中間領域 6 2 の厚み T_1 より大きくてよい。厚み T_3 は、厚み T_1 の 2 倍以上であってよく、4 倍以上であってよい。第 2 の蓄積領域 1 7 の厚み T_4 は、中間領域 6 2 の厚み T_1 より大きくてよい。厚み T_4 は、厚み T_1 の 3 倍以上であってよく、5 倍以上であってよい。なお、ドリフト領域 1 8 のドーピング濃度の 2 倍となる位置を、第 2 の蓄積領域 1 7 とドリフト領域 1 8 との境界としてよい。それぞれの蓄積領域の厚みを大きくすることで、キャリアの蓄積効果を高めることができる。第 2 の蓄積領域 1 7 の厚み T_4 は、第 1 の蓄積領域 1 6 の厚み T_3 より大きくてよい。これにより、トレンチ部の下端近傍において、キャリアを効率的に蓄積できる。

30

【 0 0 9 3 】

半導体基板 1 0 の上面 2 1 と垂直な深さ方向において、半導体基板 1 0 の上面 2 1 から第 1 の蓄積領域 1 6 の下端までの距離を D_3 、第 1 の蓄積領域 1 6 の下端から第 2 の蓄積領域 1 7 の下端までの距離を D_2 、第 2 の蓄積領域 1 7 の下端からゲートトレンチ部 4 0 の下端までの距離を D_1 とする。距離 D_1 は、距離 D_2 と距離 D_3 の和より大きくてよい。距離 D_1 が小さくなると、ゲートトレンチ部 4 0 の下端近傍に蓄積されたキャリアが、第 1 の開口部 6 1 を介して引き抜かれやすくなり、オン電圧が上昇してしまふ。距離 D_1 は、距離 $D_2 + D_3$ の 1.2 倍以上であってよく、1.5 倍以上であってよい。距離 D_3 は距離 D_2 より大きくよい。距離 D_3 は、距離 D_2 の 1.5 倍以上であってよく、2 倍以上であってよい。

40

【 0 0 9 4 】

なお、本例のトランジスタ部 7 0 は、ゲートトレンチ部 4 0 の間に、ダミートレンチ部 3 0 を設けていない。つまり、複数のゲートトレンチ部 4 0 が、ダミートレンチ部 3 0 を挟まずに、Y 軸方向において連続して配列されている。

【 0 0 9 5 】

一般に、1 つ以上のゲートトレンチ部 4 0 と、1 つ以上のダミートレンチ部 3 0 とを交互に配列することで、キャリア蓄積効果を生じさせることができる。ダミートレンチ部 3 0 とゲートトレンチ部 4 0 との比率を変化させることで、スイッチング速度等の半導体装

50

置 100 の特性を調整できる。また、Y 軸方向に空乏層を伸ばして、半導体装置 100 の耐圧を向上できる。

【0096】

これに対して半導体装置 100 においては、第 1 の蓄積領域 16 および第 2 の蓄積領域 17 を設けることでキャリア蓄積効果を生じさせることができる。また、第 1 の開口部 61 の幅または個数を変化させることで、スイッチング速度等の半導体装置 100 の特性を調整できる。また、第 1 の開口部 61 の近傍において中間領域 62 とドリフト領域 18 による PN 接合が設けられるので、第 1 の開口部 61 から空乏層を広げることができる。このため、ダミートレンチ部 30 と同様に、空乏層を Y 軸方向に伸ばすことができる。

【0097】

つまり、ゲートトレンチ部 40 の間にダミートレンチ部 30 を設けなくとも、ダミートレンチ部 30 を設けた場合と同様の効果が生じる。そして、ゲートトレンチ部 40 の間にダミートレンチ部 30 を設けなくともよいので、ダミートレンチ部 30 のダミー絶縁膜 32 が所定の特性を有しているか等を試験するスクリーニング試験の工数を低減できる。

【0098】

図 4 の例においては、第 2 の蓄積領域 17 は、一部の領域がベース領域 14 と同一の深さ位置に設けられ、他の一部の領域がドリフト領域 18 と同一の深さ位置に設けられていた。他の例では、第 2 の蓄積領域 17 は、全体がドリフト領域 18 と同一の深さ位置に設けられていてもよい。

【0099】

また、第 1 の蓄積領域 16 は、Z 軸方向において第 1 の開口部 61 と重なる範囲内に形成されてもよい。つまり、第 1 の蓄積領域 16 の Y 軸方向における両端は、第 1 の開口部 61 と重なる位置に設けられてよい。この場合、中間領域 62 は、第 1 の蓄積領域 16 と、第 1 の開口部 61 との間に配置されてよい。

【0100】

また、第 1 の蓄積領域 16 は、隣りあう 2 つのゲートトレンチ部 40 のうち、少なくとも一方のゲートトレンチ部 40 と接していてもよい。つまり、第 1 の蓄積領域 16 と、少なくとも一つのゲートトレンチ部 40 との間には第 1 の間隙 63 が設けられなくともよい。

【0101】

また、第 1 の間隙 63 の少なくとも一部の領域と、第 1 の開口部 61 の少なくとも一部の領域とは、Z 軸方向において重なる位置に設けられてもよい。第 1 の間隙 63 および第 1 の開口部 61 のうちのいずれか一方の全体が、他方と重なるように設けられてもよい。この場合、第 1 の間隙 63 および第 1 の開口部 61 は、両方がゲートトレンチ部 40 と接していてもよく、両方が接していなくてもよく、いずれか一方だけがゲートトレンチ部 40 と接していてもよい。

【0102】

図 5 は、メサ部 60 の YZ 断面の他の例の拡大図である。図 4 においては、トランジスタ部 70 におけるメサ部 60 を示している。本例のゲートトレンチ部 40 は、上側部分 46 と、下側部分 47 とを有する。

【0103】

図 1 および図 2 に示したように、ゲートトレンチ部 40 は半導体基板 10 の上面 21 において予め定められた延伸方向 (X 軸方向) に沿って延伸して設けられる。上側部分 46 は、延伸方向と垂直な断面 (YZ 面) において、側壁が直線状に形成された部分である。なお、上側部分 46 において半導体基板 10 の上面 21 と隣接する部分では、側壁が直線状でなくともよい。下側部分 47 は、上側部分 46 の下側に設けられ、側壁が曲線状に形成された部分である。下側部分 47 は、ゲートトレンチ部 40 の下端を含む。下側部分 47 の上端 (上側部分 46 との境界) は、側壁の傾きが、上側部分 46 の側壁の傾きから変化し始める点である。

【0104】

10

20

30

40

50

YZ断面において、下側部分47における側壁の上端と、中間領域62とを、第2の蓄積領域17を通過せずに結ぶ最短経路65の距離をXとする。距離Xは、メサ部60の幅Mの半分より大きくてよい(すなわち、 $M/2 < X$ を満たしてよい)。ゲートトレンチ部40の下端近傍から中間領域62までの距離Xを大きくすることで、ゲートトレンチ部40の下端近傍に蓄積されたキャリアが、中間領域62を介して引き抜かれることを抑制できる。距離Xは、メサ幅Mの半分の1.2倍より大きくてよく、1.4倍より大きくてもよい。

【0105】

また、下側部分47の上端が不明瞭な場合、ゲートトレンチ部40の下端と、中間領域62とを結ぶ最短経路の距離をXとしてもよい。ゲートトレンチ部40の下端は、ゲートトレンチ部40において最も下側に位置する点である。ゲートトレンチ部40の下端は、Y軸方向においてゲートトレンチ部40の中央に配置されてよい。

10

【0106】

本例の中間領域62は、第1の開口部61を通過して、第2の蓄積領域17よりも下側に突出して設けられている。この場合、キャリアの引き抜きが容易になる。第2の蓄積領域17よりも下側に突出する中間領域62の部分の深さ方向における長さは、中間領域62の厚みT1より小さくてよく、大きくてもよい。中間領域62の突出長さに応じて、キャリアの引き抜き効率と、オン電圧とを調整できる。

【0107】

図6は、メサ部60のYZ断面の他の例の拡大図である。本例のメサ部60は、中間領域62の配置が、図4または図5に示したメサ部60と異なる。他の構造は、図4または図5に示したメサ部60と同一であってよい。

20

【0108】

本例の中間領域62は、半導体基板10の深さ方向において、第1の開口部61と重ならないように配置されている。つまり、第1の開口部61の端部66は、第1の蓄積領域16および第2の蓄積領域17の間において、第2の蓄積領域17の端部67よりも外側に配置されている。外側とは、隣接するゲートトレンチ部40により近い側を指す。

【0109】

この場合、半導体基板10の下面23側から見て、中間領域62が露出していない。このため、ゲートトレンチ部40の下端近傍に蓄積したキャリアが、中間領域62を介して引き抜かれることを抑制できる。本例では、第1の開口部61の内部全体にドリフト領域18が形成されている。ドリフト領域18は、第1の蓄積領域16および第2の蓄積領域17の間にも形成されてよい。

30

【0110】

本例においては、ゲートトレンチ部40の下側部分47の上端と、中間領域62とを結ぶ最短経路は、下側部分47の上端と第1の開口部61の端部67とを結ぶ部分91と、端部67に沿って第2の蓄積領域17を迂回する部分92と、端部67と中間領域62とを結ぶ部分93とを有する。

【0111】

図7は、メサ部60のYZ断面の他の例の拡大図である。本例のメサ部60は、第1の蓄積領域16の形状が、図4から図6に示したメサ部60と異なる。他の構造は、図4から図6に示したいずれかのメサ部60と同一であってよい。

40

【0112】

本例の第1の蓄積領域16は、半導体基板10の深さ方向において第1の開口部61と重なる第2の開口部68を有する。第2の開口部68は、第1の蓄積領域16を貫通する。第2の開口部68の内部には、ベース領域14と同一の導電型の領域が形成されている。このような構造により、半導体装置100のターンオフ時等において、正孔等のキャリアを、第1の開口部61および第2の開口部68を通過して引き抜くことができる。第1の開口部61および第2の開口部68は、半導体装置100の深さ方向において、コンタクト領域15と重なる領域に形成されてよい。

50

【0113】

Y軸方向において、第2の開口部68の幅は、第1の開口部61の幅と同一であってよく、大きくてもよく、小さくてもよい。また、X軸方向において、第2の開口部68の長さは、第1の開口部61の長さと同じであってよく、大きくてもよく、小さくてもよい。

【0114】

図8は、図1のa-a断面における半導体装置100の構造の他の例を示す図である。本例の半導体装置100は、第1の開口部61の形状が、図1から図7において説明した半導体装置100と異なる。他の構造は、図1から図7において説明したいずれかの半導体装置100と同一であってよい。

【0115】

本例では、境界メサ部60-1における第1の開口部61のY軸方向における幅Y2は、トランジスタ部70のいずれかのメサ部60における第1の開口部61の幅Y1よりも大きい。境界メサ部60-1における第1の開口部61のY軸方向における幅Y2は、トランジスタ部70のいずれかのメサ部60における第1の開口部61の幅Y1よりも大きくてよい。これにより、トランジスタ部70とダイオード部80との境界において、正孔等のキャリアを効率よく引き抜くことができる。このため、トランジスタ部70およびダイオード部80において、一方のキャリアが他方に影響を与えることを抑制できる。

【0116】

また、ダイオード部80における第1の開口部61のY軸方向における幅Y3は、トランジスタ部70のメサ部60における第1の開口部61の幅Y1よりも大きくてよい。ダイオード部80における第1の開口部61の幅Y3は、トランジスタ部70から離れたメサ部60ほど大きくてよい。また、ダイオード部80における少なくとも一部のメサ部60の第1の開口部61の幅Y3は、境界メサ部60-1における第1の開口部61の幅Y2よりも大きくてよい。このような構造により、ダイオード部80において、第2の蓄積領域17による正孔等のキャリアの移動が阻害されるのを抑制できる。

【0117】

図9は、半導体装置100の上面の他の例を示す図である。本例では、トランジスタ部70のそれぞれのメサ部60のベース領域14-eに挟まれた領域において、コンタクト領域15とエミッタ領域12とがX軸方向に沿って交互に配置されている。Y軸方向において、コンタクト領域15およびエミッタ領域12の幅は、メサ部60の幅と等しい。つまり、コンタクト領域15およびエミッタ領域12は、それぞれのメサ部60において、メサ部60を挟む2つのトレンチ部の両方に隣接するように形成されている。他の構造は、図1および図2に示した半導体装置100と同一である。

【0118】

図10は、図9におけるa-a断面を示す図である。本例のa-a断面は、トランジスタ部70のエミッタ領域12を通過するYZ面である。本例のa-a断面は、トランジスタ部70のメサ部60において、エミッタ領域12が2つのトレンチ部に隣接するように配置されている点で、図1から図8に示した半導体装置100と相違する。他の構造は、図1から図8に示したいずれかの態様の半導体装置100と同一である。このような構造によっても、オン電圧の低下と、ターンオフ損失の低減を容易に両立できる。

【0119】

図11は、図9におけるa-a断面の他の例を示す図である。本例の半導体装置100は、図1から図10において説明したいずれかの半導体装置100の構成に加え、フローティング領域84を更に備える。フローティング領域84は、ダイオード部80において、カソード領域82の上方に形成されている。

【0120】

フローティング領域84は、電氣的にフローティング状態である、第2導電型(本例ではP+型)の領域である。電氣的にフローティング状態とは、コレクタ電極24およびエミッタ電極52のいずれにも接触していない状態を指す。フローティング領域84を設けることにより、カソード領域82からの電子の注入を抑制できる。これにより、半導体基

10

20

30

40

50

板 10 の下面側においてライフタイムキラーを形成しなくとも、半導体基板 10 の深さ方向におけるキャリア分布を調整できる。このため、半導体装置 100 の製造コストを低減でき、また、ライフタイムキラーに起因するリーク電流を低減できる。

【0121】

なお、フローティング領域 84 は、カソード領域 82 を部分的に覆うように形成されている。フローティング領域 84 には、第 3 の開口部 85 が設けられてよい。つまり、カソード領域 82 の一部分は、フローティング領域 84 に覆われていない。これによりフローティング領域 84 を設けても、ダイオード部 80 がダイオード動作できる。電子の注入を抑制すべく、フローティング領域 84 は、カソード領域 82 の上面の半分より大きい範囲を覆って形成されてよい。

10

【0122】

なお、フローティング領域 84 は、第 1 の開口部 61 と重なる位置には配置されなくともよい。つまり、第 3 の開口部 85 と、第 1 の開口部 61 とが重なる位置に配置されてよい。この場合、第 1 の開口部 61 の直下において、カソード領域 82 から電子が注入される。

【0123】

図 12 は、図 9 における a - a 断面の他の例を示す図である。本例の半導体装置 100 は、図 11 に示した半導体装置 100 に対して、フローティング領域 84 の配置が異なる。他の構造は、図 11 に示した半導体装置 100 と同一である。

20

【0124】

本例のフローティング領域 84 は、第 1 の開口部 61 と重なる位置に配置されている。つまり、第 3 の開口部 85 と、第 1 の開口部 61 とが重ならないように、フローティング領域 84 が配置されている。この場合、第 1 の開口部 61 とは Y 軸方向においてずれた位置において、カソード領域 82 から電子が注入される。

【0125】

図 13 は、メサ部 60 の YZ 断面の他の例の拡大図である。本例のメサ部 60 は、ゲートトレンチ部 40 の構造が、図 1 から図 12 に示したいずれかの半導体装置 100 のゲートトレンチ部 40 と異なる。他の構造は、図 1 から図 12 に示したいずれかの半導体装置 100 と同一であってよい。

30

【0126】

本例のゲートトレンチ部 40 は、ゲート絶縁膜 42 が薄い薄膜部 72 と、薄膜部 72 よりもゲート絶縁膜 42 が厚い厚膜部 74 とを有する。ゲート絶縁膜 42 の厚みは、Y 軸方向における厚みを用いてよい。厚膜部 74 を設けることで、ゲートトレンチ部 40 の下端におけるゲートトレンチ部 40 の耐圧を向上できる。

【0127】

本例では、中間領域 62 に沿って正孔が Y 軸方向に移動するので、正孔に引き寄せられて、電子電流がメサ部 60 の中央側にも広がりやすい。この場合、P 型領域において電子電流の流れる経路長が長くなり、オン電圧が上昇する。本例においては、第 1 の蓄積領域 16 および中間領域 62 は、薄膜部 72 と対向して配置されることが好ましい。薄膜部 72 においては、電子がゲート導電部 44 に強く引き付けられるので、電子電流をゲートトレンチ部 40 に沿って流すことが容易になる。第 2 の蓄積領域 17 は、薄膜部 72 に対向して配置されてよく、厚膜部 74 に対向して配置されてよく、薄膜部 72 および厚膜部 74 の両方に跨って配置されてもよい。

40

【0128】

図 14 は、半導体装置 100 における a - a 断面の他の例を示す図である。本例の半導体装置 100 は、ダイオード部 80 の構造が、図 1 から図 13 において説明した半導体装置 100 と異なる。トランジスタ部 70 および境界部 90 は、図 1 から図 13 において説明したいずれかの態様のトランジスタ部 70 および境界部 90 と同一であってよい。図 14 の例におけるトランジスタ部 70 および境界部 90 は、図 10 に示したトランジスタ部 70 および境界部 90 と同一である。

50

【 0 1 2 9 】

本例のダイオード部 8 0 は、図 1 0 に示したダイオード部 8 0 に対して、第 2 の蓄積領域 1 7 の構造が異なる。他の構造は、図 1 0 に示したダイオード部 8 0 と同一であってよい。本例のダイオード部 8 0 の第 2 の蓄積領域 1 7 は、Y 軸方向（メサ幅方向）に沿って配置された第 1 の開口部 6 1 のメサ部 6 0 一つ当たりの数が、トランジスタ部 7 0 において Y 軸方向に沿って配置された第 1 の開口部 6 1 のメサ部 6 0 一つ当たりの数よりも多い。本例では、トランジスタ部 7 0 の各メサ部 6 0 には、一つの第 1 の開口部 6 1 が設けられており、ダイオード部 8 0 の各メサ部 6 0 には、複数の第 1 の開口部 6 1 が Y 軸方向に沿って設けられている。

【 0 1 3 0 】

ダイオード部 8 0 の各メサ部 6 0 におけるいずれかの第 1 の開口部 6 1 は、トランジスタ部 7 0 の各メサ部 6 0 における第 1 の開口部 6 1 と対応する位置に配置されてよい。対応する位置とは、メサ部 6 0 内における Y 軸方向の位置が同一であることを指す。本例では、トランジスタ部 7 0 の各メサ部 6 0 の第 1 の開口部 6 1 は、各メサ部 6 0 の Y 軸方向の中央に配置されており、ダイオード部 8 0 の各メサ部 6 0 のいずれかの第 1 の開口部 6 1 も、各メサ部 6 0 の Y 軸方向の中央に配置されている。境界メサ部 6 0 - 1 における第 1 の開口部 6 1 の配置は、トランジスタ部 7 0 のメサ部 6 0 と同一であってよく、ダイオード部 8 0 のメサ部 6 0 と同一であってよく、トランジスタ部 7 0 およびダイオード部 8 0 とは異なってもよい。

【 0 1 3 1 】

トランジスタ部 7 0 の第 2 の蓄積領域 1 7 における第 1 の開口部 6 1 の数を比較的になくすることで、オン時におけるキャリアの蓄積効果を維持できる。また、ダイオード部 8 0 の第 2 の蓄積領域 1 7 に、より多くの第 1 の開口部 6 1 を設けることで、アノード側からのキャリアの注入量を増加させて、ダイオード部 8 0 の順方向電圧を小さくできる。また、ターンオフ時等においてキャリアを容易に引き抜くことができる。また、ダイオード部 8 0 の第 2 の蓄積領域 1 7 に第 1 の開口部 6 1 を分散して設けることで、PN 接合を Y 軸方向に分散して配置することができ、空乏層が広がる起点を分散して設けることができる。このため、半導体装置 1 0 0 の耐圧を向上できる。

【 0 1 3 2 】

ダイオード部 8 0 における、それぞれの第 1 の開口部 6 1 の Y 軸方向における幅は、トランジスタ部 7 0 における第 1 の開口部 6 1 の Y 軸方向の幅と同一であってよく、異なってもよい。また、ダイオード部 8 0 におけるそれぞれの第 1 の開口部 6 1 の幅は、互いに同一であってよく、異なってもよい。

【 0 1 3 3 】

また、ダイオード部 8 0 の各メサ部 6 0 における第 1 の開口部 6 1 の Y 軸方向における個数は、互いに同一であってよく、異なってもよい。一例として、Y 軸方向におけるトランジスタ部 7 0 からの距離が大きいメサ部 6 0 ほど、第 1 の開口部 6 1 の数が少なくてもよい。

【 0 1 3 4 】

本例のダイオード部 8 0 は、フローティング領域 8 4 を更に有する。フローティング領域 8 4 は、境界メサ部 6 0 - 1 との境界において、カソード領域 8 2 を露出させてよい。フローティング領域 8 4 は、ダイオード部 8 0 の第 1 の開口部 6 1 と Z 軸方向において重なるように設けられてよい。本例のフローティング領域 8 4 は、ダミートレンチ部 3 0 の下方に第 3 の開口部 8 5 を有しており、他の位置には第 3 の開口部 8 5 を有していない。図 1 4 の例では、フローティング領域 8 4 が一つのメサ部 6 0 に渡って設けられているが、フローティング領域 8 4 は、Y 軸方向に沿って複数のメサ部 6 0 に渡って連続して設けられてもよい。

【 0 1 3 5 】

ダイオード部 8 0 において、トレンチ部に接していない第 2 の蓄積領域 1 7 の、Y 軸方向における幅 L_a は、第 1 の開口部 6 1 の幅 L_b よりも長くてよい。この場合は、ダイオ

10

20

30

40

50

ード部のアノード側からのキャリアの注入量を減少させて、ダイオード部 80 の逆回復損失を小さくできる。

【0136】

ダイオード部 80 において、トレンチ部に接していない第 2 の蓄積領域 17 の、Y 軸方向における幅 L_a は、第 1 の開口部 61 の幅 L_b よりも短くてよい。この場合は、ドリフト領域 18 とベース領域 14 との PN 接合を Y 軸方向に分散して広く配置することができ、空乏層が広がる起点を広く設けることができる。このため、半導体装置 100 の耐圧を向上できる。

【0137】

境界部 90 に最も近く隣接するフローティング領域 84 において、境界部 90 側の端部の位置から、当該端部を半導体基板 10 の上面 21 に投影したメサ部 60 内部で、ダミートレンチ部 30 に接した第 2 の蓄積領域 17 の Y 軸方向端部までの長さ W_a は、 $5 \mu\text{m}$ 以下であってよい。これにより、逆回復時の正孔の注入を担保し、サージ電圧を抑制する。

10

【0138】

図 15 は、半導体装置 100 における a - a 断面の他の例を示す図である。本例の半導体装置 100 は、ダイオード部 80 の構造が、図 14 において説明した半導体装置 100 と異なる。トランジスタ部 70 および境界部 90 は、図 14 において説明したいずれかの態様のトランジスタ部 70 および境界部 90 と同一であってよい。

【0139】

本例のダイオード部 80 は、図 14 に示したダイオード部 80 に対して、フローティング領域 84 の構造が異なる。他の構造は、図 14 に示したダイオード部 80 と同一であってよい。フローティング領域 84 は、少なくとも一つの第 3 の開口部 85 が、ダイオード部 80 の第 2 の蓄積領域 17 に設けられたいずれかの第 1 の開口部 61 と、Z 軸方向において重なる位置に配置されている。

20

【0140】

図 15 の例では、フローティング領域 84 は、メサ部 60 の Y 軸方向の中央に配置された第 1 の開口部 61 - 1 と重なる第 3 の開口部 85 を有している。他の例では、フローティング領域 84 は、メサ部 60 のそれぞれの第 1 の開口部 61 と重なるように、一つのメサ部 60 内に複数の第 3 の開口部 85 を Y 軸方向において離散的に有してもよい。第 1 の開口部 61 と第 3 の開口部 85 とを重ねて配置することで、キャリアの注入を促進できる。

30

【0141】

図 16 は、図 14 に示した半導体装置 100 の動作例を説明する図である。図 16 は、ダイオード部 80 に順バイアスが印加されている状態を示している。また、図 16 において正孔（ホール）の注入を実線の矢印で示しており、電子の注入を破線の矢印で示している。

【0142】

本例では、ダイオード部 80 に複数の第 1 の開口部 61 を設けているので、順バイアス時において、アノード側からのホールの注入量を増加させることができる。このため、ダイオード部 80 の順バイアスを小さくできる。

40

【0143】

図 17 は、図 14 に示した半導体装置 100 の動作例を説明する図である。図 17 は、ダイオード部 80 が逆回復している状態を示している。本例では、ダイオード部 80 に複数の第 1 の開口部 61 を設けているので、逆回復時において、アノード側からのホールの引き抜き量を増加させることができる。このため、ダイオード部 80 の逆回復時間を短くできる。

【0144】

逆回復時には、フローティング領域 84 とカソード領域 82 との pn 接合は逆バイアス状態となり、アバランシェ降伏によるアバランシェ電流が発生する。そのため、正孔は当該 pn 接合からバッファ領域 20、ドリフト領域 18 に向かって流れ、電子は当該 pn 接

50

合からカソード領域 8 2 に向かって流れる。

【 0 1 4 5 】

なお、境界部 9 0 およびダイオード部 8 0 の境界における第 3 の開口部 8 5 の Y 軸方向の幅は、5 μ m 以下であってよい。これにより、電子が急激に引き抜かれることを抑制して、逆回復時におけるサージ電流を小さくできる。

【 0 1 4 6 】

図 1 8 は、半導体装置 1 0 0 における a - a 断面の他の例を示す図である。本例の半導体装置 1 0 0 は、ダイオード部 8 0 の構造が、図 1 5 において説明した半導体装置 1 0 0 と異なる。トランジスタ部 7 0 および境界部 9 0 は、図 1 5 において説明したいずれかの態様のトランジスタ部 7 0 および境界部 9 0 と同一であってよい。

10

【 0 1 4 7 】

本例のダイオード部 8 0 は、図 1 5 に示したダイオード部 8 0 に対して、フローティング領域 8 4 の構造が異なる。他の構造は、図 1 5 に示したダイオード部 8 0 と同一であってよい。本例のフローティング領域 8 4 は、メサ部 6 0 のそれぞれの第 1 の開口部 6 1 と重なるように、複数の第 3 の開口部 8 5 を Y 軸方向において離散的に有する。これにより、順バイアス時におけるキャリアの注入を促進して、順方向電圧を更に小さくできる。対応する第 1 の開口部 6 1 および第 3 の開口部 8 5 は、部分的に重なって配置されてよく、全体が重なって配置されてもよい。

【 0 1 4 8 】

図 1 9 は、半導体装置 1 0 0 の上面の他の例を示す図である。本例の半導体装置 1 0 0 は、ダイオード部 8 0 の構造が、図 1 から図 1 8 において説明したいずれかの態様の半導体装置 1 0 0 と異なる。他の構造は、図 1 から図 1 8 において説明したいずれかの態様の半導体装置 1 0 0 と同一であってよい。図 1 9 に示した例においては、ダイオード部 8 0 以外の構造は、図 9 に示した半導体装置 1 0 0 と同一である。

20

【 0 1 4 9 】

本例のダイオード部 8 0 の各メサ部 6 0 における半導体基板 1 0 の上面には、メサ幅方向とは垂直な方向 (X 軸方向) に沿って、 P + 型のコンタクト領域 1 5 と、コンタクト領域 1 5 よりも正孔の移動度が小さい調整領域 1 9 とが交互に配置されている。調整領域 1 9 は、コンタクト領域 1 5 よりもドーピング濃度の低い P 型の領域であってよい。調整領域 1 9 のドーピング濃度は、ベース領域 1 4 と同一であってよく、異なってもよい。

30

【 0 1 5 0 】

ダイオード部 8 0 にコンタクト領域 1 5 を設けることで、ダイオード部 8 0 のドリフト領域 1 8 へのキャリアの注入量を増大させて、ダイオード部 8 0 の順方向電圧 V_f を小さくできる。特に、大電流動作時における順方向電圧 V_f を小さくできる。ただし、コンタクト領域 1 5 の面積を大きくすると、逆回復動作時に流れる逆電流のピーク値 I_{rp} が大きくなってしまふ。ダイオード部 8 0 のメサ部 6 0 の上面に形成されるコンタクト領域 1 5 と、調整領域 1 9 との面積比を調整することで、ダイオード部 8 0 の順方向電圧 V_f および逆電流のピーク値 I_{rp} を調整できる。

40

【 0 1 5 1 】

一例として、ダイオード部 8 0 におけるコンタクト領域 1 5 は、トランジスタ部 7 0 におけるコンタクト領域 1 5 に対して、 X 軸方向において同一の位置および幅で設けられてよい。調整領域 1 9 は、トランジスタ部 7 0 のエミッタ領域 1 2 に対して、 X 軸方向において同一の位置および幅で設けられてよい。これらの位置および幅は、半導体基板 1 0 の上面における位置および幅であってよい。

【 0 1 5 2 】

他の例では、ダイオード部 8 0 におけるコンタクト領域 1 5 は、トランジスタ部 7 0 におけるコンタクト領域 1 5 に対して、 X 軸方向における位置および幅の少なくとも一方が異なっていてよい。調整領域 1 9 は、トランジスタ部 7 0 のエミッタ領域 1 2 に対して、

50

X 軸方向における位置および幅の少なくとも一方が異なっていてよい。これらの位置および幅を調整することで、ダイオード部 80 の順方向電圧 V_f および逆電流のピーク値 I_{rp} を調整できる。

【0153】

図 19 においては、コンタクト領域 15 および調整領域 19 が、X 軸方向に沿って交互に配置された例を示したが、コンタクト領域 15 および調整領域 19 の配置は図 19 の例に限定されない。それぞれのコンタクト領域 15 がコンタクトホール 54 を介してエミッタ電極 52 に接続できることを条件として、コンタクト領域 15 および調整領域 19 の配置を変更できる。

【0154】

図 20 は、図 19 に示した半導体装置 100 のトランジスタ部 70、ダイオード部 80 および境界部 90 におけるメサ部 60 の上面を拡大して示す上面図である。本例においては、第 2 の蓄積領域 17 が設けられる領域にドットでハッチングを付している。また、コンタクトホール 54 のハッチングを省略している。

【0155】

それぞれのメサ部 60 には、図 2 に示した例と同様に、第 1 の蓄積領域 16、第 2 の蓄積領域 17、第 1 の間隙および第 1 の開口部 61 が、X 軸方向に沿ってストライプ状に配置されている。ただし、ダイオード部 80 のメサ部 60 においては、複数の第 1 の開口部 61 が Y 軸方向に沿って配列されている。なお、第 1 の蓄積領域 16 および第 2 の蓄積領域 17 の X 軸方向における端部は、コンタクトホール 54 の端部よりもベース領域 14 - e 側 (X 軸負側) に配置されていてよく、図 2 の例と同様にコンタクトホール 54 の端部に対してベース領域 14 - e とは逆側 (X 軸正側) に配置されていてよい。

【0156】

図 21 は、図 20 に示したダイオード部 80 のメサ部 60 における b - b 断面の一例を示す図である。上述したように、第 2 の蓄積領域 17 には、複数の第 1 の開口部 61 が設けられている。

【0157】

本例では、複数の第 1 の開口部 61 のうち、ダミートレンチ部 30 に最も近い第 1 の開口部 61 - 1 は、ダミートレンチ部 30 とは離れて設けられる。第 1 の開口部 61 - 1 は、第 1 の間隙 63、64 とは、Z 軸方向において重ならず設けられてよい。第 1 の開口部 61 - 1 とダミートレンチ部 30 との Y 軸方向における距離は、第 1 の間隙 63 の Y 軸方向における幅の 2 倍以上であってよく、3 倍以上であってよい。

【0158】

なお、コンタクト領域 15 からベース領域 14 に注入された正孔は、第 1 の蓄積領域 16 を通過するよりも、第 1 の間隙 63、64 を通過しやすくなる。第 1 の間隙 63、64 を通過した正孔の大部分は、ダミートレンチ部 30 に最も近い第 1 の開口部 61 - 1 を介してドリフト領域 18 に注入される。このため、ダミートレンチ部 30 から最も離れた第 1 の開口部 61 - 2 を通過する正孔は、第 1 の開口部 61 - 1 を通過する正孔よりも少なくなる。

【0159】

ただし、第 1 の開口部 61 - 2 を設けることで、空乏層が広がる PN 接合を、Y 軸方向における分散して配置できる。このため、ダイオード部 80 の耐圧を向上させることができる。なお、第 1 の開口部 61 - 2 は、正孔の通過量が比較的少ないので、Y 軸方向の幅が小さくてもよい。Y 軸方向の幅が小さくても、空乏層が広がる起点として機能できる。一方で、第 1 の開口部 61 - 1 は、正孔を効率よく通過させるべく、ある程度の幅を有することが好ましい。ダミートレンチ部 30 に最も近い第 1 の開口部 61 - 1 の Y 軸方向における幅 L_4 は、ダミートレンチ部 30 から最も離れた第 1 の開口部 61 - 2 の Y 軸方向における幅 L_5 より大きくよい。幅 L_4 は、幅 L_5 の 1.2 倍以上であってよく、1.5 倍以上であってよく、2 倍以上であってよい。

【0160】

10

20

30

40

50

図 2 2 は、ダイオード部 8 0 のメサ部 6 0 の上面における、第 1 の開口部 6 1 の配置例を示す図である。図 2 0 に示した例では、ダイオード部 8 0 のメサ部 6 0 におけるそれぞれの第 1 の開口部 6 1 は、X 軸方向に連続して形成されていた。本例では、ダイオード部 8 0 のメサ部 6 0 において、ダミートレンチ部 3 0 に最も近い第 1 の開口部 6 1 - 1 が、X 軸方向に離散的に配置されている。第 1 の開口部 6 1 - 2 は、X 軸方向に沿ってストライプ状に連続して設けられてよい。第 1 の開口部 6 1 - 2 は、X 軸方向において、第 1 の開口部 6 1 - 1 よりも長く形成されてよい。第 1 の開口部 6 1 - 2 は、メサ部 6 0 において X 軸方向の両端に配置された 2 つのコンタクト領域 1 5 の間に連続して形成されてよい。

【 0 1 6 1 】

第 1 の開口部 6 1 - 1 は、上面視においてコンタクト領域 1 5 と重なる領域に設けられてよい。第 1 の開口部 6 1 - 1 は、全体がコンタクト領域 1 5 と重なる領域に設けられてよく、一部の領域が調整領域 1 9 と重なる領域に設けられてもよい。つまり、第 1 の開口部 6 1 - 1 の X 軸方向の長さは、コンタクト領域 1 5 の X 軸方向の長さより小さくてよく、コンタクト領域 1 5 の X 軸方向の長さ以上であってもよい。

【 0 1 6 2 】

第 1 の開口部 6 1 - 1 を離散的に設けることで、第 1 の開口部 6 1 - 1 の面積を容易に調整して、正孔の注入量を調整できる。このため、ダイオード部 8 0 の順方向電圧を容易に調整できる。また、第 1 の開口部 6 1 - 2 を X 軸方向に沿って連続して形成することで、空乏層が広がる起点を、X 軸方向に沿って連続的に形成できる。このため、ダイオード部 8 0 の耐圧を向上できる。

【 0 1 6 3 】

図 2 3 は、トランジスタ部 7 0、ダイオード部 8 0 および境界部 9 0 におけるメサ部 6 0 の上面構造の他の例を示す図である。本例のダイオード部 8 0 は、調整領域 1 9 が X 軸方向に沿ってストライプ状に形成されている。調整領域 1 9 の形状は、図 2 に示したトランジスタ部 7 0 のエミッタ領域 1 2 と同一であってよく、異なってもよい。

【 0 1 6 4 】

一例として調整領域 1 9 の Y 軸方向における幅は、エミッタ領域 1 2 の Y 軸方向における幅と同一であってよく、細くてよく、太くてもよい。調整領域 1 9 の形状を調整することで、コンタクト領域 1 5 の面積を調整できる。

【 0 1 6 5 】

トランジスタ部 7 0 および境界部 9 0 の構造は、図 1 から図 2 2 において説明したいいずれかの態様の半導体装置 1 0 0 のトランジスタ部 7 0 および境界部 9 0 と同一であってよい。図 2 3 の例におけるトランジスタ部 7 0 および境界部 9 0 では、図 2 に示したトランジスタ部 7 0 および境界部 9 0 と同一の構造を有する。

【 0 1 6 6 】

図 2 4 は、半導体装置 1 0 0 の b - b 断面の他の例を示す図である。本例のダイオード部 8 0 のメサ部 6 0 は、コンタクト領域 1 5 が Y 軸方向に沿って離散的に設けられている。それぞれのコンタクト領域 1 5 は、X 軸方向に沿ってストライプ状に設けられてよく、離散的に設けられてもよい。それぞれのコンタクト領域 1 5 は、コンタクトホール 5 4 の下方に設けられる。ダイオード部 8 0 のメサ部 6 0 の上面において、コンタクト領域 1 5 以外の調整領域は、ベース領域 1 4 であってよい。

【 0 1 6 7 】

コンタクトホール 5 4 の内部には、メタルプラグ 9 4 が設けられてよい。メタルプラグ 9 4 は、エミッタ電極 5 2 と同一の材料で形成されてよく、タングステンで形成されてもよい。メタルプラグ 9 4 をタングステンで形成することで、微細なメサ部 6 0 に複数のメタルプラグ 9 4 を容易に形成できる。

【 0 1 6 8 】

それぞれのコンタクト領域 1 5 において、メタルプラグ 9 4 と接する領域には、P 型の高濃度領域 9 5 が形成されてよい。高濃度領域 9 5 のドーピング濃度は、コンタクト領域

10

20

30

40

50

15のドーピング濃度より高い。これにより、コンタクト領域15とメタルプラグ94との間の接触抵抗を低減できる。

【0169】

少なくとも一つの第1の開口部61は、いずれかのコンタクト領域15と、Z軸方向において少なくとも部分的に重なる位置に設けられてよい。図24の例では、全ての第1の開口部61が、いずれかのコンタクト領域15と少なくとも部分的に重なっている。

【0170】

図25は、半導体装置100の上面構造の他の例を示す図である。本例の半導体装置100は、図1から図24において説明した半導体装置100に対して、ダミートレンチ部30に代えてピラー領域26を備える。ピラー領域26は、半導体基板10の内部に形成されたP型の領域である。他の構造は、図1から図24において説明したいずれかの態様の半導体装置100と同一であってよい。図25では、図1に示した半導体装置100において、ダミートレンチ部30に代えてピラー領域26を設けた構成を示している。

【0171】

ピラー領域26は、Y軸方向に沿って配列されている。本例のピラー領域26のY軸方向における間隔は、図1から図24において説明したダミートレンチ部30の延伸部分29の間隔と同一である。他の例では、ピラー領域26のY軸方向の間隔は、ゲートレンチ部40の延伸部分39の間隔よりも大きくてもよく、小さくてもよい。ピラー領域26のY軸方向における幅は、ゲートレンチ部40の延伸部分39の幅と同一であってよく、異なってもよい。

【0172】

ピラー領域26の上面視における形状は、一例としてX軸方向に沿って延伸する直線形状である。ピラー領域26のX軸方向における端部は、ウェル領域11に設けられてよい。他の例では、ピラー領域26の上面視の形状は、ダミートレンチ部30と同様にU字形状であってよい。

【0173】

図26は、図25におけるa-a断面の一例を示す図である。本例の半導体装置100は、ピラー領域26以外の構造は、図1から図24において説明したいずれかの態様の半導体装置100と同一である。

【0174】

ピラー領域26は、半導体基板10の上面21から、ドリフト領域18に達するまで形成されている。ピラー領域26の上端は、層間絶縁膜38により覆われていてよい。つまり、ピラー領域26は、エミッタ電極52とは接続されていなくてよい。

【0175】

ピラー領域26の少なくとも一部の領域は、ベース領域14と接していてよい。トランジスタ部70に設けられたピラー領域26は、半導体基板10の上面において、ドリフト領域18よりもドーピング濃度の高いN型の高濃度領域に挟まれてよい。本例における高濃度領域は、エミッタ領域12である。トランジスタ部70と境界部90との境界に設けられたピラー領域26は、トランジスタ部70側においてエミッタ領域12と接しており、境界部90側においてコンタクト領域15と接してよい。

【0176】

ピラー領域26は、ゲートレンチ部40と同一の深さ位置まで形成されてよく、より深い位置まで形成されてよく、より浅い位置まで形成されていてもよい。ピラー領域26のZ軸方向の長さは、ゲートレンチ部40のZ軸方向の長さの80%以上、120%以上であってよい。ただし、ピラー領域26は、第2の蓄積領域17よりも深い位置まで形成されることが好ましい。

【0177】

本例のピラー領域26は、ベース領域14よりもドーピング濃度の高いP+型である。ピラー領域26のドーピング濃度のピーク値は、 $5.0 \times 10^{17} / \text{cm}^3$ 以上、 $1.0 \times 10^{20} / \text{cm}^3$ 以下であってよい。ピラー領域26のドーピング濃度のピーク値は、

10

20

30

40

50

コンタクト領域 15 のドーピング濃度のピーク値と同一であってよい。

【0178】

このような構成によっても、ダミートレンチ部 30 を設けた場合と同様に、トランジスタ部 70 のオン電圧を低くできる。また、ゲートトレンチ部 40 とピラー領域 26 の割合を調整することで、スイッチング速度も調整できる。また、ダミートレンチ部 30 が無いので、ダミートレンチ部 30 の絶縁膜等のスクリーニング試験を行わなくてよい。このため、試験のコストを低減できる。

【0179】

また、ダミートレンチ部 30 のスクリーニング用の配線およびパッドを半導体基板 10 に形成しなくてよいので、半導体基板 10 におけるトランジスタ部 70、ダイオード部 80 等の素子領域を拡大できる。また、ピラー領域 26 をエミッタ領域 12 等の高濃度の N 型領域で挟むことで、正孔に対するピラー領域 26 のインピーダンスを増加させることができ、正孔の引き抜きを抑制できる。

【0180】

図 27 は、トランジスタ部 70 のメサ部 60 と、ピラー領域 26 の Z 軸方向におけるドーピング濃度分布の一例を示す図である。本例では、第 1 の蓄積領域 16 と、ピラー領域 26 との間に第 1 の間隙 63、64 が設けられている。

【0181】

図 27 では、Y 軸方向におけるピラー領域 26 の中央を通る断面 c - c でのドーピング濃度分布を示している。ピラー領域 26 の Z 軸方向におけるドーピング濃度分布は、複数のピークを有してよい。図 26 の例では、ドーピング濃度分布は、深さ位置 Z0、Z2 および Z4 においてピークを有する。ピラー領域 26 は、異なる深さ位置に P 型不純物を注入して熱処理することで形成されてよい。これにより、深さ方向に長いピラー領域 26 を容易に形成できる。

【0182】

ピラー領域 26 のドーピング濃度分布が極小値となる深さ位置 Z1、Z3 は、いずれもエミッタ領域 12、第 1 の蓄積領域 16 および第 2 の蓄積領域 17 とは重ならなくてよい。つまり、深さ位置 Z1、Z3 は、いずれも、高濃度の N 型領域の上端から下端までの深さ位置の範囲に含まれない。

【0183】

ドーピング濃度分布がピーク値となる深さ位置 Z0、Z2、Z4 の少なくとも一つは、エミッタ領域 12、第 1 の蓄積領域 16 および第 2 の蓄積領域 17 と重なる位置に設けられてよい。つまり、深さ位置 Z0、Z2、Z4 の少なくとも一つは、高濃度の N 型領域の上端から下端までの深さ位置の範囲に含まれる。

【0184】

ピラー領域 26 において、ドーピング濃度が低い領域を、高濃度の N 型領域に対向しないように配置することで、ピラー領域 26 内に N 型不純物が拡散することを抑制できる。このため、ピラー領域 26 の Y 軸方向における幅を一定以上に維持できる。

【0185】

エミッタ領域 12 と対向する位置に、ピラー領域 26 のドーピング濃度の最大値が配置されてよい。ピラー領域 26 の上端には、他の領域よりもドーピング濃度の高い高濃度領域 27 が設けられてよい。ピラー領域 26 は、第 1 の蓄積領域 16 および第 2 の蓄積領域 17 と接していなくてよい。この場合、ピラー領域 26 と各蓄積領域との間には、ベース領域 14 が設けられる。ピラー領域 26 のドーピング濃度のピーク値は、半導体基板 10 の上面からの距離が大きいほど、小さくなってよい。他の例では、ピラー領域 26 のドーピング濃度のピーク値は、同一であってよい。

【0186】

図 27 において破線で示されるピラー領域 26 のように、ドーピング濃度のピーク位置に対応して、ピラー領域 26 の Y 軸方向の幅が局所的に広がってよい。また、ドーピング濃度の極小の位置に対応して、ピラー領域 26 の Y 軸方向の幅が局所的に狭くてよい。局所

10

20

30

40

50

的に狭い、とは、ドーピング濃度のピーク位置の深さの幅に比べて狭いとしてよい。なお、それぞれのピラー領域 26 が、図 27 において破線で示したような形状を有してよい。

【0187】

さらに、第 2 の蓄積領域 17、および第 1 の蓄積領域 16 の深さを、ピラー領域 26 の幅が局所的に狭い深さと略一致させてよい。これにより、比較的高いドーピング濃度の第 1 または第 2 の蓄積領域と、比較的高いドーピング濃度のピラー領域 26 のピーク位置とが p n 接合を形成することを、回避することができる。その結果、当該 p n 接合における局所的な電界強度の増加を抑制でき、耐圧を高く確保できる。

【0188】

図 28 は、図 25 における a - a 断面の他の例を示す図である。本例の半導体装置 100 は、ピラー領域 26 の上端が層間絶縁膜 38 で覆われていない点で、図 26 の例とは相違する。他の構造は、図 26 および図 27 において説明したいずれかの態様の半導体装置 100 と同一であってよい。この場合、ピラー領域 26 を介して、ドリフト領域 18 に対して正孔を注入および引き抜くことができる。

10

【0189】

図 29 は、図 25 における a - a 断面の他の例を示す図である。本例の半導体装置 100 は、ピラー領域 26 の上端の一部が層間絶縁膜 38 で覆われていない点で、図 26 の例とは相違する。つまり、ピラー領域 26 の上端は、エミッタ電極 52 に接続している。他の構造は、図 26 および図 27 において説明したいずれかの態様の半導体装置 100 と同一であってよい。この場合も、ピラー領域 26 を介して、ドリフト領域 18 に対して正孔を注入および引き抜くことができる。

20

【0190】

図 30 は、半導体装置 100 の上面構造の他の例を示す図である。本例の半導体装置 100 は、図 25 に示した半導体装置 100 に対して、トランジスタ部 70 の構造が異なる。本例のトランジスタ部 70 の構造は、図 9 に示したトランジスタ部 70 と同一である。トランジスタ部 70 以外の構造は、図 25 から図 29 において説明した半導体装置 100 と同一である。

【0191】

図 31 は、図 30 における a - a 断面の一例を示す図である。本例の半導体装置 100 は、図 26 に示した半導体装置 100 に対して、トランジスタ部 70 の構造が異なる。本例のトランジスタ部 70 の構造は、図 10 に示したトランジスタ部 70 と同一である。トランジスタ部 70 以外の構造は、図 26 において説明した半導体装置 100 と同一である。なお、図 25 から図 31 において説明した半導体装置 100 は、第 1 の蓄積領域 16 および第 2 の蓄積領域 17 を備えなくともよい。

30

【0192】

図 32 は、本発明の実施形態に係る半導体装置 200 の一例の YZ 断面を示す図である。半導体装置 200 は、図 1 から図 31 において説明したトランジスタ部 70 を備える。半導体装置 200 は、ダイオード部 80 および境界部 90 を備えていない。トランジスタ部 70 は、図 1 から図 31 において説明したいずれかの態様のトランジスタ部 70 と同一である。

40

【0193】

図 33 は、本発明の実施形態に係る半導体装置 300 の一例の YZ 断面を示す図である。半導体装置 300 は、図 1 から図 31 において説明したダイオード部 80 を備える。半導体装置 300 は、トランジスタ部 70 および境界部 90 を備えていない。ダイオード部 80 は、図 1 から図 31 において説明したいずれかの態様のダイオード部 80 と同一である。

【0194】

以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発

50

明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

【符号の説明】

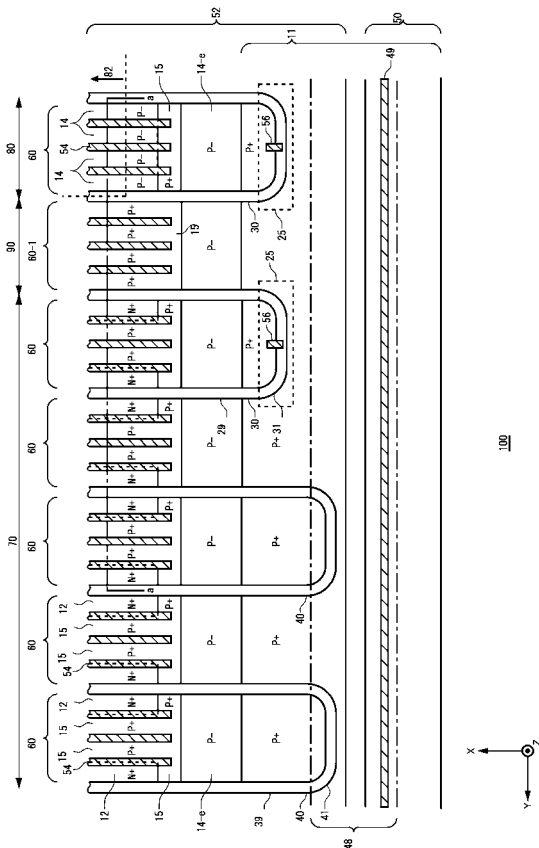
【0195】

- 10・・・半導体基板、11・・・ウェル領域、12・・・エミッタ領域、14・・・ベース領域、15・・・コンタクト領域、16・・・第1の蓄積領域、17・・・第2の蓄積領域、18・・・ドリフト領域、19・・・調整領域、20・・・バッファ領域、21・・・上面、22・・・コレクタ領域、23・・・下面、24・・・コレクタ電極、25・・・接続部、26・・・ピラー領域、27・・・高濃度領域、29・・・延伸部分、30・・・ダミートレンチ部、31・・・接続部分、32・・・ダミー絶縁膜、34・・・ダミー導電部、38・・・層間絶縁膜、39・・・延伸部分、40・・・ゲートトレンチ部、41・・・接続部分、42・・・ゲート絶縁膜、44・・・ゲート導電部、46・・・上側部分、47・・・下側部分、48・・・ゲートランナー、49・・・コンタクトホール、50・・・ゲート金属層、52・・・エミッタ電極、54・・・コンタクトホール、56・・・コンタクトホール、60・・・メサ部、61・・・第1の開口部、62・・・中間領域、63・・・第1の間隙、64・・・第2の間隙、65・・・最短経路、66・・・端部、67・・・端部、68・・・第2の開口部、70・・・トランジスタ部、72・・・薄膜部、74・・・厚膜部、80・・・ダイオード部、82・・・カソード領域、84・・・フローティング領域、85・・・第3の開口部、90・・・境界部、91、92、93・・・部分、94・・・メタルプラグ、95・・・高濃度領域、100・・・半導体装置、200・・・半導体装置、300・・・半導体装置

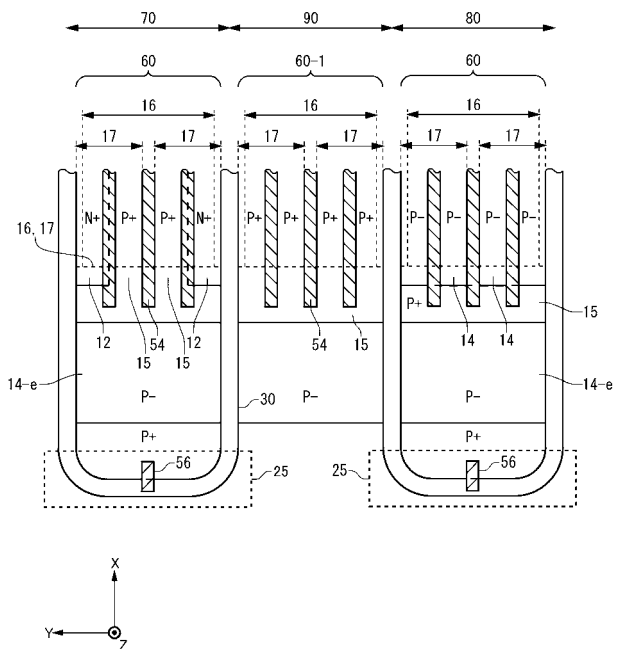
10

20

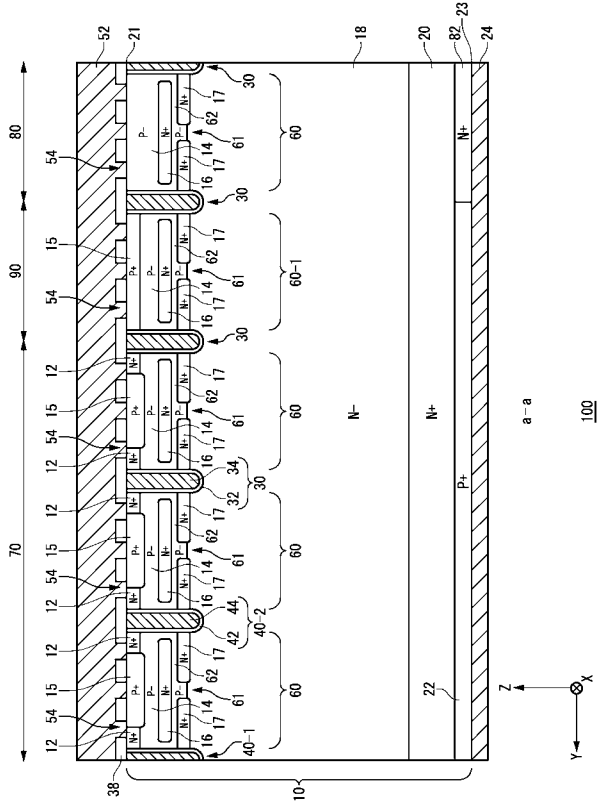
【図1】



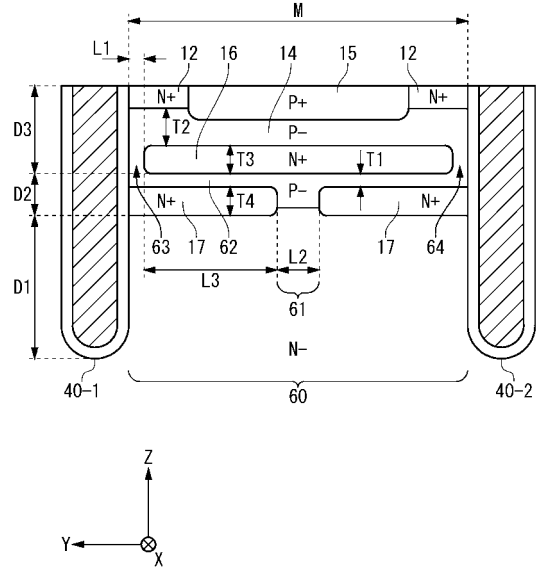
【図2】



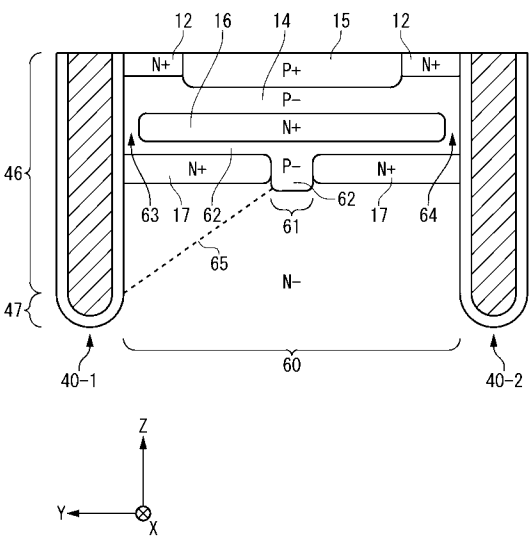
【 図 3 】



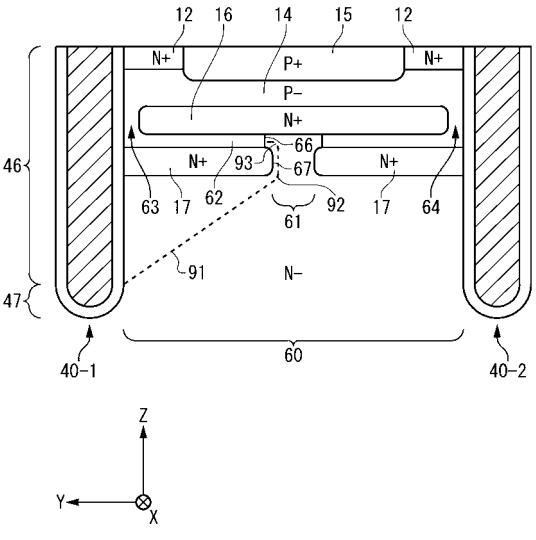
【 図 4 】



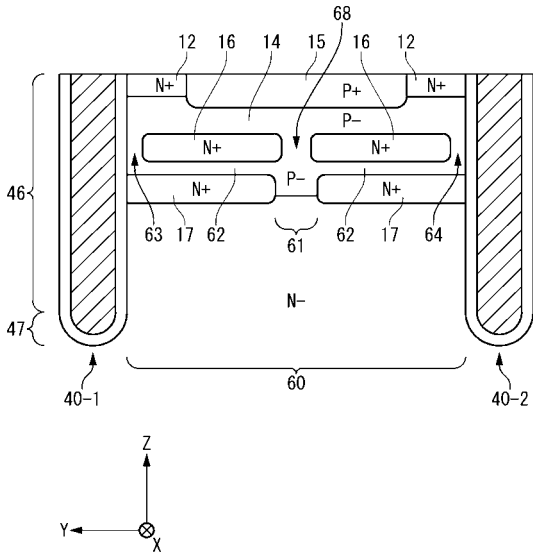
【 図 5 】



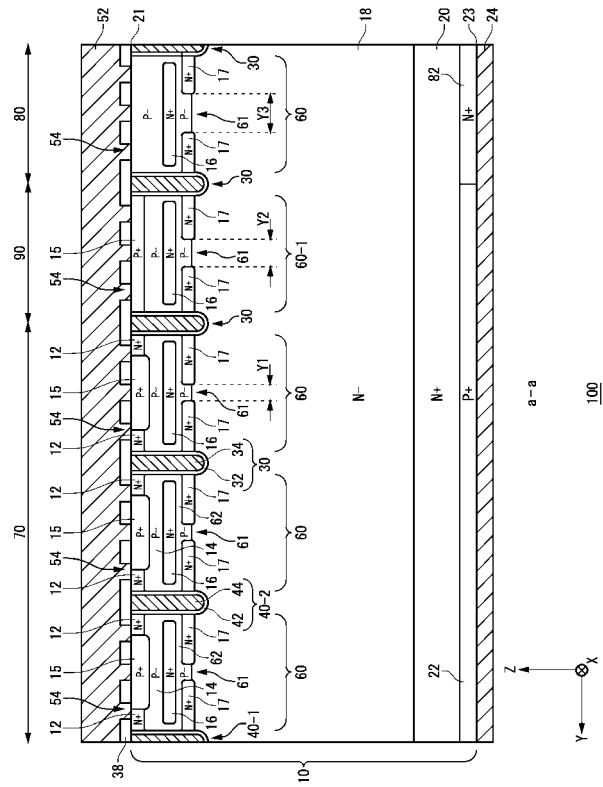
【 図 6 】



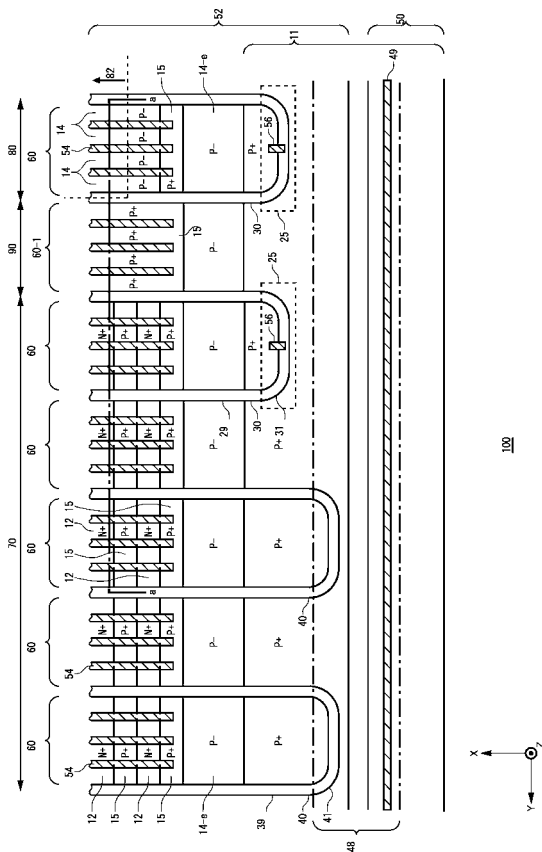
【 図 7 】



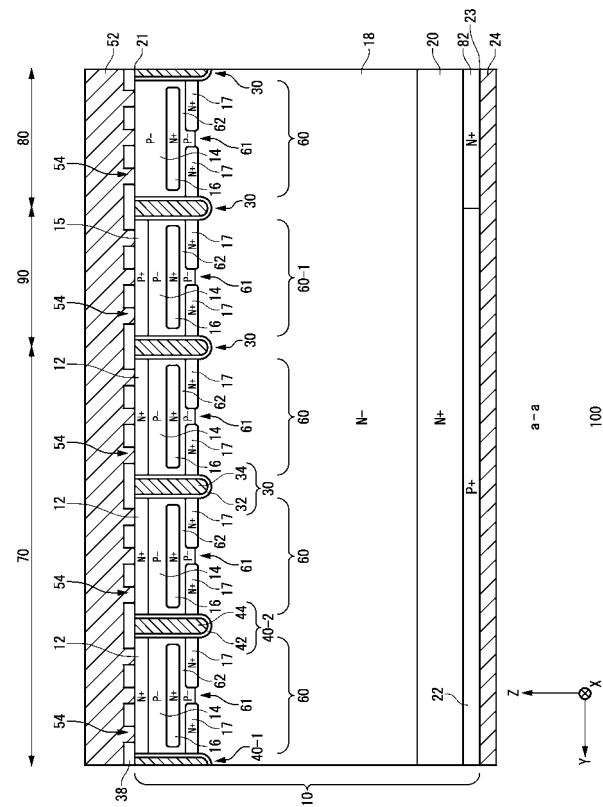
【 図 8 】



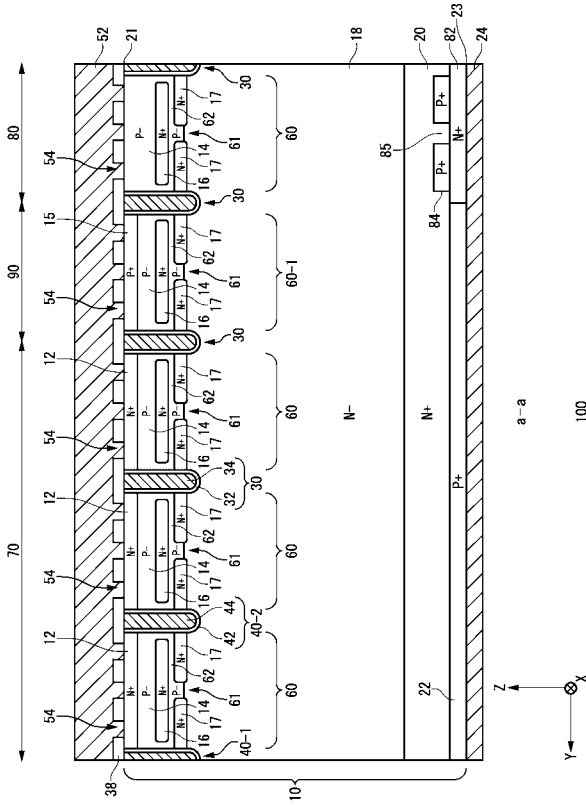
【 図 9 】



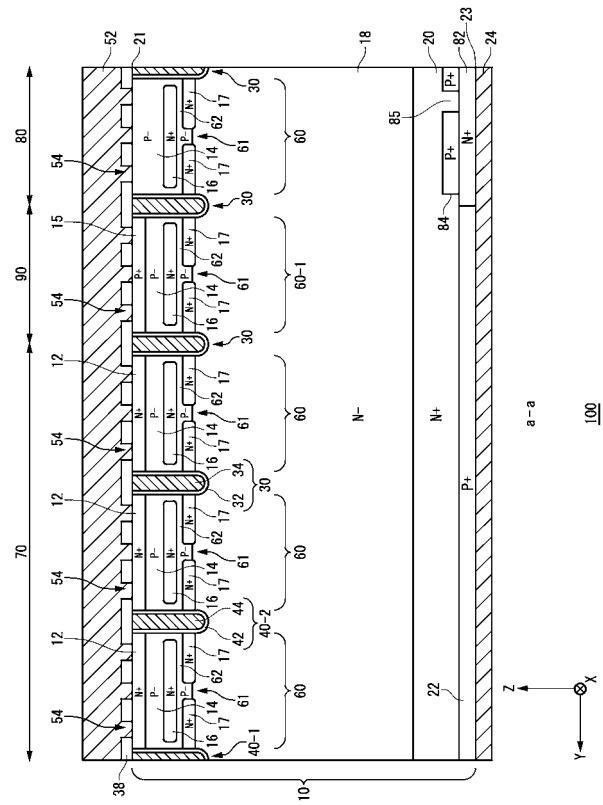
【 図 10 】



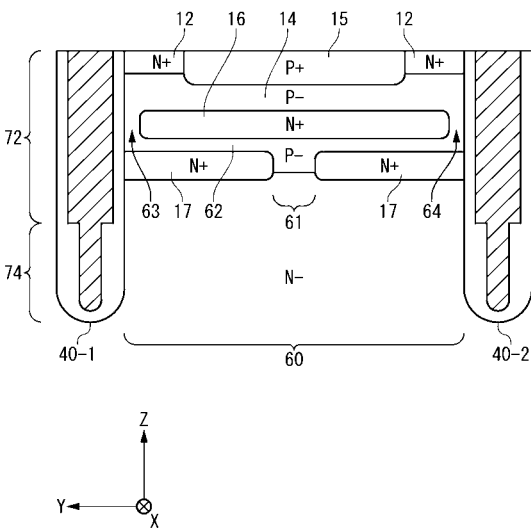
【図 1 1】



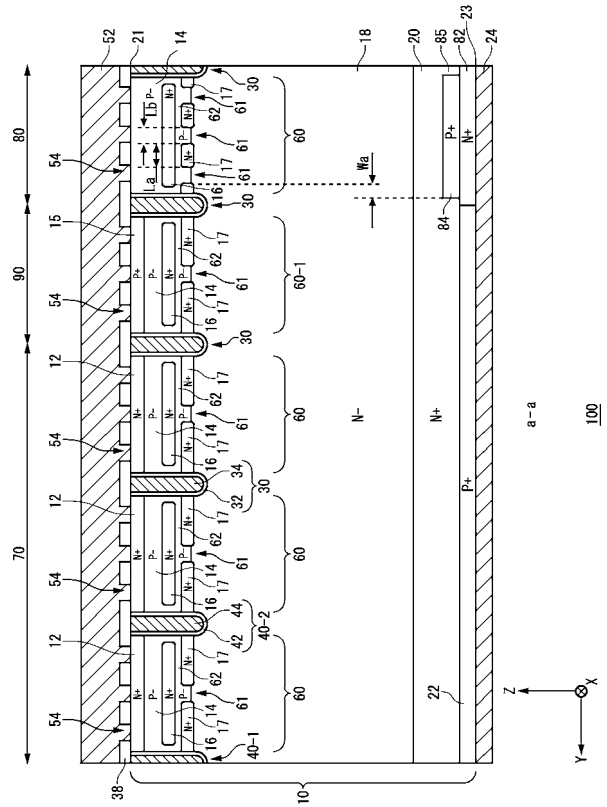
【図 1 2】



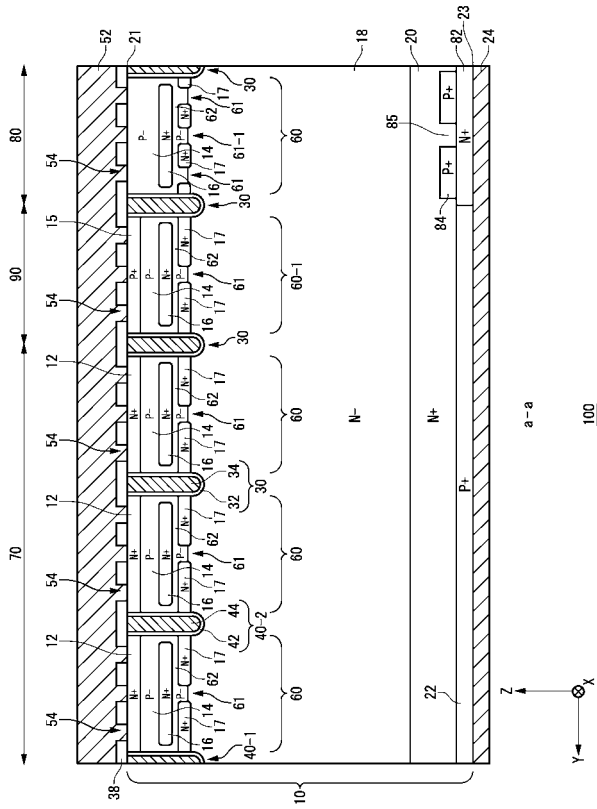
【図 1 3】



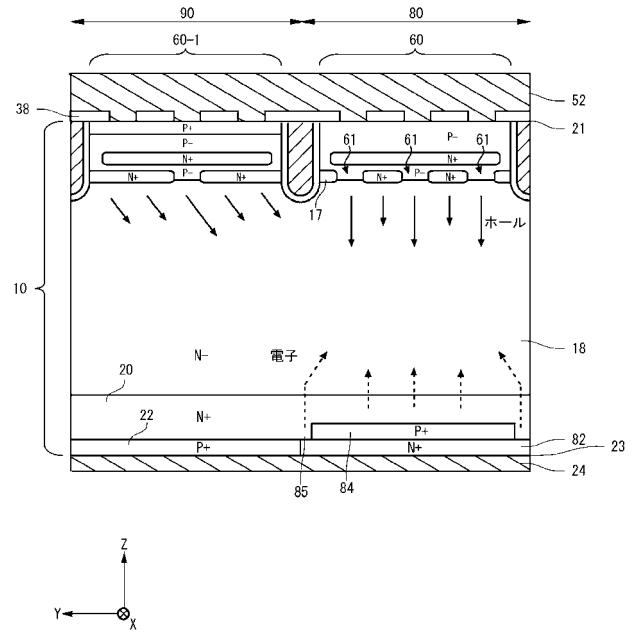
【図 1 4】



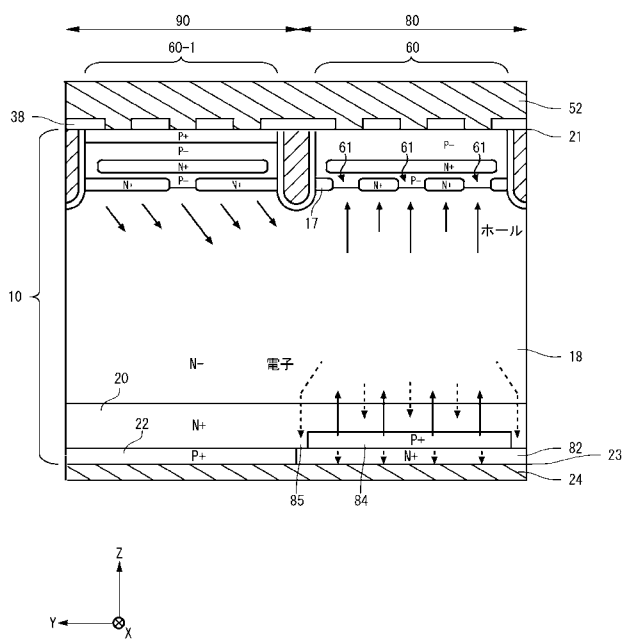
【図 15】



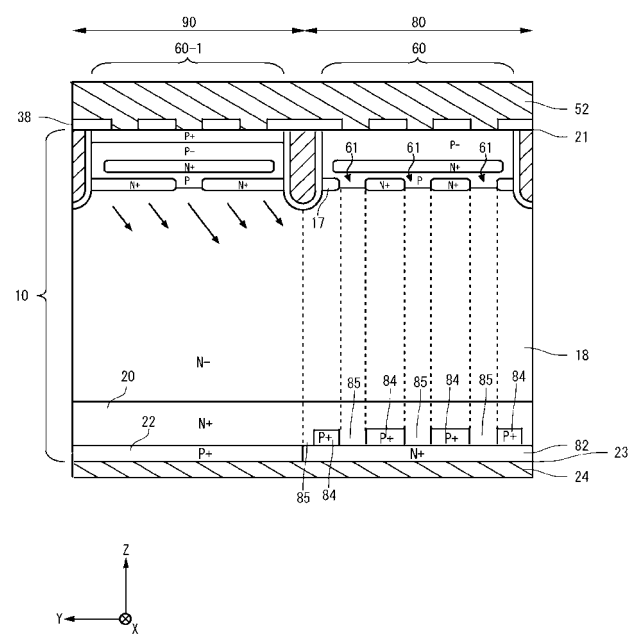
【図 16】



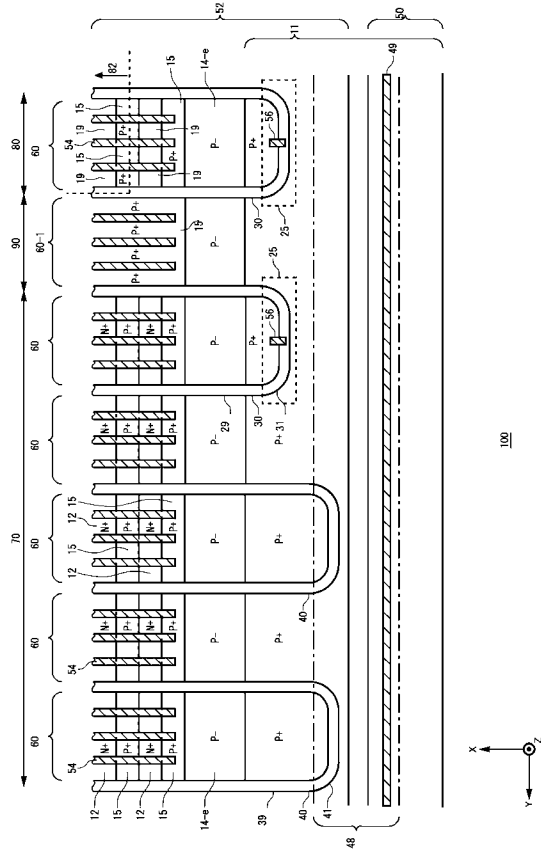
【図 17】



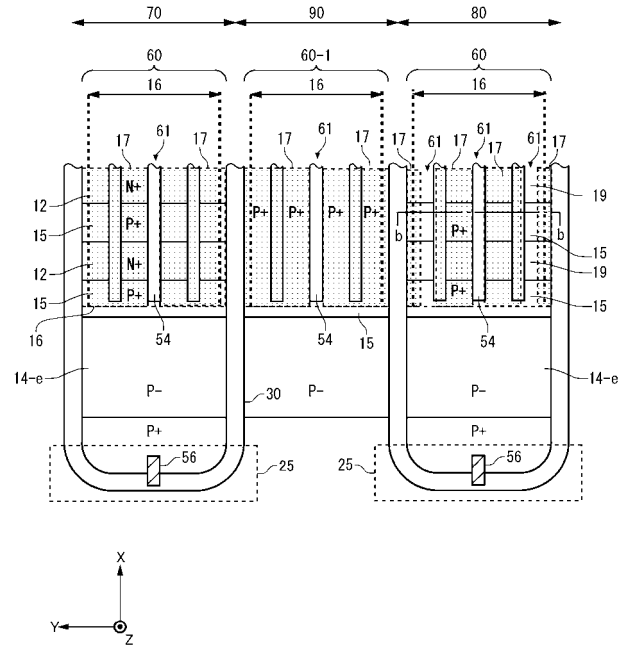
【図 18】



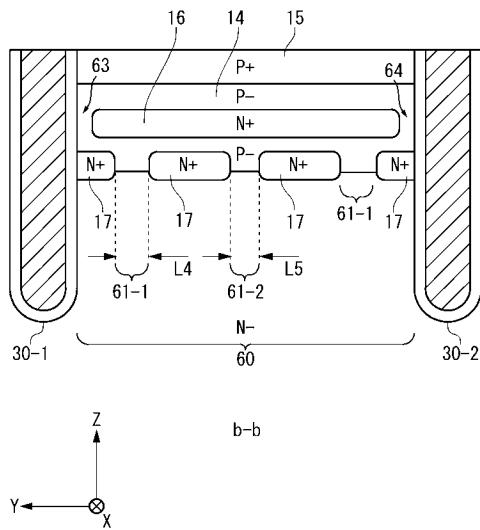
【 図 1 9 】



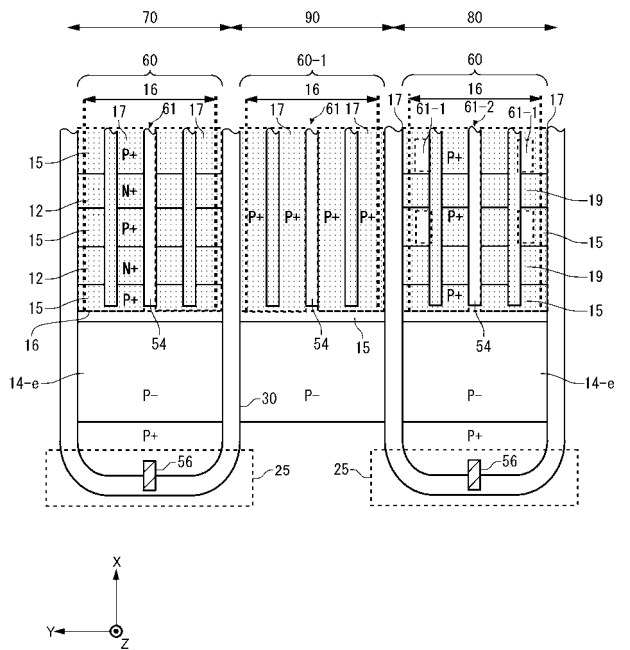
【 図 2 0 】



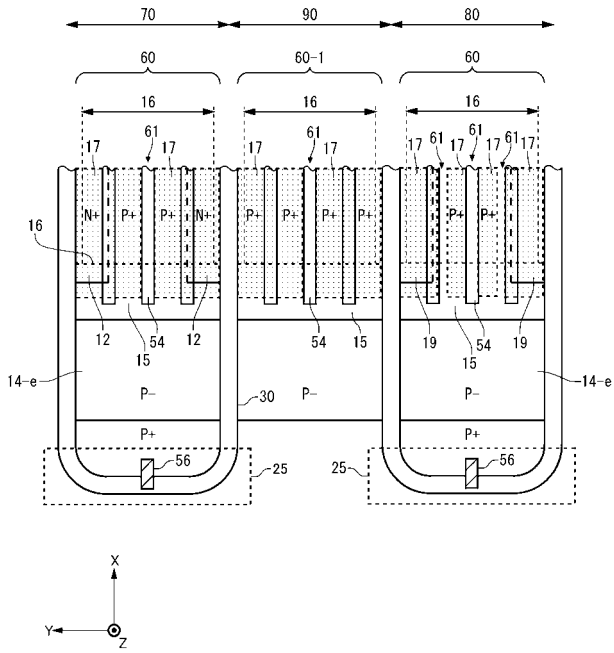
【 図 2 1 】



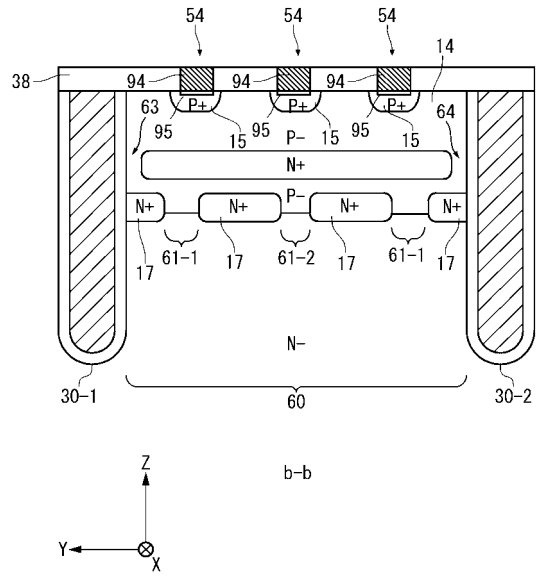
【 図 2 2 】



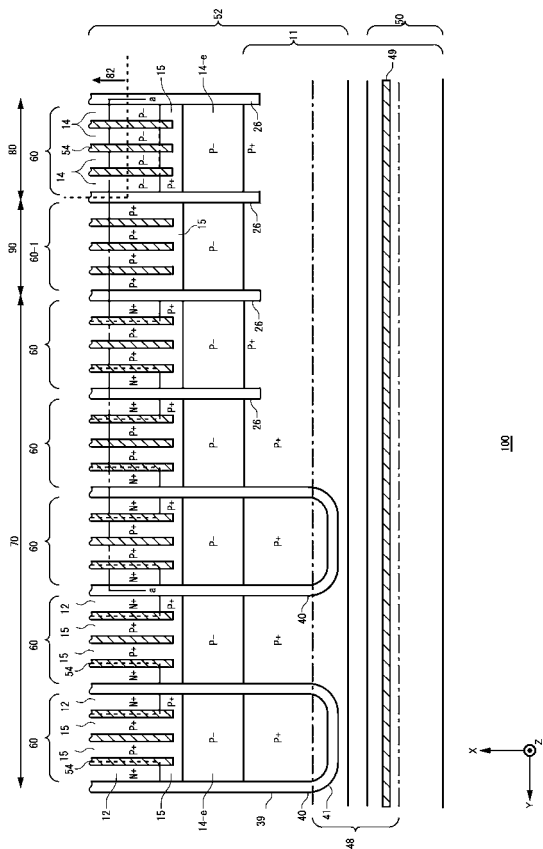
【図23】



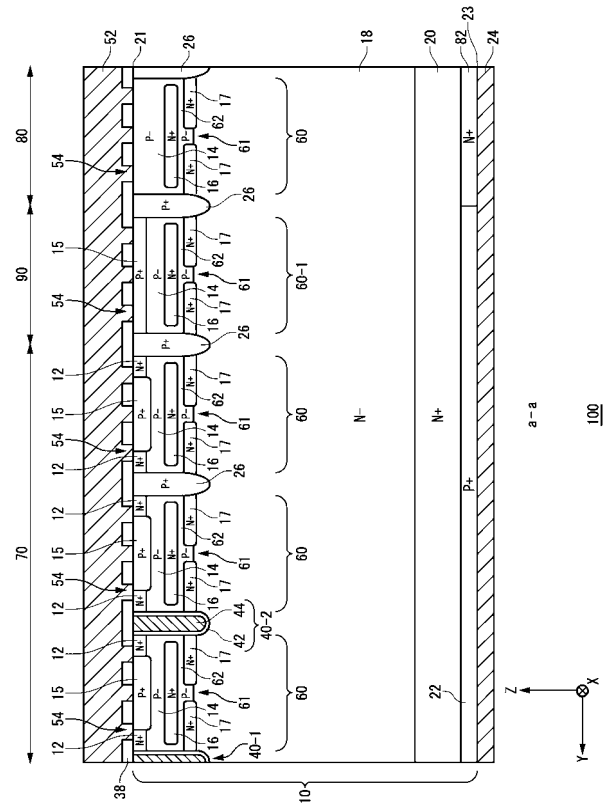
【図24】



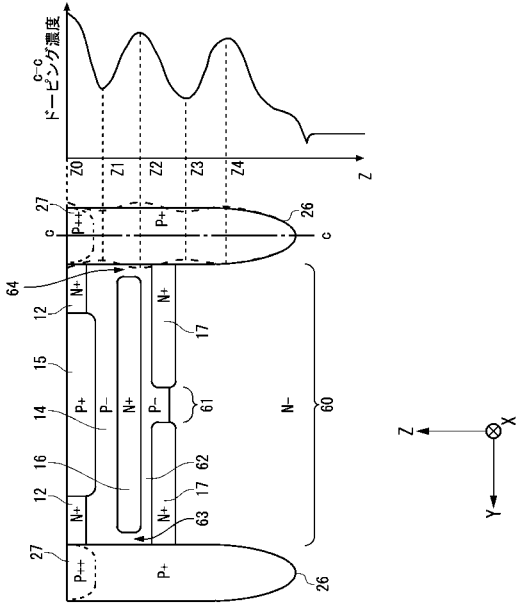
【図25】



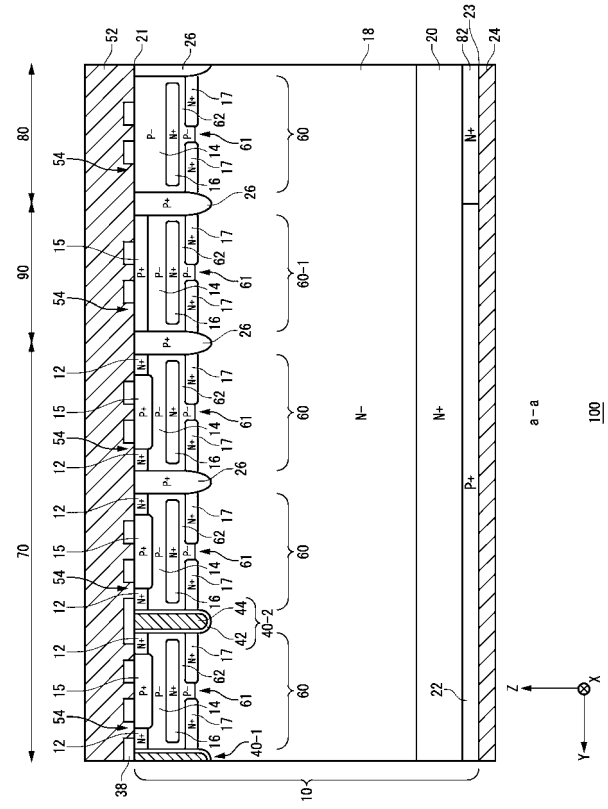
【図26】



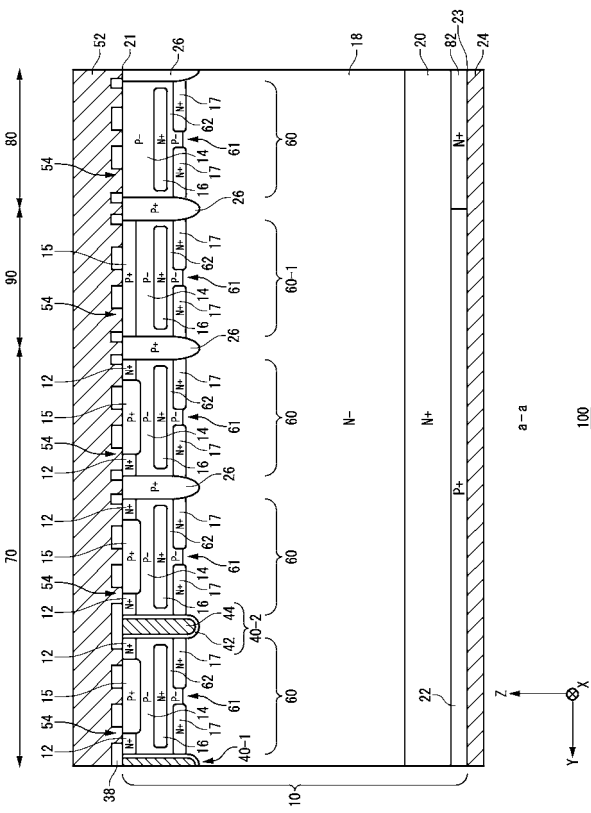
【図 27】



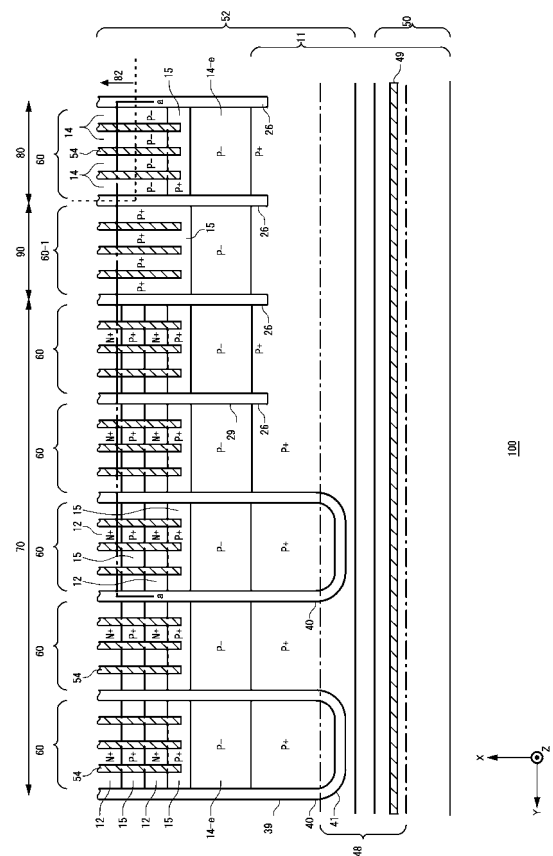
【図 28】



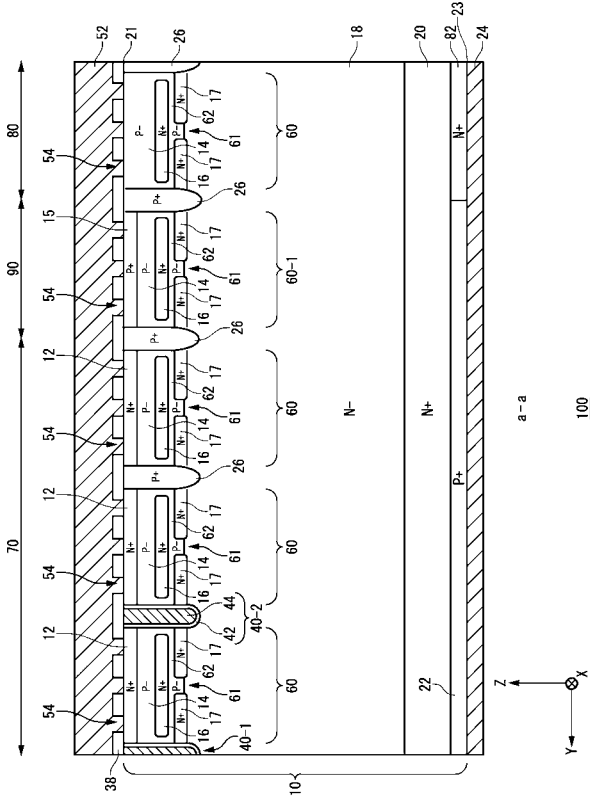
【図 29】



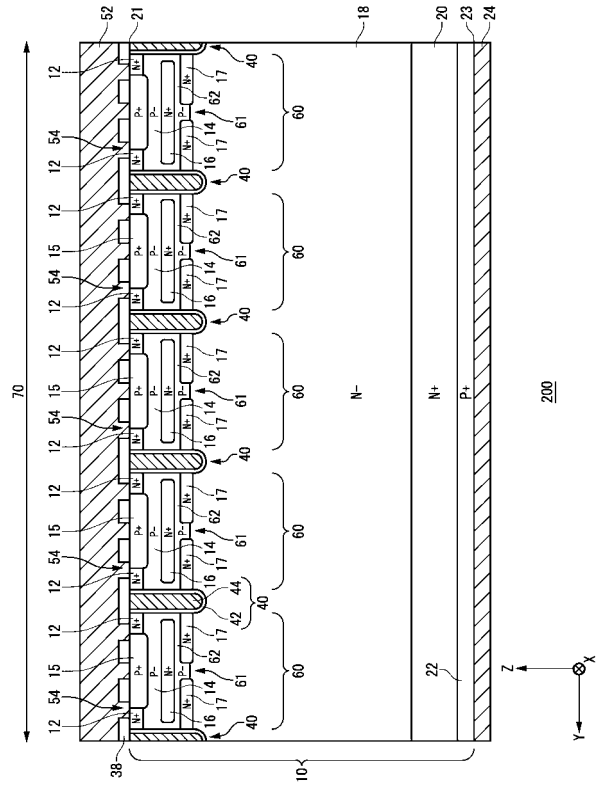
【図 30】



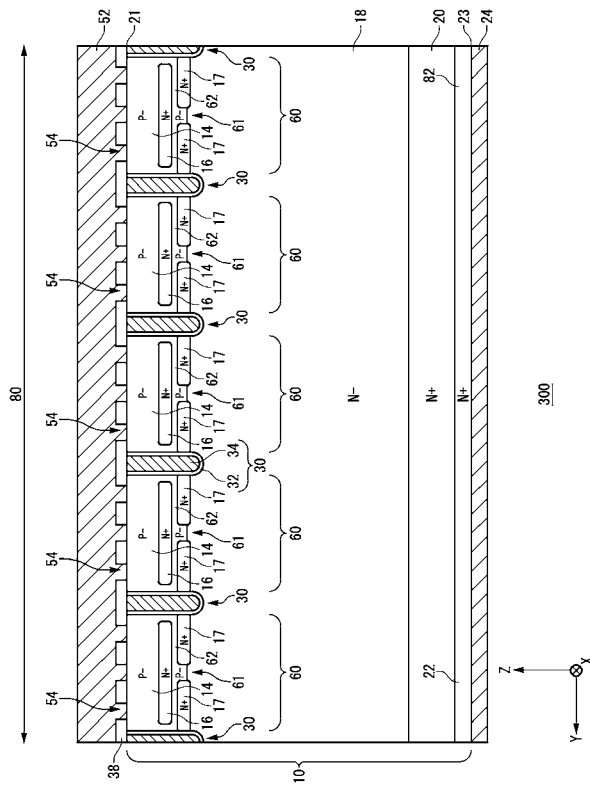
【 3 1 】



【 3 2 】



【 3 3 】



【手続補正書】

【提出日】平成30年8月16日(2018.8.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1導電型のドリフト領域を有する半導体基板と、
前記半導体基板の上面から前記半導体基板の内部まで設けられた第1のトレンチ部と、
前記半導体基板の上面と前記ドリフト領域との間において前記第1のトレンチ部と隣接して設けられた第2導電型のベース領域と、
前記ベース領域と前記ドリフト領域との間に設けられ、前記ドリフト領域よりもドーピング濃度の高い第1導電型の第1の蓄積領域と、
前記第1の蓄積領域より深い位置に設けられた、前記ドリフト領域よりもドーピング濃度の高い第1導電型の第2の蓄積領域と、
前記第1の蓄積領域と前記第2の蓄積領域との間に設けられた第2導電型の中間領域とを備え、
前記第2の蓄積領域は、前記第1の蓄積領域より深い位置に設けられた第1の開口部を有する半導体装置。

【請求項2】

前記第1の蓄積領域は、前記第1のトレンチ部との間に第1の間隙を有する請求項1に記載の半導体装置。

【請求項3】

前記第2の蓄積領域は、前記半導体基板の深さ方向において前記第1の間隙と重なって設けられ、

前記第1の開口部は前記第1の間隙と重ならない位置に設けられる

請求項2に記載の半導体装置。

【請求項4】

前記半導体基板の上面から前記半導体基板の内部まで設けられ、且つ、前記第1のトレンチ部と対向する第2のトレンチ部を更に備え、

前記第1の蓄積領域は、前記第2のトレンチ部との間に第2の間隙を有し、

前記第2の蓄積領域は、前記半導体基板の深さ方向において前記第2の間隙と重って設けられ、

前記第1の開口部は、前記半導体基板の深さ方向において前記第2の間隙と重ならない位置に設けられている

請求項3に記載の半導体装置。

【請求項5】

前記第1のトレンチ部はゲートトレンチ部であり、

前記半導体基板の上面と前記ベース領域との間において前記第1のトレンチ部と隣接して設けられ、前記ドリフト領域よりもドーピング濃度の高い第1導電型のエミッタ領域を更に備える

請求項4に記載の半導体装置。

【請求項6】

前記半導体基板の内部において前記第1のトレンチ部および前記第2のトレンチ部に挟まれた領域をメサ部とし、前記第1のトレンチ部および前記第2のトレンチ部を結ぶ方向をメサ幅方向とした場合に、

前記メサ幅方向において、前記第1の開口部の幅が、前記第2の蓄積領域の幅よりも小さい

請求項 4 または 5 に記載の半導体装置。

【請求項 7】

前記第 1 の開口部が、前記メサ部の前記メサ幅方向における中央を含むように配置されている

請求項 6 に記載の半導体装置。

【請求項 8】

前記中間領域は、前記半導体基板の深さ方向において前記第 1 の開口部と重なる

請求項 1 から 7 のいずれか一項に記載の半導体装置。

【請求項 9】

前記中間領域は、前記第 1 の開口部の内部にも設けられている

請求項 8 に記載の半導体装置。

【請求項 10】

前記中間領域は、前記第 1 の開口部を通過して、前記第 2 の蓄積領域よりも下側に突出して設けられている

請求項 8 または 9 に記載の半導体装置。

【請求項 11】

前記中間領域は、前記半導体基板の深さ方向において前記第 1 の開口部と重ならないように配置されている

請求項 1 から 7 のいずれか一項に記載の半導体装置。

【請求項 12】

前記半導体基板の上面から前記半導体基板の内部まで設けられ、且つ、前記第 1 のトレンチ部と対向する第 2 のトレンチ部を備え、

前記第 2 の蓄積領域は、前記第 1 のトレンチ部および前記第 2 のトレンチ部の両方と接して設けられ、

前記第 1 の蓄積領域は、前記第 1 の開口部と重なる領域に、第 2 の開口部を有する

請求項 1 から 11 のいずれか一項に記載の半導体装置。

【請求項 13】

前記メサ幅方向において、前記第 1 の間隙の幅を L_1 とし、前記メサ部の幅を M とした場合に、

$$0 < L_1 / M < 0.1$$

である請求項 6 または 7 に記載の半導体装置。

【請求項 14】

前記第 1 のトレンチ部は、前記半導体基板の上面において予め定められた延伸方向に沿って延伸して設けられ、

前記第 1 のトレンチ部は、前記延伸方向と垂直な断面において、側壁が直線状に形成された上側部分と、前記上側部分の下側に設けられ側壁が曲線状に形成された下側部分とを有し、

前記延伸方向と垂直な断面において、前記第 1 のトレンチ部の下側部分の上端と、前記中間領域とを、前記第 2 の蓄積領域を通過せずに結ぶ最短経路の距離を X とし、前記メサ部の幅を M とした場合に、

$$M / 2 < X$$

である請求項 6 または 7 に記載の半導体装置。

【請求項 15】

前記メサ幅方向において、前記第 1 の間隙の幅を L_1 とし、前記第 1 の開口部の幅を L_2 とした場合に、

$$L_1 < L_2$$

である請求項 6 または 7 に記載の半導体装置。

【請求項 16】

前記メサ幅方向において、前記第 1 の間隙および前記第 1 の開口部の間の距離を L_3 とし、前記メサ部の幅を M とした場合に、

0.9 × M / 2 L 3

である請求項 6 または 7 に記載の半導体装置。

【請求項 17】

前記メサ幅方向における前記第 1 の開口部の幅が、前記半導体基板の上面と垂直な深さ方向における前記中間領域の厚みより大きい

請求項 6 または 7 に記載の半導体装置。

【請求項 18】

前記半導体基板の上面と垂直な深さ方向において、前記エミッタ領域の下側に設けられた前記ベース領域の厚みが、前記中間領域の厚みより大きい

請求項 5 に記載の半導体装置。

【請求項 19】

前記半導体基板の上面と垂直な深さ方向において、前記第 1 の蓄積領域の厚みが、前記中間領域の厚みより大きい

請求項 1 から 18 のいずれか一項に記載の半導体装置。

【請求項 20】

前記半導体基板の上面と垂直な深さ方向において、前記第 2 の蓄積領域の厚みが、前記中間領域の厚みより大きい

請求項 1 から 19 のいずれか一項に記載の半導体装置。

【請求項 21】

前記半導体基板は、前記ゲートトレンチ部を含むトランジスタ部と、ダイオードが形成されたダイオード部とを含み、

前記ダイオード部は、前記半導体基板の上面から前記半導体基板の内部まで設けられたダミートレンチ部を複数有し、

前記ダイオード部の前記半導体基板の内部において前記ダミートレンチ部に挟まれた領域をメサ部とした場合に、前記ダイオード部の前記メサ部は、前記ベース領域、前記第 1 の蓄積領域、前記第 2 の蓄積領域および前記中間領域を有する

請求項 5 に記載の半導体装置。

【請求項 22】

前記半導体基板は、前記トランジスタ部と、前記ダイオード部との間に配置された境界メサ部を更に備え、

前記境界メサ部は、前記ベース領域、前記第 1 の蓄積領域、前記第 2 の蓄積領域および前記中間領域を有し、

前記境界メサ部における前記第 1 の開口部の幅は、前記トランジスタ部のいずれかの前記メサ部における前記第 1 の開口部の幅よりも大きい

請求項 21 に記載の半導体装置。

【請求項 23】

前記ダイオード部の前記メサ部における前記第 1 の開口部の幅は、前記トランジスタ部の前記メサ部における前記第 1 の開口部の幅よりも大きい

請求項 21 または 22 に記載の半導体装置。

【請求項 24】

前記半導体基板の下面に配置されたコレクタ電極と、

前記トランジスタ部の前記半導体基板の内部に設けられ、前記コレクタ電極と電気的に接続されている第 2 導電型のコレクタ領域と、

前記ダイオード部の前記半導体基板の内部に設けられ、前記コレクタ電極と電気的に接続されている第 1 導電型のカソード領域と、

前記半導体基板の内部において、前記カソード領域の上方に形成され、前記コレクタ電極と接触していない、第 2 導電型のフローティング領域と

を更に備える請求項 21 から 23 のいずれか一項に記載の半導体装置。

【請求項 25】

前記フローティング領域は第 3 の開口部を有し、

前記第 3 の開口部は、前記ダイオード部の前記第 2 の蓄積領域に設けられた前記第 1 の開口部と重なる位置に配置されている

請求項 24 に記載の半導体装置。

【請求項 26】

前記ダイオード部の前記第 2 の蓄積領域に設けられた前記第 1 の開口部の個数は、前記トランジスタ部の前記第 2 の蓄積領域に設けられた前記第 1 の開口部の個数よりも多い

請求項 21 から 25 のいずれか一項に記載の半導体装置。

【請求項 27】

前記半導体基板の内部において 2 つの前記ダミートレンチ部に挟まれた領域をメサ部とし、2 つの前記ダミートレンチ部を結ぶ方向をメサ幅方向とした場合に、

前記ダイオード部の前記第 2 の蓄積領域において、前記メサ幅方向に沿って複数の前記第 1 の開口部が配置されている

請求項 26 に記載の半導体装置。

【請求項 28】

前記ダイオード部の前記第 2 の蓄積領域において前記メサ幅方向に沿って配置された複数の前記第 1 の開口部のうち、前記ダミートレンチ部に最も近い前記第 1 の開口部の幅が、前記ダミートレンチ部から最も離れた前記第 1 の開口部の幅より大きい

請求項 27 に記載の半導体装置。

【請求項 29】

前記ダイオード部の前記メサ部における前記半導体基板の上面には、前記メサ幅方向とは垂直な方向に沿って第 2 導電型のコンタクト領域と、前記コンタクト領域よりも正孔の移動度が小さい調整領域とが交互に配置され、

前記ダイオード部の前記第 2 の蓄積領域において前記メサ幅方向に沿って配置された複数の前記第 1 の開口部のうち、前記ダミートレンチ部に最も近い前記第 1 の開口部は、前記コンタクト領域と重なるように、前記メサ幅方向と垂直な方向に沿って離散的に配置されている

請求項 27 または 28 に記載の半導体装置。

【請求項 30】

前記半導体基板は、ダイオードが形成されたダイオード部を更に備え、

前記ダイオード部は、

前記ベース領域と、

前記第 1 の蓄積領域と、

前記第 2 の蓄積領域と、

前記中間領域と、

前記ベース領域と接して、且つ、前記半導体基板の上面から前記ドリフト領域まで形成された、前記ベース領域よりもドーピング濃度の高い第 2 導電型のピラー領域と

を有する請求項 1 から 20 のいずれか一項に記載の半導体装置。

【請求項 31】

前記半導体基板の上面において、前記ピラー領域は、前記ドリフト領域よりもドーピング濃度の高い高濃度領域に挟まれている

請求項 30 に記載の半導体装置。

【請求項 32】

前記半導体基板の深さ方向における前記ピラー領域のドーピング濃度分布は複数のピークを有する

請求項 30 または 31 に記載の半導体装置。

【請求項 33】

前記ピラー領域の前記ドーピング濃度分布が極小値となる深さ位置は、前記第 2 の蓄積領域とは重ならない

請求項 32 に記載の半導体装置。

【請求項 34】

前記ピラー領域のドーピング濃度のピーク値は、 $5.0 \times 10^{17} / \text{cm}^3$ 以上、 $1.0 \times 10^{20} / \text{cm}^3$ 以下である

請求項30から33のいずれか一項に記載の半導体装置。

【請求項35】

前記半導体基板の上面から前記半導体基板の内部まで設けられ、且つ、前記第1のトレンチ部と対向する第2のトレンチ部を備え、

前記半導体基板の内部において前記第1のトレンチ部および前記第2のトレンチ部に挟まれた領域をメサ部とし、前記第1のトレンチ部および前記第2のトレンチ部を結ぶ方向をメサ幅方向とした場合に、

前記第1の開口部が、前記メサ部の前記メサ幅方向における中央を含むように配置されており、

前記第1の開口部と前記第1の間隙の間において、前記第1の蓄積領域と前記第2の蓄積領域とが重なるように配置されている

請求項1から20のいずれか一項に記載の半導体装置。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2017/038825
A. CLASSIFICATION OF SUBJECT MATTER Int. Cl. H01L29/78(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L29/739(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int. Cl. H01L29/78, H01L21/8234, H01L27/06, H01L29/739, H01L29/861, H01L29/868 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2017 Registered utility model specifications of Japan 1996-2017 Published registered utility model applications of Japan 1994-2017 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2005-210047 A (TOYOTA CENTRAL RES & DEV; TOYOTA MOTOR CORP.) 04 August 2005, paragraphs [0024], [0037], fig. 3, 12 & US 2007/0114598 A1, paragraphs [0096]-[0103], [0142]-[0144], fig. 3, 12 & WO 2005/062385 A1 & EP 1697995 A1 & EP 2146377 A2 & KR 10-2006-0127075 A & CN 1890813 A	1-5, 8, 9, 12 21, 27 6, 7, 10, 11, 13-20, 22-26, 28-34
Y A	JP 2010-118642 A (DENSO CORP.) 27 May 2010, paragraphs [0112]-[0119], fig. 11 & US 2010/0090248 A1, paragraphs [0103]-[0109], fig. 11 & DE 102009049051 A1 & CN 101728386 A	21, 27 1-20, 22-26, 28-34
A	WO 2016/063683 A1 (FUJI ELECTRIC CO., LTD.) 28 April 2016, paragraphs [0081], [0082], fig. 7 & US 2017/0047319 A1, paragraphs [0094]-[0097], fig. 7	1-34
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 27.11.2017		Date of mailing of the international search report 12.12.2017
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/038825

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-251573 A (TOYOTA CENTRAL RESEARCH AND DEVELOPMENT LABORATORIES, INC.) 17 September 1999, paragraphs [0010]-[0019], fig. 1 (Family: none)	1-34
A	JP 2012-138567 A (DENSO CORP.) 19 July 2012, paragraphs [0149]-[0151], fig. 22 & US 2012/0146091 A1, paragraphs [0137]-[0139], fig. 22 & JP 2014-197702 A	1-34

国際調査報告		国際出願番号 PCT/J P 2 0 1 7 / 0 3 8 8 2 5	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/78(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L29/739(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/78, H01L21/8234, H01L27/06, H01L29/739, H01L29/861, H01L29/868			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2017年 日本国実用新案登録公報 1996-2017年 日本国登録実用新案公報 1994-2017年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y A	JP 2005-210047 A (株式会社豊田中央研究所, トヨタ自動車株式会社) 2005.08.04, 段落[0024], [0037], 図3, 12 & US 2007/0114598 A1, 段落[0096]-[0103], [0142]-[0144], 図3, 12 & WO 2005/062385 A1 & EP 1697995 A1 & EP 2146377 A2 & KR 10-2006-0127075 A & CN 1890813 A	1-5, 8, 9, 12 21, 27 6, 7, 10, 11, 13-20, 22-26, 28-34	
☑ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献	
国際調査を完了した日 27.11.2017		国際調査報告の発送日 12.12.2017	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 恩田 和彦 電話番号 03-3581-1101 内線 3516	5 F 5896

国際調査報告		国際出願番号 PCT/J P 2 0 1 7 / 0 3 8 8 2 5
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2010-118642 A (株式会社デンソー) 2010.05.27, 段落[0112]-[0119], 図 11 & US 2010/0090248 A1, 段落[0103]-[0109], 図 11 & DE 102009049051 A1 & CN 101728386 A	21, 27 1-20, 22-26, 28-34
A	WO 2016/063683 A1 (富士電機株式会社) 2016.04.28, 段落[0081]-[0082], 図 7 & US 2017/0047319 A1, 段落[0094]-[0097], 図 7	1-34
A	JP 11-251573 A (株式会社豊田中央研究所) 1999.09.17, 段落[0010]-[0019], 図 1 (ファミリーなし)	1-34
A	JP 2012-138567 A (株式会社デンソー) 2012.07.19, 段落[0149]-[0151], 図 22 & US 2012/0146091 A1, 段落[0137]-[0139], 図 22 & JP 2014-197702 A	1-34

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
H 0 1 L 21/8234 (2006.01)	H 0 1 L 29/91	C
H 0 1 L 27/06 (2006.01)	H 0 1 L 29/78	6 5 5 G
H 0 1 L 27/088 (2006.01)	H 0 1 L 29/78	6 5 2 Q
	H 0 1 L 29/78	6 5 2 T
	H 0 1 L 29/91	F
	H 0 1 L 29/78	6 5 2 D
	H 0 1 L 29/78	6 5 5 B
	H 0 1 L 29/78	6 5 2 K
	H 0 1 L 29/78	6 5 5 E
	H 0 1 L 27/06	1 0 2 A
	H 0 1 L 27/088	E

(81) 指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。