



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년07월11일
(11) 등록번호 10-2418726
(24) 등록일자 2022년07월05일

(51) 국제특허분류(Int. Cl.)
H01L 21/8238 (2006.01) H01L 21/768 (2006.01)
(52) CPC특허분류
H01L 21/823871 (2013.01)
H01L 21/76892 (2013.01)
(21) 출원번호 10-2020-0099222
(22) 출원일자 2020년08월07일
심사청구일자 2020년08월07일
(65) 공개번호 10-2021-0137363
(43) 공개일자 2021년11월17일
(30) 우선권주장
16/869,861 2020년05월08일 미국(US)
(56) 선행기술조사문헌
US20200035605 A1*
(뒷면에 계속)

(73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
(72) 발명자
후앙 유-리엔
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
왕 구안-렌
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
푸 칭-펑
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
(74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 10 항

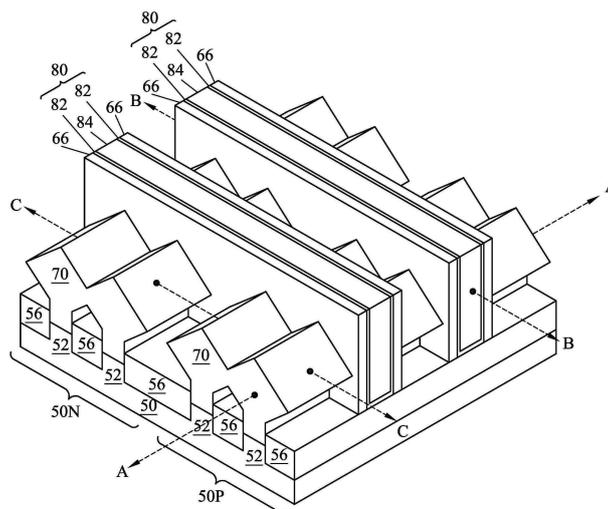
심사관 : 오순영

(54) 발명의 명칭 반도체 디바이스 및 방법

(57) 요약

실시형태의 방법은: 채널 영역 위에 게이트 스택을 형성하는 단계; 채널 영역에 인접한 소스/드레인 영역을 성장시키는 단계; 소스/드레인 영역 및 게이트 스택 위에 제1 ILD 층을 성막하는 단계; 소스/드레인 영역과 물리적으로 접촉하는 소스/드레인 콘택트를 제1 ILD 층을 통하여 형성하는 단계; 게이트 스택과 물리적으로 접촉하는 게이트 콘택트를 제1 ILD 층을 통하여 형성하는 단계; 제1 측벽 및 제2 측벽을 부분적으로 노출시키도록 에칭 공정을 수행하는 단계(제1 측벽은 소스/드레인 콘택트와 제1 ILD 층의 제1 계면에 있고, 제2 측벽은 게이트 콘택트와 제1 ILD 층의 제2 계면에 있음); 소스/드레인 콘택트의 제1 측벽 및 제1 상부면과 물리적으로 접촉하는 제1 전도성 피처를 형성하는 단계; 및 게이트 콘택트의 제2 측벽 및 제2 상부면과 물리적으로 접촉하는 제2 전도성 피처를 형성하는 단계를 포함한다.

대표도



(52) CPC특허분류

H01L 21/76897 (2013.01)

H01L 21/823821 (2013.01)

(56) 선행기술조사문헌

US20200051858 A1*

US20200105586 A1

US20200135871 A1

US09859386 B2

KR1020190099990 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

구조물(structure)에 있어서,
 기관의 채널 영역 위의 게이트 스택;
 상기 채널 영역에 인접한 소스/드레인 영역;
 상기 소스/드레인 영역 및 상기 게이트 스택 위의 제1 층간 유전체(inter-layer dielectric, ILD) 층;
 상기 제1 ILD 층 위의 제1 금속 간 유전체(inter-metal dielectric, IMD) 층;
 상기 제1 IMD 층을 통하여 연장되는 제1 전도성 피처;
 상기 제1 IMD 층을 통하여 연장되는 제2 전도성 피처;
 상기 소스/드레인 영역 및 상기 제1 전도성 피처와 물리적으로 접촉하는 소스/드레인 콘택트;
 상기 제1 ILD 층을 통하여 상기 제2 전도성 피처 내로 부분적으로 연장되며 상기 게이트 스택 및 상기 제2 전도성 피처와 물리적으로 접촉하는 게이트 콘택트; 및
 상기 소스/드레인 영역 및 상기 제1 ILD 층 사이의 제2 ILD 층
 을 포함하고,
 상기 소스/드레인 콘택트는:
 상기 제1 ILD 층을 통하여 상기 제1 전도성 피처 내로 부분적으로 연장되는 제3 도전성 피처;
 및
 상기 제3 도전성 피처 및 상기 소스/드레인 영역 사이에 있고, 상기 제2 ILD 층을 통하여 연장되며, 상기 제3 도전성 피처에 물리적으로 접촉하는 편평하지 않은 상부면을 갖는 제4 도전성 피처
 를 포함하는, 구조물.

청구항 2

제1항에 있어서,
 상기 소스/드레인 콘택트는 상기 제1 전도성 피처와 물리적으로 접촉하는 제1 볼록 상부면(convex top surface)을 가지며, 상기 게이트 콘택트는 상기 제2 전도성 피처와 물리적으로 접촉하는 제2 볼록 상부면을 갖는 것인, 구조물.

청구항 3

제1항에 있어서,
 상기 소스/드레인 콘택트는 상기 제1 전도성 피처와 각각 물리적으로 접촉하는 제1 측벽 및 제1 편평 상부면(flat top surface)을 가지며, 상기 게이트 콘택트는 제2 전도성 피처와 각각 물리적으로 접촉하는 제2 측벽 및 제2 편평 상부면을 가지는 것인, 구조물.

청구항 4

제1항에 있어서,
 상기 소스/드레인 콘택트는 상기 제1 ILD 층을 통하여, 상기 제2 ILD 층을 통하여, 그리고 상기 제1 전도성 피처 내로 부분적으로 연장되는 연속적인 전도성 피처인 것인, 구조물.

청구항 5

제1항에 있어서,

상기 제3 전도성 피치는 상기 제4 전도성 피치 내로 부분적으로 연장되는 것인, 구조물.

청구항 6

제1항에 있어서,

상기 제4 전도성 피치는 상기 제3 전도성 피치 내로 부분적으로 연장되는 것인, 구조물.

청구항 7

제1항에 있어서,

상기 소스/드레인 콘택트 및 상기 게이트 콘택트는 각각 제1 전도성 물질을 포함하고, 상기 제1 전도성 피치 및 상기 제2 전도성 피치는 각각 제2 전도성 물질을 포함하고, 상기 제1 전도성 물질은 상기 제2 전도성 물질과 상이한 것인, 구조물.

청구항 8

제7항에 있어서,

상기 제1 전도성 물질은 상기 제2 전도성 물질보다 더 큰 일 함수를 가지는 것인, 구조물.

청구항 9

구조물에 있어서,

기판의 채널 영역 위의 게이트 스택;

상기 채널 영역에 인접한 소스/드레인 영역;

상기 소스/드레인 영역 및 상기 게이트 스택 위의 제1 층간 유전체(ILD) 층;

상기 제1 ILD 층 위의 제1 금속 간 유전체(IMD) 층;

상기 제1 IMD 층을 통하여 상기 제1 ILD 층 내로 부분적으로 연장되는 제1 전도성 피치;

상기 제1 IMD 층을 통하여 상기 제1 ILD 층 내로 부분적으로 연장되는 제2 전도성 피치;

상기 소스/드레인 영역 및 상기 제1 전도성 피치와 물리적으로 접촉하는 소스/드레인 콘택트;

상기 제1 ILD 층 내로 부분적으로 연장되고 상기 게이트 스택 및 상기 제2 전도성 피치와 물리적으로 접촉하는 게이트 콘택트; 및

상기 소스/드레인 영역 및 상기 제1 ILD 층 사이의 제2 ILD 층

을 포함하고,

상기 소스/드레인 콘택트는,

상기 제1 ILD 층 내로 부분적으로 연장되는 제3 도전성 피치; 및

상기 제3 도전성 피치 및 상기 소스/드레인 영역 사이에 있고, 상기 제2 ILD 층을 통하여 연장되며, 상기 제3 도전성 피치에 물리적으로 접촉하는 편평하지 않은 상부면을 갖는 제4 도전성 피치를 포함하는, 구조물.

청구항 10

방법에 있어서,

기판의 채널 영역 위에 게이트 스택을 형성하는 단계;

상기 채널 영역에 인접한 소스/드레인 영역을 성장시키는 단계;

상기 소스/드레인 영역 및 상기 게이트 스택 위에 제2 층간 유전체(ILD) 층을 성막하는 단계;

상기 제2 ILD 층 상에 제1 ILD 층을 성막하는 단계;

상기 소스/드레인 영역과 물리적으로 접촉하는 소스/드레인 콘택트를 상기 제1 ILD 층 및 제2 ILD 층을 통하여 형성하는 단계 - 상기 소스/드레인 콘택트를 형성하는 단계는:

상기 제2 ILD 층에 하부 소스/드레인 콘택트를 형성하는 단계; 및

상기 제1 ILD 층에 상부 소스/드레인 콘택트를 형성하는 단계 - 상기 하부 소스/드레인 콘택트는 상기 상부 소스/드레인 콘택트에 물리적으로 접촉하는 편평하지 않은 상부 면을 가짐 -

를 포함함 -;

상기 게이트 스택과 물리적으로 접촉하는 게이트 콘택트를 상기 제1 ILD 층을 통하여 형성하는 단계;

상기 소스/드레인 콘택트의 제1 측벽 및 상기 게이트 콘택트의 제2 측벽을 노출시키도록 상기 제1 ILD 층을 리세싱하는 단계;

상기 소스/드레인 콘택트의 제1 측벽 및 제1 상부면과 물리적으로 접촉하는 제1 전도성 피처를 형성하는 단계; 및

상기 게이트 콘택트의 제2 측벽 및 제2 상부면과 물리적으로 접촉하는 제2 전도성 피처를 형성하는 단계

를 포함하는, 방법.

발명의 설명

기술 분야

배경 기술

[0001] 반도체 디바이스는 예를 들어 개인용 컴퓨터, 휴대폰, 디지털 카메라 및 기타 전자 장비와 같은 다양한 전자 애플리케이션에 사용된다. 반도체 디바이스는 전형적으로 반도체 기판 위에 물질의 절연 또는 유전체 층, 전도성 층 및 반도체 층을 순차적으로 성막하고, 리소그래피를 사용하여 다양한 물질 층을 패터닝하여, 그 위에 회로 부품 및 소자를 형성함으로써 제조된다.

[0002] 반도체 산업은 최소 피처 크기의 지속적인 감소에 의하여 다양한 전자 부품(예를 들어, 트랜지스터, 다이오드, 저항기, 캐패시터 등)의 집적 밀도를 계속 개선하여, 더 많은 부품이 주어진 영역 내로 집적되는 것을 가능하게 한다. 그러나, 최소 피처 크기가 감소됨에 따라, 해결하여야 할 추가 문제가 발생한다.

도면의 간단한 설명

[0003] 본 개시의 양태는 첨부 도면과 함께 읽을 때 다음의 상세한 설명으로부터 가장 잘 이해된다. 업계의 표준 관행에 따라 다양한 피처들이 축척에 맞게 그려지지 않는다는 점에 유의한다. 실제로, 다양한 피처의 치수는 논의의 명확성을 위하여 임의로 증가 또는 감소될 수 있다.

도 1은 일부 실시형태에 따른 FinFET의 예를 3 차원 뷰로 도시한다.

도 2 및 3은 일부 실시형태에 따른 FinFET의 제조에서 중간 단계의 3 차원 뷰이다.

도 4a, 4b, 4c, 4d, 5a, 5b, 6a, 6b, 7a 및 7b는 일부 실시형태에 따른 FinFET의 제조에서 추가적인 중간 단계의 단면도이다.

도 8, 9 및 10은 일부 실시형태에 따른 FinFET의 제조에서 추가적인 중간 단계의 단면도이다.

도 11은 일부 다른 실시형태에 따른 FinFET의 단면도이다.

도 12는 일부 다른 실시형태에 따른 FinFET의 단면도이다.

도 13은 일부 다른 실시형태에 따른 FinFET의 단면도이다.

도 14는 일부 다른 실시형태에 따른 FinFET의 단면도이다.

도 15는 일부 다른 실시형태에 따른 FinFET의 단면도이다.

도 16 및 도 17은 일부 다른 실시형태에 따른 FinFET의 제조에서 중간 단계의 단면도이다.

도 18은 일부 다른 실시형태에 따른 FinFET의 단면도이다.

도 19는 일부 다른 실시형태에 따른 FinFET의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0004] 다음의 개시는 본 발명의 상이한 피처들을 구현하기 위한 많은 상이한 실시형태 또는 예를 제공한다. 본 개시를 단순화하기 위하여 부품 및 배열의 특정 예가 아래에 기술된다. 이들은 물론 예일 뿐이며 제한하려는 것이 아니다. 예를 들어, 이하의 설명에서 제2 피처 위에(over) 또는 제2 피처 상에(on) 제1 피처를 형성하는 것은 제1 및 제2 피처가 직접 접촉하여 형성되는 실시형태를 포함할 수 있고, 제1 및 제2 피처 사이에 추가적인 피처가 형성되어, 제1 및 제2 피처가 서로 직접 접촉하지 않을 수 있는 실시형태를 또한 포함할 수 있다. 또한 본 개시는 다양한 예에서 참조 번호 및/또는 문자(letter)를 반복할 수 있다. 이러한 반복은 단순성 및 명확성을 위한 것으로서, 논의된 다양한 실시형태 및/또는 구성 사이의 관계를 그 자체로 나타내지는 않는다.
- [0005] 또한, "아래(beneath)", "아래(below)", "하부(lower)", "위(above)", "상부(upper)" 등과 같은 공간적으로 상대적인 용어가 도면에 도시된 하나의 요소 또는 피처의 다른 요소(들) 또는 피처(들)과의 관계를 기술하기 위하여 설명의 편의를 위하여 본 명세서에서 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시된 방향 외에 사용 중이거나 동작 중인 디바이스의 상이한 방향을 포함하도록 의도된다. 장치는 다르게(90도 회전되거나 다른 배향으로) 배향될 수 있고, 본 명세서에서 사용되는 공간적으로 상대적인 기술어(descriptor)도 마찬가지로 이에 따라 해석될 수 있다.
- [0006] 일부 실시형태들에 따르면, 위에 놓인(overlying) 전도성 피처들을 갖는 큰 계면(interface)을 갖는 게이트 콘택트들 및/또는 소스/드레인 콘택트들이 형성된다. 구체적으로, 계면은 더 큰 표면적을 갖는다. 계면의 표면적은 처리 동안 콘택트의 노출된 측면, 볼록한 상부면(convex top surface) 또는 오목한 상부면(concave top surface)에 의해 증가될 수 있다. 위에 놓인 전도성 피처는 노출된 표면과 물리적으로 접촉하도록 형성된다. 이러한 계면은 편평한 계면보다 더 큰 표면적을 갖는다. 선택적으로 계면도 또한 도핑될 수 있다. 계면을 도핑하는 것은 콘택트 및 위에 놓인 전도성 피처가 상이한 전도성 물질로 형성될 때 콘택트의 물질 및 위에 놓인 전도성 피처의 물질 간의 일 함수 차이를 감소시킬 수 있다. 계면의 표면적을 늘리고 일 함수 차이를 줄이면, 콘택트의 저항을 줄이는데 도움이 되어, FinFET의 성능을 향상시킬 수 있다.
- [0007] 도 1은 일부 실시형태에 따른, 단순화된 FinFET(Fin Field-Effect Transistor)의 예를 3 차원 뷰로 도시한다. FinFET의 일부 다른 피처들(아래에서 논의됨)은 설명의 명확성을 위하여 생략되었다. 예시된 FinFET는 예를 들어 하나의 트랜지스터 또는 4 개의 트랜지스터와 같은 다중 트랜지스터로서 동작하는 방식으로 전기적으로 결합될 수 있다.
- [0008] FinFET는 기판(50)으로부터 연장되는 핀(fin)(52)을 포함한다. 얇은 트렌치 격리(Shallow trench isolation, STI) 영역(56)은 기판(50) 위에 배치되고, 핀(52)은 이웃하는 STI 영역(56) 사이로부터 위로 돌출된다. STI 영역(56)이 기판(50)으로부터 분리된 것으로 기술/도시되어 있지만, 본 명세서에서 사용된 용어 "기판"은 격리 영역을 포함하는 반도체 기판 또는 반도체 기판만을 지칭하기 위하여 사용될 수 있다. 또한, 핀(52)은 기판(50)의 단일 연속 물질인 것으로 도시되어 있지만, 핀(52) 및/또는 기판(50)은 단일 물질 또는 복수의 물질을 포함할 수 있다. 이와 관련하여, 핀(52)은 이웃하는 STI 영역(56) 사이에서 연장되는 부분을 지칭한다.
- [0009] 게이트 구조물(80)은 핀(52)의 채널 영역 위에 있다. 게이트 구조물(80)은 게이트 유전체(82) 및 게이트 전극(84)을 포함한다. 게이트 유전체(82)는 핀(52)의 측면을 따라 그리고 상부면 위에 있으며, 게이트 전극(84)은 게이트 유전체(82) 위에 있다. 소스/드레인 영역(70)은 게이트 유전체(82) 및 게이트 전극(84)에 대해 핀(52)의 대향 측면에 배치된다. 게이트 스페이서(66)는 소스/드레인 영역(70)을 게이트 구조물(80)로부터 분리한다. 다수의 트랜지스터가 형성되는 실시형태에서, 소스/드레인 영역(70)은 다양한 트랜지스터 사이에서 공유될 수 있다. 하나의 트랜지스터가 다수의 핀(52)으로부터 형성되는 실시형태에서, 이웃하는 소스/드레인 영역(70)은 에피택셜 성장에 의해 소스/드레인 영역(70)을 합체시키거나 소스/드레인 영역(70)을 동일한 소스/드레인 콘택트와 결합함으로써 전기적으로 결합될 수 있다. 하나 이상의 층간 유전체(inter-layer dielectric, ILD) 층(들)(아래에 더 논의됨)은 소스/드레인 영역(70) 및/또는 게이트 전극(84) 위에 있으며, 이를 통하여 소스/드레인 영역(70) 및 게이트 전극(84)에 대한 콘택트(아래에 더 논의됨)가 형성된다.

- [0010] 도 1은 여러 기준 단면을 추가로 예시한다. 단면 A-A는 핀(52)의 종축을 따라서 있고 예를 들어 FinFET의 소스/드레인 영역(70) 사이의 전류 흐름의 방향을 따른다. 단면 B-B는 단면 A-A에 수직이고 게이트 전극(84)의 종축을 따른다. 단면 C-C는 단면 A-A에 수직이며 FinFET의 소스/드레인 영역(70)을 통하여 연장된다. 후속 도면은 명확성을 위하여 이들 기준 단면을 참조한다.
- [0011] 본 명세서에서 논의된 일부 실시형태는 게이트-라스트(gate-last) 공정을 사용하여 형성된 FinFET의 맥락에서 논의된다. 다른 실시형태들에서, 게이트-퍼스트(gate-first) 공정이 사용될 수 있다. 또한, 일부 실시형태는 평면 FET와 같은 평면 디바이스에 사용되는 측면을 고려한다.
- [0012] 도 2 및 도 3은 일부 실시형태에 따른 FinFET의 제조에서 추가 중간 단계의 3 차원 뷰이다. 도 2 및 도 3은 2개의 게이트 구조물이 도시된 도 1과 유사한 뷰를 도시한다.
- [0013] 도 2에서, 기판(50)이 제공된다. 기판(50)은 (예를 들어, p 형 또는 n 형 도펀트로) 도핑되거나 도핑되지 않을 수 있는 벌크 반도체, SOI(semiconductor-on-insulator) 기판 등과 같은 반도체 기판일 수 있다. 기판(50)은 실리콘 웨이퍼와 같은 웨이퍼일 수 있다. 일반적으로, SOI 기판은 절연체 층 상에 형성된 반도체 물질의 층이다. 절연체 층은 예를 들어 매립 산화물(buried oxide, BOX) 층, 실리콘 산화물 층 등일 수 있다. 절연체 층은 기판, 전형적으로 실리콘 또는 유리 기판 상에 제공된다. 다중 층 또는 그래디언트 기판과 같은 다른 기판도 또한 사용될 수 있다. 일부 실시형태들에서, 기판(50)의 반도체 물질은 실리콘; 게르마늄; 탄화 규소, 갈륨 비화물, 갈륨 인화물, 인듐 인화물, 인듐 비화물 및/또는 인듐 안티몬화물을 포함하는 화합물 반도체; 실리콘-게르마늄, 갈륨 비소 인화물, 알루미늄 인듐 비화물, 알루미늄 갈륨 비화물, 갈륨 인듐 비화물, 갈륨 인듐 인화물 및/또는 갈륨 인듐 비소 인화물을 포함하는 합금 반도체; 또는 이들의 조합을 포함할 수 있다.
- [0014] 기판(50)은 영역(50N) 및 영역(50P)을 갖는다. 영역(50N)은 NMOS 트랜지스터, 예를 들어 n 형 FinFET과 같은 n 형 디바이스를 형성하기 위한 것일 수 있다. 영역(50P)은 PMOS 트랜지스터, 예를 들어 p 형 FinFET과 같은 p 형 디바이스를 형성하기 위한 것일 수 있다. 영역(50N)은 영역(50P)으로부터 물리적으로 분리될 수 있고, 임의의 수의 디바이스 피쳐(예를 들어, 다른 능동 디바이스, 도핑 영역, 격리 구조물 등)가 영역(50N)과 영역(50P) 사이에 배치될 수 있다.
- [0015] 핀(52)은 기판(50)으로부터 연장되어 형성된다. 핀(52)은 반도체 스트립이다. 일부 실시형태에서, 핀(52)은 기판(50)에 트렌치를 에칭함으로써 기판(50)에 형성될 수 있다. 에칭은 반응성 이온 에칭(reactive ion etch, RIE) 등과 같은 임의의 허용 가능한 에칭 공정일 수 있다. 에칭은 이방성일 수 있다.
- [0016] 핀은 임의의 적합한 방법에 의해 패터닝될 수 있다. 예를 들어, 핀은 이중 패터닝 또는 다중 패터닝 공정을 포함하는 하나 이상의 포토리소그래피 공정을 사용하여 패터닝될 수 있다. 일반적으로, 이중 패터닝 또는 다중 패터닝 공정은 포토리소그래피와 자체 정렬 공정을 결합하여, 예를 들어 단일 직접 포토리소그래피 공정을 사용하여 다르게 얻을 수 있는 것보다 작은 피치를 갖는 패턴이 생성되게 할 수 있다. 예를 들어, 일 실시형태에서, 희생 층이 기판 위에 형성되고 포토리소그래피 공정을 사용하여 패터닝된다. 스페이서는 자체 정렬 공정을 사용하여 패터닝된 희생 층과 나란히 형성된다. 이어서 희생 층을 제거하고, 그 후 나머지 스페이서를 사용하여 핀을 패터닝할 수 있다. 일부 실시형태에서, 스페이서(또는 다른 마스크)는 핀(52) 상에 남아 있을 수 있다.
- [0017] STI 영역(56)은 기판(50) 위에 그리고 이웃하는 핀(52) 사이에 형성된다. STI 영역(56)을 형성하기 위한 예로서, 절연 물질이 중간 구조물 위에 형성된다. 절연 물질은 실리콘 산화물, 질화물 등과 같은 산화물일 수 있거나, 또는 이들의 조합일 수 있으며, 고밀도 플라즈마 화학 기상 성막(high density plasma chemical vapor deposition, HDP-CVD), 유동성 화학 기상 성막(flowable chemical vapor deposition, FCVD)(예를 들어, 원격 플라즈마 시스템에서의 화학 기상 성막(CVD) 기반 물질 성막 및 산화물과 같은 다른 물질로 변환되도록 하기 위한 후 경화(post curing)) 등 또는 이들의 조합에 의해 형성될 수 있다. 임의의 허용 가능한 공정에 의해 형성된 다른 절연 물질이 사용될 수 있다. 도시된 실시형태에서, 절연 물질은 FCVD 공정에 의해 형성된 실리콘 산화물이다. 절연 물질이 일단 형성되면 어닐링 공정이 수행될 수 있다. 실시형태에서, 절연 물질은 과량의(excess) 절연 물질이 핀(52)을 덮도록 형성된다. STI 영역(56)이 단일 층인 것으로 도시되어 있지만, 일부 실시형태는 다중 층을 이용할 수 있다. 예를 들어, 일부 실시형태들에서, 라이너(liner)가 먼저 기판(50)의 표면 및 핀(52)을 따라 형성될 수 있다. 그 후에, 위에서 논의된 것들과 같은 충전(fill) 물질이 라이너 위에 형성될 수 있다. 핀(52) 위의 과량의 절연 물질을 제거하기 위하여 제거 공정이 절연 물질에 적용된다. 일부 실시형태에서, 화학적 기계적 광택(chemical mechanical polish, CMP), 에치백 공정, 또는 이들의 조합 등과 같은 평탄화 공정이 이용될 수 있다. 평탄화 공정은 평탄화 공정이 완료된 후 핀(52)의 상부면과 절연 물질이 동일 평면 상에 있도록 핀(52)을 노출시킨다. 마스크가 핀(52) 상에 남아 있는 실시형태에서, 평탄화 공정은 마스크 또는 핀

(52)의 상부면 각각과 절연 물질이 평탄화 공정이 완료된 후에 동일 평면 상에 있도록 마스크를 노출시키거나 마스크를 제거할 수 있다. 그 후, 절연 물질이 리세싱되고, 절연 물질의 나머지 부분은 STI 영역(56)을 형성한다. 영역(50N) 및 영역(50P)에서의 핀(52)의 상부 부분이 이웃하는 STI 영역(56) 사이로부터 돌출되도록 절연 물질이 리세싱된다. 핀(52)의 노출된 부분은 결과적인 FinFET의 채널 영역이 될 것을 포함한다.

[0018] 또한, STI 영역(56)의 상부면은 도시된 바와 같이 편평한 표면, 볼록한 표면, (디싱(dishing)과 같은) 오목한 표면 또는 이들의 조합을 가질 수 있다. STI 영역(56)의 상부면은 적절한 에칭에 의해 편평, 볼록, 및/또는 오목으로 형성될 수 있다. STI 영역(56)은 절연 물질의 물질에 대해 선택적인(예를 들어, 핀(52)의 물질보다 빠른 속도로 절연 물질의 물질을 에칭하는) 것과 같은 허용 가능한 에칭 공정을 사용하여 리세싱될 수 있다. 예를 들어, 예컨대, 묽은 불화수소(dilute hydrofluoric, dHF) 산을 사용한 산화물 제거가 사용될 수 있다.

[0019] 앞서 기술된 공정은 핀(52)이 어떻게 형성될 수 있는지의 일례일 뿐이다. 일부 실시형태에서, 핀(52)은 에피택셜 성장 공정에 의해 형성될 수 있다. 예를 들어, 유전체 층이 기판(50)의 상부면 위에 형성될 수 있고, 트랜치가 유전체 층을 통하여 에칭되어 하부의(underlying) 기판(50)을 노출시킬 수 있다. 호모 에피택셜(homoepitaxial) 구조물은 트랜치에서 에피택셜 성장될 수 있고, 유전체 층은 호모 에피택셜 구조물이 유전체 층으로부터 돌출하여 핀(52)을 형성하도록 리세싱될 수 있다. 추가로, 일부 실시형태에서, 헤테로 에피택셜(heteroepitaxial) 구조물이 핀(52)에 사용될 수 있다. 예를 들어, STI 영역(56)의 절연 물질이 핀으로 평탄화된 후에 핀(52)이 리세싱될 수 있고, 핀(52)과 상이한 물질이 리세싱된 핀(52) 위에 에피택셜 성장될 수 있다. 이러한 실시형태에서, 핀(52)은 리세싱된 물질 및 리세싱된 물질 위에 배치된 에피택셜 성장된 물질을 포함한다. 또 다른 실시형태에서, 유전체 층이 기판(50)의 상부면 위에 형성될 수 있고, 트랜치가 유전체 층을 통하여 에칭될 수 있다. 헤테로 에피택셜 구조물은 그 후 기판(50)과 상이한 물질을 사용하여 트랜치에서 에피택셜 성장될 수 있고, 헤테로 에피택셜 구조물이 유전체 층으로부터 돌출되어 핀(52)을 형성하도록 유전체 층이 리세싱될 수 있다. 호모 에피택셜 또는 헤테로 에피택셜 구조물이 에피택셜 성장되는 일부 실시형태에서, 에피택셜 성장된 물질은 성장 동안 인시츄(in situ) 도핑될 수 있고, 이는 인시츄 및 주입(implantation) 도핑이 함께 사용될 수 있다 하더라도 사전 및 차후 주입을 배제(obviate)할 수 있다.

[0020] 또한, 영역(50P)(예를 들어, PMOS 영역)의 물질과 상이한 영역(50N)(예를 들어, NMOS 영역)의 물질을 에피택셜 성장시키는 것이 유리할 수 있다. 다양한 실시형태에서, 핀(52)의 상부 부분은 실리콘-게르마늄($\text{Si}_x\text{Ge}_{1-x}$, 여기서 x 는 0 내지 1의 범위일 수 있음), 탄화 규소, 순수한 또는 실질적으로 순수한 게르마늄, III-V 화합물 반도체, II-VI 화합물 반도체 등으로부터 형성될 수 있다. 예를 들어, III-V 화합물 반도체를 형성하기 위하여 이용 가능한 물질은 인듐 비화물, 알루미늄 비화물, 갈륨 비화물, 인듐 인화물, 갈륨 질화물, 인듐 갈륨 비화물, 인듐 알루미늄 비화물, 갈륨 안티몬화물, 알루미늄 안티몬화물, 알루미늄 인화물, 갈륨 인화물 등을 포함하지만, 이에 제한되지 않는다.

[0021] 또한, 핀(52) 및/또는 기판(50)에 적절한 웰(well)이 형성될 수 있다. 일부 실시형태에서, P 웰이 영역(50N)에 형성될 수 있고, N 웰이 영역(50P)에 형성될 수 있다. 일부 실시형태에서, P 웰 또는 N 웰은 영역(50N) 및 영역(50P) 모두에 형성된다.

[0022] 상이한 웰 유형을 갖는 실시형태에서, 영역(50N) 및 영역(50P)에 대한 상이한 주입 단계는 포토레지스트 또는 다른 마스크를 사용하여 달성될 수 있다. 예를 들어, 영역(50N)에서 핀(52) 및 STI 영역(56) 위에 포토레지스트가 형성될 수 있다. 포토레지스트는 PMOS 영역과 같은 기판(50)의 영역(50P)을 노출시키도록 패터닝된다. 포토레지스트는 스핀-온 기법을 사용하여 형성될 수 있고 허용 가능한 포토리소그래피 기법을 사용하여 패터닝될 수 있다. 포토레지스트가 패터닝되면, n 형 불순물 주입이 영역(50P)에서 수행되고, 포토레지스트는 n 형 불순물이 NMOS 영역과 같은 영역(50N) 내로 주입되는 것을 실질적으로 방지하는 마스크로서 작용할 수 있다. n 형 불순물은 인, 비소, 안티몬 등일 수 있으며, 상기 영역에 10^{18} cm^{-3} 이하의 농도, 예를 들어 약 10^{16} cm^{-3} 내지 약 10^{18} cm^{-3} 범위의 농도로 주입될 수 있다. 주입 후, 포토레지스트는 예를 들어 허용 가능한 애싱 공정에 의해 제거된다.

[0023] 영역(50P)의 주입 후, 영역(50P)의 핀(52) 및 STI 영역(56) 위에 포토레지스트가 형성된다. 포토레지스트는 NMOS 영역과 같은 기판(50)의 영역(50N)을 노출시키도록 패터닝된다. 포토레지스트는 스핀-온 기법을 사용하여 형성될 수 있고 허용 가능한 포토리소그래피 기법을 사용하여 패터닝될 수 있다. 포토레지스트가 패터닝되면, p 형 불순물 주입이 영역(50N)에서 수행될 수 있고, 포토레지스트는 p 형 불순물이 PMOS 영역과 같은 영역(50P) 내로 주입되는 것을 실질적으로 방지하는 마스크로서 작용할 수 있다. p 형 불순물은 붕소, 플루오린화 붕소,

인듐 등일 수 있으며, 상기 영역에 10^{18} cm^{-3} 이하의 농도, 예를 들어 약 10^{16} cm^{-3} 내지 약 10^{18} cm^{-3} 범위의 농도로 주입될 수 있다. 주입 후, 포토레지스트는 예를 들어 허용 가능한 애싱 공정에 의해 제거될 수 있다.

[0024] 영역(50N) 및 영역(50P)의 주입 후에, 주입 손상을 복구하고 주입된 p 형 및/또는 n 형 불순물을 활성화시키기 위하여 어닐링이 수행될 수 있다. 일부 실시형태에서, 에피택셜 핀의 성장된 물질은 성장 중에 인시츄 도핑될 수 있고, 이는 인시 튜 및 주입 도핑이 함께 사용될 수 있지만, 주입을 배제할 수 있다.

[0025] 도 3에서, 더미 유전체(60)는 핀(52) 위에 형성되고 더미 게이트(62)는 더미 유전체(60) 위에 형성된다. 더미 유전체(60) 및 더미 게이트(62)는 총칭하여 "더미 게이트 스택"으로 지칭될 수 있고, 각각의 더미 게이트 스택은 더미 유전체(60) 및 더미 게이트(62)를 포함한다. 더미 게이트 스택은 핀(52)의 측벽을 따라 연장된다.

[0026] 더미 유전체(60) 및 더미 게이트(62)를 형성하기 위한 예로서, 더미 유전체 층은 핀(52) 상에 형성된다. 더미 유전체 층은 예를 들어 실리콘 산화물, 실리콘 질화물, 이들의 조합 등일 수 있고, 허용 가능한 기법에 따라 성막되거나 열적으로 성장될 수 있다. 더미 유전체 층 위에 더미 게이트 층이 형성되고, 더미 게이트 층 위에 마스크 층이 형성된다. 더미 게이트 층은 더미 유전체 층 위에 성막된 후, 예를 들어 CMP에 의해 평탄화될 수 있다. 마스크 층은 더미 게이트 층 위에 성막될 수 있다. 더미 게이트 층은 전도성 또는 비전도성 물질일 수 있으며, 비정질 실리콘, 다결정 실리콘(폴리실리콘), 다결정 실리콘 게르마늄(poly-SiGe), 금속 질화물, 금속 실리콘사이드, 금속 산화물 및 금속을 포함하는 그룹으로부터 선택될 수 있다. 더미 게이트 층은 물리 기상 성막(physical vapor deposition, PVD), CVD, 스퍼터 성막, 또는 선택된 물질을 성막하기 위하여 당 업계에 공지되고 사용되는 다른 기법에 의해 성막될 수 있다. 더미 게이트 층은 STI 영역(56)의 에칭으로부터 에칭 선택비(etching selectivity)가 높은 다른 물질로 제조될 수 있다. 마스크 층은 예를 들어 실리콘 질화물, 실리콘 산 질화물 등을 포함할 수 있다. 이 예에서, 단일 더미 게이트 층 및 단일 마스크 층이 영역(50N) 및 영역(50P)에 걸쳐 형성된다. 그 후 마스크 층(64)은 마스크(64)를 형성하기 위하여 허용 가능한 포토리소그래피 및 에칭 기법을 사용하여 패터닝된다. 그 후 마스크(64)의 패턴은 더미 게이트(62)를 형성하기 위하여 허용 가능한 에칭 기법에 의해 더미 게이트 층으로 전사된다. 마스크(64)의 패턴은 또한 더미 유전체(60)를 형성하기 위하여 더미 유전체 층으로 선택적으로 전사될 수 있다. 더미 게이트(62)는 핀(52)의 각각의 채널 영역(58)(도 4a 및 4b 참조)을 덮는다. 마스크(64)의 패턴은 더미 게이트(62) 각각을 인접한 더미 게이트로부터 물리적으로 분리하는데 사용될 수 있다. 더미 게이트(62)는 또한 각각의 핀(52)의 길이 방향에 (공정 제한 내에서) 실질적으로 수직인 길이 방향을 가질 수 있다. 더미 유전체(60)가 STI 영역(56)을 덮는 것으로 도시되어 있지만, 더미 유전체(60)는 다른 방식으로 형성될 수 있음을 인식하여야 한다. 더미 유전체 층이 열적으로 성장될 때와 같은 일부 실시형태에서, 더미 유전체(60)는 핀(52)만을 덮도록 형성된다.

[0027] 도 4a 내지 7b는 일부 실시형태에 따른 FinFET의 제조에서 추가의 중간 단계의 단면도이다. 도 4a, 5a, 6a 및 7a는 2 개의 게이트 구조물이 도시된 도 1의 기준 단면 A-A를 따라 도시된 단면도이다. 도 4b, 5b, 6b 및 7b는 단지 2 개의 핀만이 도시된 것을 제외하고는, 도 1의 기준 단면 B-B를 따라 도시된 단면도이다. 도 4c 및 4d는 단지 2 개의 핀만이 도시된 것을 제외하고는 도 1의 기준 단면 C-C를 따라 도시된 단면도이다. 도 4a 내지 7b는 영역(50N) 및 영역(50P) 중 하나의 피처를 도시한다. 예를 들어, 도 4a 내지 7b에 도시된 구조물은 영역(50N) 및 영역(50P) 모두에 적용 가능할 수 있다. 영역(50N) 및 영역(50P)의 구조물에서의 차이가 (만일 있다면) 본문에서 기술되어 있다.

[0028] 도 4a 및 4b에서, 게이트 스페이서(66)는 더미 게이트(62), 마스크(64) 및/또는 핀(52)의 노출된 표면 상에 형성된다. 게이트 스페이서(66)는 절연 물질을 형성하고 후속하여 절연 물질을 에칭함으로써 형성될 수 있다. 게이트 스페이서(66)의 절연 물질은 실리콘 질화물, 실리콘 탄질화물, 실리콘 산탄질화물(silicon oxycarbonitride) 또는 이들의 조합 등일 수 있으며, 열 산화, 성막, 또는 이들의 조합 등에 의해 형성될 수 있다. 일부 실시형태에서, 게이트 스페이서(66)는 다중 층 절연 물질로 형성되고, 다중 층을 포함한다. 예를 들어, 게이트 스페이서(66)는 실리콘 탄질화물의 다중 층을 포함할 수 있거나, 실리콘 산탄질화물의 다중 층을 포함할 수 있거나, 실리콘 질화물의 두 층 사이에 배치된 실리콘 산화물 층을 포함할 수 있다. 게이트 스페이서(66)의 에칭은 이방성일 수 있다. 에칭 후, 게이트 스페이서(66)는 직선 측벽 또는 곡선 측벽을 가질 수 있다.

[0029] 게이트 스페이서(66)의 형성 이전 또는 형성 동안, LDD(lightly doped source/drain) 영역(명확하게 도시되지 않음)을 위한 주입이 수행될 수 있다. 논의된 주입과 유사한, 상이한 디바이스 유형을 갖는 실시형태에서, 영역(50P)을 노출시키면서 포토레지스트와 같은 마스크가 영역(50N) 위에 형성될 수 있고, 적절한 유형(예를 들어, p 형) 불순물이 영역(50P)에서 노출된 핀(52) 내로 주입될 수 있다. 마스크는 그 후 제거될 수 있다. 이어서, 영역(50N)을 노출시키면서 영역(50P) 위에 포토레지스트와 같은 마스크가 형성될 수 있고, 영역(50N)의 노출된

핀(52) 내로 적절한 타입의 불순물(예를 들어, n 형)이 주입될 수 있다. 그 후 마스크는 제거될 수 있다. n 형 불순물은 앞서 논의된 n 형 불순물 중 임의의 것일 수 있고, p 형 불순물은 앞서 논의된 p 형 불순물 중 임의의 것일 수 있다. LDD 영역은 약 10^{15} cm^{-3} 내지 약 10^{19} cm^{-3} 의 불순물 농도를 가질 수 있다. 어닐링은 주입 손상을 복구하고 주입된 불순물을 활성화시키기 위하여 사용될 수 있다.

[0030] 이어서, 에피택셜 소스/드레인 영역(70)이 핀(52)에 형성된다. 에피택셜 소스/드레인 영역(70)은 각각의 더미 게이트(62)가 에피택셜 소스/드레인 영역(70)의 각각의 이웃하는 쌍 사이에 배치되도록 핀(52)에 형성된다. 일부 실시형태에서, 에피택셜 소스/드레인 영역(70)은 STI 영역(56)의 상부면 아래에서 핀(52)의 일부 내로 연장될 수 있다. 일부 실시형태에서, 에피택셜 소스/드레인 영역(70)이 결과적인 FinFET의 차후 형성된 게이트를 단락(short out)시키지 않도록, 게이트 스페이서(66)는 에피택셜 소스/드레인 영역(70)을 더미 게이트(62)로부터 적절한 측면 거리만큼 분리하는데 사용된다. 에피택셜 소스/드레인 영역(70)은 핀(52)의 채널 영역(58)에 응력을 가함으로써 성능을 향상시킬 수 있다.

[0031] 영역(50N), 예를 들어, NMOS 영역의 에피택셜 소스/드레인 영역(70)은 영역(50P), 예를 들어 PMOS 영역을 마스크하고 영역(50N)의 핀(52)의 소스/드레인 영역을 에칭함으로써 형성되어, 핀(52)에 리세스를 형성할 수 있다. 그 다음, 영역(50N)의 에피택셜 소스/드레인 영역(70)은 리세스 내에서 에피택셜 성장된다. 에피택셜 소스/드레인 영역(70)은 n 형 FinFET에 적합한 것과 같은 임의의 허용 가능한 물질을 포함할 수 있다. 예를 들어, 핀(52)이 실리콘인 경우, 영역(50N)의 에피택셜 소스/드레인 영역(70)은 실리콘, 실리콘 탄화물, 인 도핑된 실리콘 탄화물, 실리콘 인화물 등과 같이 채널 영역(58)에 인장 변형을 가하는 물질을 포함할 수 있다. 영역(50N)의 에피택셜 소스/드레인 영역(70)은 핀(52)의 각각의 표면으로부터 상승된 표면을 가질 수 있고 패킷(facet)을 가질 수 있다.

[0032] 영역(50P), 예를 들어 PMOS 영역에서의 에피택셜 소스/드레인 영역(70)은 영역(50N), 예를 들어 NMOS 영역을 마스크하고 영역(50P)에서 핀(52)의 소스/드레인 영역을 에칭함으로써 형성되어, 핀(52)에 리세스를 형성할 수 있다. 이어서, 영역(50P)의 에피택셜 소스/드레인 영역(70)이 리세스에서 에피택셜 성장된다. 에피택셜 소스/드레인 영역(70)은 p 형 FinFET에 적합한 것과 같은 임의의 허용 가능한 물질을 포함할 수 있다. 예를 들어, 핀(52)이 실리콘인 경우, 영역(50P)의 에피택셜 소스/드레인 영역(70)은 실리콘-게르마늄, 붕소 도핑된 실리콘-게르마늄, 게르마늄, 게르마늄 주석 등과 같이 채널 영역(58)에 압축 변형을 가하는 물질을 포함할 수 있다. 영역(50P)의 에피택셜 소스/드레인 영역(70)은 또한 핀(52)의 각각의 표면으로부터 상승된 표면을 가질 수 있고 패킷을 가질 수 있다.

[0033] LDD 영역을 형성하기 위하여 앞서 논의된 공정과 유사하게 에피택셜 소스/드레인 영역(70) 및/또는 핀(52)에 도펀트가 주입되어 소스/드레인 영역을 형성할 수 있으며, 이어서 어닐링이 뒤따른다. 소스/드레인 영역은 약 10^{19} cm^{-3} 내지 약 10^{21} cm^{-3} 범위의 불순물 농도를 가질 수 있다. 소스/드레인 영역에 대한 n 형 및/또는 p 형 불순물은 앞서 논의된 불순물 중 임의의 것일 수 있다. 일부 실시형태에서, 에피택셜 소스/드레인 영역(70)은 성장 동안 인시츄 도핑될 수 있다.

[0034] 에피택셜 소스/드레인 영역(70)을 형성하기 위하여 사용된 에피택시 공정의 결과로서, 에피택셜 소스/드레인 영역(70)의 상부면은 핀(52)의 측벽을 넘어 측면으로 바깥쪽으로 확장되는 패킷을 갖는다. 일부 실시형태에서 이들 패킷은 동일한 FinFET의 인접한 에피택셜 소스/드레인 영역(70)이 도 4c에 도시된 바와 같이 병합되게 한다. 예를 들어, 하나의 트랜지스터가 다수의 핀(52)으로부터 형성될 때, 병합된 에피택셜 소스/드레인 영역(70)이 형성될 수 있다. 다른 실시형태에서, 인접한 에피택셜 소스/드레인 영역(70)은 도 4d에 도시된 바와 같이 에피택시 공정이 완료된 후에 분리된 상태를 유지한다. 예를 들어, 하나의 트랜지스터가 단일 핀(52)으로부터 형성될 때 또는 하나의 트랜지스터가 다수의 핀(52)으로 형성될 때, 병합되지 않은 에피택셜 소스/드레인 영역(70)이 형성될 수 있다. 도시된 실시형태에서, 게이트 스페이서(66)는 STI 영역(56) 위로 연장되는 핀(52)의 측벽의 일부를 덮도록 형성되고, 이에 의하여 에피택셜 성장을 차단한다. 일부 다른 실시형태에서, 게이트 스페이서(66)를 형성하는데 사용되는 스페이서 에칭은 에피택셜 성장된 영역이 STI 영역(56)의 표면으로 연장될 수 있게 하기 위하여 스페이서 물질을 제거하도록 조정될 수 있다.

[0035] 상기 개시는 일반적으로 스페이서, LDD 영역, 및 소스/드레인 영역을 형성하는 공정을 기술하고 있음을 주목하여야 한다. 다른 공정 및 시퀀스가 사용될 수 있다. 예를 들어, 더 적거나 추가의 스페이서가 이용될 수 있고, 상이한 시퀀스의 단계가 이용될 수 있고, 스페이서가 형성 및 제거될 수 있는 등일 수 있다. 일부 실시형태에서, 게이트 스페이서(66)는 에피택셜 소스/드레인 영역(70) 후에 형성될 수 있다. 또한, n 형 및 p

형 디바이스는 상이한 구조물 및 단계를 사용하여 형성될 수 있다. 일부 실시형태에서, 더미 스페이서는 영역(50N)에서 에피택셜 소스/드레인 영역(70)을 형성하는 동안 영역(50N)에 형성될 수 있다. 영역(50N)의 더미 스페이서가 그 후 제거될 수 있다. 그 후 영역(50P)에 에피택셜 소스/드레인 영역(70)을 형성하는 동안 영역(50P)에 더미 스페이서가 형성될 수 있다. 그 후 영역(50P)에서 더미 스페이서가 제거될 수 있다. 그 후 게이트 스페이서(66)는 에피택셜 소스/드레인 영역(70)이 영역(50N)과 영역(50P) 모두에 형성된 후에 형성될 수 있다.

[0036] 도 5a 및 5b에서, CESL(72)은 에피택셜 소스/드레인 영역(70), 게이트 스페이서(66), 마스크(64)(존재하는 경우) 또는 더미 게이트(62) 및 STI 영역(56) 위에 성막된다. CESL(72)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 등과 같은 유전체 물질로 형성된다. 실시형태에서, CESL(72)은 실리콘 질화물로 형성된다.

[0037] 이어서, 제1 ILD 층(74)이 CESL(72) 위에 성막된다. 제1 ILD 층(74)은 CESL(72)의 물질과 상이한 에칭 속도를 갖는 유전체 물질로 형성되고, CVD, 플라즈마 강화 CVD(plasma-enhanced CVD, PECVD) 또는 FCVD와 같은 임의의 적절한 방법에 의해 성막될 수 있다. 유전체 물질은 실리콘 산화물, 포스포실리케이트 유리(phosphosilicate glass, PSG), 붕규산 유리(borosilicate glass, BSG), 붕소 도핑된 포스포실리케이트 유리(boron-doped phosphosilicate glass, BPSG), 도핑되지 않은 실리케이트 유리(undoped Silicate Glass, USG) 등과 같은 산화물; 실리콘 질화물과 같은 질화물; 또는 그와 유사한 것을 포함할 수 있다. 임의의 허용 가능한 공정에 의해 형성된 다른 절연 물질이 사용될 수 있다. 형성 후, 제1 ILD 층(74)은 예컨대 CMP에 의해 평탄화될 수 있다.

[0038] 도 6a 및 6b에서, 마스크(64)(존재하는 경우) 또는 더미 게이트(62)의 상부면과 제1 ILD 층(74)의 상부면을 같은 높이로 하기 위하여 CMP와 같은 평탄화 공정이 수행될 수 있다. 평탄화 공정은 마스크(64)의 측면을 따라 더미 게이트(62) 상의 마스크(64) 및 게이트 스페이서(66)의 부분을 제거할 수 있다. 평탄화 공정은 또한 더미 게이트(62) 및 게이트 스페이서(66) 위의 CESL(72)의 일부를 제거할 수 있다. 평탄화 공정 후에, 더미 게이트(62), 게이트 스페이서(66), CESL(72) 및 제1 ILD 층(74)의 상부면은 동일 평면에 있다. 따라서, 더미 게이트(62)의 상부면은 제1 ILD 층(74)을 통하여 노출된다. 일부 실시형태에서, 마스크(64)는 남아 있을 수 있으며, 이 경우에 평탄화 공정은 제1 ILD 층(74)의 상부면을 마스크(64)의 상부면과 같은 높이로 한다.

[0039] 도 7a 및 7b에서, 더미 게이트(62) 및 선택적으로 더미 유전체(60)가 제거되고 게이트 구조물(80)로 대체된다. 게이트 구조물(80)은 게이트 유전체(82) 및 게이트 전극(84)을 포함한다. 게이트 구조물(80)을 형성하기 위한 예로서, 더미 게이트(62) 및 마스크(64)(존재하는 경우)가 하나 이상의 에칭 단계(들)에서 제거되어, 리세스가 형성된다. 리세스 내의 더미 유전체(60)의 부분이 또한 제거될 수 있다. 일부 실시형태에서, 더미 게이트(62)만이 제거되고 더미 유전체(60)는 남아 있고 리세스에 의해 노출된다. 일부 실시형태에서, 더미 유전체(60)는 다이의 제1 영역(예를 들어, 코어 로직 영역)의 리세스로부터 제거되고 다이의 제2 영역(예를 들어, 입력/출력 영역)의 리세스에 남아 있다. 일부 실시형태에서, 더미 게이트(62)는 이방성 건식 에칭 공정에 의해 제거된다. 예를 들어, 에칭 공정은 제1 ILD 층(74), CESL(72) 또는 게이트 스페이서(66)를 에칭하지 않고 더미 게이트(62)를 선택적으로 에칭하는 반응 가스(들)를 사용하는 건식 에칭 공정을 포함할 수 있다. 각각의 리세스는 노출되고/되거나 각각의 핀(52)의 채널 영역(58) 위에 놓인다. 각각의 채널 영역(58)은 에피택셜 소스/드레인 영역(70)의 이웃하는 쌍 사이에 배치된다. 제거 동안, 더미 유전체(60)는 더미 게이트(62)가 에칭될 때 에칭 정지 층으로서 사용될 수 있다. 그 후 더미 유전체(60)는 더미 게이트(62)의 제거 후에 선택적으로 제거될 수 있다. 제거 후에, 게이트 유전체(82)는 예를 들어 핀(52)의 상부면 및 측면 상에 그리고 게이트 스페이서(66)의 측면 상에서 리세스 내에 컨포멀하게 성막된다. 게이트 유전체(82)는 또한 제1 ILD 층(74)의 상부면 상에 형성될 수 있다. 일부 실시형태에 따르면, 게이트 유전체(82)는 실리콘 산화물, 실리콘 질화물 또는 이들의 다중 층을 포함한다. 일부 실시형태에서, 게이트 유전체(82)는 고유전율 유전체 물질을 포함하고, 이들 실시형태에서, 게이트 유전체(82)는 약 7.0보다 큰 k 값을 가질 수 있고, 하프늄, 알루미늄, 지르코늄, 란타늄, 망간, 바륨, 티타늄, 납 및 이들의 조합의 금속 산화물 또는 실리케이트를 포함할 수 있다. 게이트 유전체(82)의 형성 방법은 분자 빔 성막(molecular-beam deposition, MBD), 원자 층 성막(ALD), PECVD 등을 포함할 수 있다. 더미 유전체(60)의 일부가 리세스 내에 남아 있는 실시형태에서, 게이트 유전체(82)는 더미 유전체(60)의 물질(예를 들어, 실리콘 산화물)을 포함한다. 게이트 전극(84)은 각각 게이트 유전체(82) 위에 성막되고, 리세스의 나머지 부분을 채운다. 게이트 전극(84)은 티타늄 질화물, 티타늄 산화물, 탄탈륨 질화물, 탄탈륨 산화물, 코발트, 루테튬, 알루미늄, 텅스텐, 이들의 조합, 또는 이들의 다중 층과 같은 금속 함유 물질을 포함할 수 있다. 예를 들어, 단일 층 게이트 전극(84)이 도시되어 있지만, 각각의 게이트 전극(84)은 임의의 수의 라이너 층, 임의의 수의 일함수 조정(tuning) 층 및 충전 물질을 포함할 수 있다. 게이트 전극(84)의 충전 후에, 게이트 유전체(82)의 과량의 부분 및 게이트 전극(84)의 물질을 제거하기 위하여 CMP와 같은 평탄화 공정이 수행될 수 있으며, 이 과량의 부분은 제1 ILD 층(74)의 상부면 위에 있다. 게이트 전극(84) 및 게이트 유전체(82)의 물질의 나머지 부분은

결과적인 FinFET의 게이트 구조물(80)를 형성한다. 게이트 구조물(80)은 또한 "게이트 스택" 또는 "금속 게이트"로 지칭될 수 있다. 게이트 구조물(80)은 핀(52)의 채널 영역(58)의 측벽을 따라 연장될 수 있다.

[0040] 각 영역의 게이트 유전체(82)가 동일한 물질로 형성되고 각 영역의 게이트 전극(84)이 동일한 물질로 형성되도록 영역(50N) 및 영역(50P)에서 게이트 구조물(80)의 형성이 동시에 일어날 수 있다. 일부 실시형태에서, 각 영역의 게이트 구조물(80)은 별개의 공정에 의해 형성될 수 있어서, 각 영역의 게이트 유전체(82)는 상이한 물질일 수 있고 각 영역의 게이트 전극(84)은 상이한 물질일 수 있다. 별개의 공정을 사용할 때 적절한 영역을 마스크하고 노출시키기 위하여 다양한 마스크 단계가 사용될 수 있다.

[0041] 도 8 내지 10은 일부 실시형태에 따른 FinFET의 제조에서 추가의 중간 단계의 단면도이다. 도 8 내지 도 10은 4개의 게이트 구조물이 도시된 것을 제외하고는, 도 1의 기준 단면 A-A를 따라 도시된 단면도이다. 도 8 내지 10은 (게이트 콘택트가 형성될) 제1 영역(50A) 및 (소스/드레인 콘택트가 형성될) 제2 영역(50B)을 도시한다. 영역(50A 및 50B)은 동시에 처리되고 함께 논의된다. 영역(50A 및 50B)은 콘택트가 형성되는 상이한 단면의 일부이며, 이는 콘택트의 단락을 피할 수 있다. 게이트 콘택트 및 소스/드레인 콘택트는 트랜지스터에 대해 동일한 단면으로 형성될 수 있음을 이해하여야 한다. 하나의 핀(52)이 각각의 영역(50A 및 50B)에 도시되어 있지만, 각각의 영역(50A 및 50B)은 기관(50)의 영역(50N 및 50P) 모두로부터의 핀을 포함할 수 있음을 이해하여야 하며, 예를 들어, 제1 영역(50A) 및 제2 영역(50B)은 각각 n 형 디바이스 및 p 형 디바이스를 포함할 수 있다.

[0042] 도 8에서, 제2 ILD 층(90)은 제1 ILD 층(74) 위에 성막된다. 제2 ILD 층(90)은 유전체 물질로 형성되고, CVD, PECVD(plasma-enhanced CVD), 또는 FCVD와 같은 임의의 적절한 방법에 의해 성막될 수 있다. 유전체 물질은 실리콘 산화물, 포스포실리케이트 유리(PSG), 붕규산 유리(BSG), 붕소 도핑된 포스포실리케이트 유리(BPSG), 도핑되지 않은 실리케이트 유리(USG) 등과 같은 산화물; 실리콘 질화물과 같은 질화물; 또는 그와 유사한 것을 포함할 수 있다. 임의의 허용 가능한 공정에 의해 형성된 다른 절연 물질이 사용될 수 있다. 형성 후, 제2 ILD 층(90)은 예컨대 CMP에 의해 평탄화될 수 있다. 일부 실시형태에서, 에칭 정지 층은 제1 ILD 층(74)과 제2 ILD 층(90) 사이에 형성된다. 에칭 정지 층은 제2 ILD 층(90)의 물질과 상이한 에칭 속도를 가진 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 등과 같은 유전체 물질을 포함할 수 있다. 일부 실시형태에서, 제2 ILD 층(90)을 형성하기 전에, 게이트 마스크(도시되지 않음)가 게이트 유전체(82) 및 게이트 전극(84) 위에 형성될 수 있으며, 이는 콘택트 형성 동안에 게이트 유전체(82) 및 게이트 전극(84)을 보호할 수 있다.

[0043] 제2 ILD 층(90)을 형성한 후, 소스/드레인 콘택트(92) 및 게이트 콘택트(94)는 제2 ILD 층(90)을 통하여 연장되어 형성된다. 소스/드레인 콘택트(92)를 위한 개구는 ILD 층(74, 90)을 통하여 형성되고, 게이트 콘택트(94)를 위한 개구는 제2 ILD 층(90)을 통하여 형성된다. 개구는 허용 가능한 포토리소그래피 및 에칭 기법을 사용하여 형성될 수 있다. 개구에는 확산 장벽층, 접착층 등과 같은 라이너 및 전도성 물질이 형성되어 있다. 라이너는 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물 등을 포함할 수 있다. 전도성 물질은 구리, 구리 합금, 은, 금, 텅스텐, 코발트, 알루미늄, 니켈 등일 수 있다. CMP와 같은 평탄화 공정이 제2 ILD 층(90)의 표면으로부터 과량의 물질을 제거하기 위하여 수행될 수 있다. 나머지 라이너 및 전도성 물질은 개구에서 소스/드레인 콘택트(92) 및 게이트 콘택트(94)를 형성한다. 일부 실시형태에서, 소스/드레인 콘택트(92) 및 게이트 콘택트(94)는 동일한 전도성 물질로 형성된다. 소스/드레인 콘택트(92)는 에피택셜 소스/드레인 영역(70)에 연결되고(예를 들어, 물리적 및 전기적으로 결합됨), 게이트 콘택트(94)는 게이트 전극(84)에 연결된다. 게이트 콘택트(94)는 게이트 전극(84) 위에 게이트 마스크를 통하여(존재한다면) 관통할 수 있다. 소스/드레인 콘택트(92) 및 게이트 콘택트(94)는 상이한 공정으로 형성될 수 있거나 동일한 공정으로 형성될 수 있다.

[0044] 도 9에서, 제2 ILD 층(90)이 리세스되어, 리세스(98)를 형성한다. 리세스(98)는 제2 ILD 층(90)의 계면 및 콘택트(92, 94)의 계면에서 콘택트(92, 94)의 측벽의 일부와 같은, 표면의 일부를 노출시킨다. 이 실시형태에서, 콘택트(92, 94)의 노출된 부분은 실질적으로 수직 측벽 및 실질적으로 편평한 상부면을 갖는다. 다시 말해서, 측벽은 기관(50)의 주(major) 표면에 실질적으로 수직일 수 있고, 상부면은 기관(50)의 주 표면에 실질적으로 평행할 수 있다. 리세스(recessing)은 제2 ILD 층(90)의 물질에 선택적인 것과 같은 허용 가능한 에칭 공정에 의해 수행될 수 있다. 제2 ILD 층(90)이 산화물인 실시형태에서, 화학적 산화물 제거가 수행될 수 있다. 예를 들어, 제2 ILD 층(90)은 약 7 초 내지 약 60 초 범위의 지속 시간 동안 플라즈마 없이 HF와 NH₃의 혼합물, NF₃과 NH₃의 혼합물, dHF 산 등을 사용하여 습식 또는 건식 에칭에 의해 에칭될 수 있고, 이는 약 2 nm 내지 약 15 nm의 범위에서와 같이, 적어도 약 2 nm의 깊이(D₁)까지 리세스(98)를 형성할 수 있다. 깊이(D₁)는 제2 ILD 층(90)의 원래 높이의 약 4 % 내지 약 25 %일 수 있다. 이러한 에칭 공정은 제2 ILD 층(90)의 유전체 물질과 콘택트(92, 94)의 전도성 물질 사이의 높은 에칭 선택도를 야기할 수 있다. 예를 들어, 이러한 에칭 공정은 제2 ILD

층(90)의 유전체 물질을 콘택트(92, 94)의 전도성 물질보다 최대 약 15 배 빠르게 선택적으로 에칭할 수 있다. 매우 선택적인 에칭 공정으로 제2 ILD 층(90)을 리세싱하는 것은, 실질적으로 수직 측벽 및 실질적으로 편평한 상부면을 갖는 콘택트(92, 94)의 노출된 부분을 야기할 수 있다. 제2 ILD 층(90)을 리세싱하면 콘택트(92, 94)의 노출된 표면적이 약 100 % 내지 약 700 % 범위의 양만큼 증가한다.

[0045] 선택적으로, 제2 ILD 층(90), 소스/드레인 콘택트(92) 및 게이트 콘택트(94)의 노출된 표면을 수정하기 위하여 하나 이상의 주입이 수행될 수 있다. 결과적으로, 제2 ILD 층(90)의 도핑 영역(90M)이 형성되고, 소스/드레인 콘택트(92)의 도핑 영역(92M)이 형성되고, 게이트 콘택트(94)의 도핑 영역(94M)이 형성된다. 주입을 거치는 피처의 나머지 도핑되지 않은 영역은 "메인 영역(main region)"으로 지칭될 수 있다. 예를 들어, 제2 ILD 층(90), 소스/드레인 콘택트(92) 및 게이트 콘택트(94)는 붕소, 인 등과 같은 하나 이상의 불순물로 주입될 수 있다. 소스/드레인 콘택트(92)의 도핑 영역(92M)은 약 10^{18} cm^{-3} 내지 약 10^{21} cm^{-3} 의 범위의 불순물 농도를 가지도록 주입될 수 있고, 게이트 콘택트(94)의 도핑 영역(94M)은 약 10^{18} cm^{-3} 내지 약 10^{21} cm^{-3} 의 범위의 불순물 농도를 가지도록 주입될 수 있다. 주입은 불순물이 제2 ILD 층(90)을 통과하지 않고 하부 피처에 주입되지 않도록 약 0.5 keV 내지 약 3 keV 범위의 에너지와 같은 저에너지에서 수행될 수 있다. 불순물로 제2 ILD 층(90)에 주입하면 제2 ILD 층(90)의 부피가 증가하여 팽창될 수 있다. 따라서, 제2 ILD 층(90)은 주입 후 감소된 밀도를 가질 수 있다. 일부 실시형태에서, 제2 ILD 층(90)은 주입 후 제1 ILD 층(74)보다 밀도가 낮다. 아래에서 더 논의되는 바와 같이, 후속적으로 형성된 인터커넥트는 콘택트(92, 94)와 상이한 전도성 물질로 형성될 수 있다. 도핑 영역(92M, 94M)을 형성하는 것은 콘택트(92, 94) 및 차후 형성된 인터커넥트 사이의 일 함수 차이를 감소시키는데 도움이 될 수 있다.

[0046] 어닐링은 주입 후에 수행될 수 있다. 예를 들어, 어닐링은 약 700 °C 내지 약 1200 °C 범위의 온도에서 수행될 수 있다. 어닐링은 제2 ILD 층(90), 소스/드레인 콘택트(92) 및 게이트 콘택트(94)에 주입된 불순물을 활성화시킨다.

[0047] 도 10에서, 금속 간 유전체(inter-metal dielectric, IMD) 층(102)이 리세스(98) 및 소스/드레인 콘택트(92)와 게이트 콘택트(94)의 노출된 표면에 형성된다. 전도성 피처(104)는 IMD 층(102)에 형성되고, 소스/드레인 콘택트(92)와 게이트 콘택트(94)에 연결된다. 전도성 피처(104A)의 제1 서브 세트는 소스/드레인 콘택트(92)에 연결되고, 전도성 피처(104B)의 제2 서브 세트는 게이트 콘택트(94)에 연결된다. IMD 층(102) 및 전도성 피처(104)는 인터커넥트 구조의 일부일 수 있다. 예를 들어, 전도성 피처(104)는 인터커넥트 구조의 금속 배선 패턴(예를 들어, 인터커넥트)의 일부인 전도성 비아 및 전도성 라인을 포함할 수 있다. 금속 배선 패턴은 결과적인 FinFET을 상호 연결하여 집적 회로를 형성한다. (IMD 층(102) 및 전도성 피처(104)를 포함하는) 인터커넥트 구조는 단일 다마신 공정, 이중 다마신 공정 등과 같은 다마신 공정에 의해 형성될 수 있다.

[0048] IMD 층(102)은 임의의 적합한 유전체 물질, 예를 들어 실리콘 산화물, 포스포실리케이트 유리(PSG), 붕규산 유리(BSG), 붕소 도핑된 포스포실리케이트 유리(BPSG) 등과 같은 산화물; 실리콘 질화물과 같은 질화물; 또는 이와 유사한 것으로 형성될 수 있다. IMD 층(102)은 스핀 코팅, 물리 기상 성막(PVD), 화학 기상 성막(CVD) 등 또는 이들의 조합과 같은 임의의 허용 가능한 성막 공정에 의하여 형성될 수 있다. IMD 층(102)은 약 3.9보다 낮은 k-값을 갖는 로우-k 유전체 물질로 형성된 층일 수 있다. IMD 층(102)은 2.5 미만의 k-값을 갖는 ELK(extra-low-k) 유전체 물질로 형성된 층일 수 있다. 일부 실시형태들에서, 에칭 정지 층은 IMD 층(102)과 제2 ILD 층(90) 사이에 형성된다. 에칭 정지 층은 IMD 층(102)의 물질과 상이한 에칭 속도를 가진 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 등과 같은 유전체 물질을 포함할 수 있다.

[0049] 전도성 피처(104)는 확산 장벽층 및 전도성 장벽층 위의 전도성 물질을 포함할 수 있다. 전도성 피처(104)를 형성하기 위한 예로서, IMD 층(102)에 개구가 형성되어 소스/드레인 콘택트(92) 및 게이트 콘택트(94)와 같은 하부의 전도성 피처를 노출시킨다. 개구는 허용 가능한 포토리소그래피 및 에칭 기법을 사용하여 형성될 수 있다. 확산 장벽층은 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물 등으로 형성될 수 있으며, 원자 층 성막(atomic layer deposition, ALD) 등과 같은 성막 공정에 의해 개구에 형성될 수 있다. 전도성 물질은 구리, 알루미늄, 텅스텐, 은 및 이들의 조합 등을 포함할 수 있고, 전기 화학 도금 공정, CVD, ALD, PVD 등 또는 이들의 조합에 의해 개구의 확산 장벽층 위에 형성될 수 있다. 실시형태에서, 전도성 물질은 구리이고, 확산 장벽층은 구리가 IMD 층(102) 내로 확산되는 것을 방지하는 얇은 장벽층이다. 확산 장벽층 및 전도성 물질의 형성 후에, 확산 장벽층 및 전도성 물질의 여분은 예를 들어 화학적 기계적 연마(CMP) 공정과 같은 평탄화 공정에 의해 제거될 수 있다. 확산 장벽층 및 전도성 물질의 나머지 부분은 전도성 피처(104)를 형성한다.

[0050] 전도성 피처(104)는 제2 ILD 층(90) 위로 연장되는 콘택트(92, 94)의 노출된 표면과 접촉한다. 다시 말해서, 전

도성 피처(104A)는 소스/드레인 콘택트(92)의 상부면 및 측벽과 접촉하고, 전도성 피처(104B)는 게이트 콘택트(94)의 상부면 및 측벽과 접촉한다. 제2 ILD 층(90)을 리세싱한 결과, 콘택트(92, 94)는 제2 ILD 층(90)을 통하여 연장되고, 거리(D₁)만큼 전도성 피처(104) 내로 부분적으로 연장된다. 소스/드레인 콘택트(92)는 또한 제1 ILD 층(74)을 통하여 연장된다. 따라서, 전도성 피처(104)는 각각 콘택트(92, 94) 중 하나의 다수의 표면과 물리적으로 접촉한다. 따라서, 콘택트(92, 94)와 전도성 피처(104) 사이의 계면의 표면적이 증가될 수 있다. 예를 들어, 각각의 계면의 표면적은 약 100 % 내지 약 700 %의 범위의 양만큼 증가될 수 있다. 콘택트(92, 94)와 전도성 피처(104) 사이의 계면의 표면적을 증가시키는 것은 콘택트의 저항을 감소시키는데 도움이 될 수 있다. 콘택트(92, 94)가 제2 ILD 층(90)을 통하여 부분적으로 전도성 피처(104) 내로 연장되기 때문에, 콘택트(92, 94)의 최종 높이는 제2 ILD 층(90)의 최종 높이보다 크다. 구체적으로, 제2 ILD 층(90)의 상부면은 콘택트(92, 94)의 상부면보다 기판(50)에 더 가깝게 배치된다.

[0051] 전도성 피처(104A)는 소스/드레인 콘택트(92)의 도핑 영역(92M)과 직접 물리적으로 접촉하고, 전도성 피처(104B)는 게이트 콘택트(94)의 도핑 영역(94M)과 직접 물리적으로 접촉한다. 일부 실시형태에서 전도성 피처(104)는 콘택트(92, 94)와 상이한 전도성 물질을 포함한다. 예를 들어, 콘택트(92, 94)는 코발트로 형성될 수 있고 전도성 피처(104)는 텅스텐으로 형성될 수 있다. 특히, 콘택트(92, 94)의 전도성 물질(예를 들어, 코발트)은 전도성 피처(104)의 전도성 물질(예를 들어, 텅스텐)과는 상이한(예를 들어, 더 큰) 일 함수를 가질 수 있다. 일부 실시형태에 따르면, 도핑 영역(92M)은 소스/드레인 콘택트(92)와 전도성 피처(104A) 사이의 일 함수 차이를 감소시키는데 도움이 될 수 있다. 마찬가지로, 도핑 영역(94M)은 게이트 콘택트(94)와 전도성 피처(104B) 사이의 일 함수 차이를 감소시키는데 도움이 될 수 있다. 구체적으로, 도핑 영역(92M, 94M)의 물질의 일 함수는 콘택트(92, 94)의 물질의 일 함수보다 작고, 전도성 피처(104)의 물질의 일 함수보다 크다. 콘택트(92, 94)와 전도성 피처(104) 사이의 일 함수 차이를 감소시키는 것은 콘택트의 저항을 감소시키는데 도움이 될 수 있다.

[0052] 도 11은 일부 다른 실시형태에 따른 FinFET의 단면도이다. 이 실시형태는 소스/드레인 콘택트가 하부(lower) 소스/드레인 콘택트(92A) 및 상부(upper) 소스/드레인 콘택트(92B)를 포함하는 것을 제외하고는 도 10과 관련하여 설명된 실시형태와 유사하다. 하부 소스/드레인 콘택트(92A)는 제1 ILD 층(74) 및 CESL(72)을 통하여 연장되고, 상부 소스/드레인 콘택트(92B)는 제2 ILD 층(90)을 통하여 연장된다. 따라서 리세스(98)(도 9 참조)는 콘택트(92B, 94)의 측벽의 일부를 노출시킨다. 따라서, 하부 소스/드레인 콘택트(92A)는 상부 소스/드레인 콘택트(92B)와 에피택셜 소스/드레인 영역(70) 사이에 배치된다.

[0053] 하부 소스/드레인 콘택트(92A)를 형성하기 위한 예로서, 제2 ILD 층(90)을 형성하기 전에, 하부 소스/드레인 콘택트(92A)를 위한 개구가 제1 ILD 층(74) 및 CESL(72)을 통하여 형성될 수 있다. 허용 가능한 포토리소그래피 및 에칭 기법을 사용하여 개구가 형성될 수 있다. 개구에는 확산 장벽층, 접착층 등의 라이너 및 전도성 물질이 형성되어 있다. 라이너는 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물 등을 포함할 수 있다. 전도성 물질은 구리, 구리 합금, 은, 금, 텅스텐, 코발트, 알루미늄, 니켈 등일 수 있다. CMP와 같은 평탄화 공정이 제1 ILD 층(74)의 표면으로부터 과량의 물질을 제거하기 위하여 수행될 수 있다. 나머지 라이너 및 전도성 물질은 개구에서 하부 소스/드레인 콘택트(92A)를 형성한다. 에피택셜 소스/드레인 영역(70)과 하부 소스/드레인 콘택트(92A) 사이의 계면에서 실리사이드를 형성하기 위하여 어닐링 공정이 수행될 수 있다. 하부 소스/드레인 콘택트(92A)는 에피택셜 소스/드레인 영역(70)에 연결된다. 형성 후에, 게이트 스페이서(66), 제1 ILD 층(74), 게이트 전극(84) 및 하부 소스/드레인 콘택트(92A)의 상부면은 동일 평면 상에 있다.

[0054] 상부 소스/드레인 콘택트(92B)를 형성하기 위한 예로서, 제2 ILD 층(90)을 형성한 후, 상부 소스/드레인 콘택트(92B)를 위한 개구가 제2 ILD 층(110)을 통하여 형성된다. 개구는 허용 가능한 포토리소그래피 및 에칭 기법을 사용하여 형성될 수 있다. 개구에는 확산 장벽층, 접착층 등의 라이너 및 전도성 물질이 형성된다. 라이너는 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물 등을 포함할 수 있다. 전도성 물질은 구리, 구리 합금, 은, 금, 텅스텐, 코발트, 알루미늄, 니켈 등일 수 있다. CMP와 같은 평탄화 공정이 제2 ILD 층(110)의 표면으로부터 과량의 물질을 제거하기 위하여 수행될 수 있다. 나머지 라이너 및 전도성 물질은 개구에서 상부 소스/드레인 콘택트(92B)를 형성한다. 상부 소스/드레인 콘택트(92B)는 하부 소스/드레인 콘택트(92A)에 연결되고, 하부 소스/드레인 콘택트(92A)는 에피택셜 소스/드레인 영역(70)에 연결된다. 상부 소스/드레인 콘택트(92B) 및 게이트 콘택트(94)는 상이한 공정으로 형성되거나 동일한 공정으로 형성될 수 있다. 형성 후에, 제2 ILD 층(90), 상부 소스/드레인 콘택트(92B) 및 게이트 콘택트(94)의 상부면은 동일 평면 상에 있다.

[0055] 일부 실시형태는 도 10 및 11에 도시된 실시형태로부터 피처들을 결합할 수 있음을 이해하여야 한다. 예를

들어, 다이의 제1 영역(예를 들어, 입력/출력 영역)의 소스/드레인 콘택트는 (도 10에 도시된 바와 같이) 다수의 ILD 층을 통하여 연장되는 연속 전도성 피처일 수 있는 반면, 다이의 제2 영역(예를 들어, 코어 로직 영역)의 소스/드레인 콘택트는 (도 11에 도시된 바와 같이) 각각의 ILD 층에서 별도의 상부 및 하부 전도성 피처를 가질 수 있다.

[0056] 도 12는 일부 다른 실시형태에 따른 FinFET의 단면도이다. 이 실시형태는 상부 소스/드레인 콘택트(92B)가 하부 소스/드레인 콘택트(92A)의 상부면 및 측벽과 접촉한다는 점을 제외하고는, 도 11과 관련하여 설명된 실시형태와 유사하다. 따라서 하부 소스/드레인 콘택트(92A)는 상부 소스/드레인 콘택트(92B) 내로 부분적으로 연장된다. 상부 소스/드레인 콘택트(92B)는 제2 ILD 층(90)을 형성하기 전에 제1 ILD 층(74)을 리세싱하고 하부 소스/드레인 콘택트(92A)의 측벽을 노출시킴으로써 그러한 방식으로 형성될 수 있다. 하부 소스/드레인 콘택트(92A)의 측벽을 노출시키기 위한 예로서, 제1 ILD 층(74)은 (예를 들어, 제1 ILD 층(74)의 유전체 물질과 하부 소스/드레인 콘택트(92A)의 전도성 물질 사이에서 높은 에칭 선택도를 갖는 에칭 공정을 수행함으로써) 도 9와 관련하여 설명된 제2 ILD 층(90)을 리세싱하는 공정과 유사한 공정을 사용하여 리세싱될 수 있고, 이는 약 2 nm 내지 약 15 nm의 범위에서와 같이 적어도 약 2 nm의 깊이(D₂)만큼 제1 ILD 층(74)을 리세싱할 수 있다. 깊이(D₂)는 제1 ILD 층(74)의 원래 높이의 약 4 % 내지 약 25 %일 수 있다. 리세싱 후 제2 ILD 층(90)은 CESL(72)의 측벽과 접촉하여 형성될 수 있다. 상부 소스/드레인 콘택트(92B)는 이어서 하부 소스/드레인 콘택트(92A)의 상부면 및 측벽과 접촉하도록 제2 ILD 층(90)을 통하여 형성될 수 있다.

[0057] 도 13은 일부 다른 실시형태에 따른 FinFET의 단면도이다. 이 실시형태는 콘택트(92, 94) 및 연관된 도핑 영역(92M, 94M)이 볼록 상부면을 갖고 명확하게 정의된 수직 측벽이 없다는 점을 제외하고는, 도 10과 관련하여 설명된 실시형태와 유사하다. 볼록 상부면을 갖는 콘택트(92, 94)를 형성하기 위한 예로서, 제2 ILD 층(90)은 약 7 초 내지 약 60 초 범위의 지속 시간 동안 플라즈마 없이 HF와 NH₃의 혼합물, NF₃과 NH₃의 혼합물, dHF 산 등을 사용하여 습식 또는 건식 에칭에 의해 에칭될 수 있고, 이는 제2 ILD 층(90)을 약 2 nm 내지 약 15 nm의 범위에서와 같이 적어도 약 2 nm의 깊이(D₃)만큼 리세싱할 수 있다. 깊이(D₃)는 제2 ILD 층(90)의 원래 높이의 약 4 % 내지 약 25 %일 수 있다. 이러한 에칭 공정은 도 9와 관련하여 설명된 에칭 공정보다, 제2 ILD 층(90)의 유전체 물질과 콘택트(92, 94)의 전도성 물질 사이에 더 낮은 에칭 선택도를 초래할 수 있다. 예를 들어, 이러한 에칭 공정은 콘택트(92, 94)의 전도성 물질보다 최대 약 10 배 더 빨리 제2 ILD 층(90)의 유전체 물질을 선택적으로 에칭할 수 있다. 덜 선택적 에칭 공정으로 제2 ILD 층(90)을 리세싱한 결과, 콘택트(92, 94)의 노출된 부분이 볼록 상부면을 가질 수 있다.

[0058] 도 14는 일부 다른 실시형태에 따른 FinFET의 단면도이다. 이 실시형태는 도 11에 기술된 실시형태와 유사하게, 소스/드레인 콘택트가 하부 소스/드레인 콘택트(92A) 및 상부 소스/드레인 콘택트(92B)를 포함한다는 점을 제외하고는, 도 13과 관련하여 설명된 실시형태와 유사하다.

[0059] 도 15는 일부 다른 실시형태에 따른 FinFET의 단면도이다. 이 실시형태는 하부 소스/드레인 콘택트(92A)가 상부 소스/드레인 콘택트(92B)와 접촉하는 볼록한 표면을 갖는 것을 제외하고는, 도 14와 관련하여 설명된 실시형태와 유사하다. 상부 소스/드레인 콘택트(92B)는 제2 ILD 층(90)을 형성하기 전에 제1 ILD 층(74)을 리세싱하고, 하부 소스/드레인 콘택트(92A)의 볼록면을 노출시킴으로써 이러한 방식으로 형성될 수 있다. 하부 소스/드레인 콘택트(92A)의 측벽을 노출시키기 위한 예로서, 제1 ILD 층(74)은 (예를 들어, 제1 ILD 층(74)의 유전체 물질과 하부 소스/드레인 콘택트(92A)의 전도성 물질 사이에서 낮은 에칭 선택도를 갖는 에칭 공정을 수행함으로써) 도 13과 관련하여 설명된 제2 ILD 층(90)을 리세싱하는 공정과 유사한 공정을 사용하여 리세싱될 수 있고, 이는 약 2 nm 내지 약 15 nm의 범위에서와 같이 적어도 약 2 nm의 깊이(D₄)만큼 제1 ILD 층(74)을 리세싱할 수 있다. 깊이(D₄)는 제1 ILD 층(74)의 원래 높이의 약 4 % 내지 약 25 %일 수 있다.

[0060] 도 16 및 도 17은 일부 다른 실시형태에 따른 FinFET의 제조에서 중간 단계의 단면도이다. 도 16 및 도 17은 4개의 게이트 구조물이 도시된 것을 제외하고는 도 1의 기준 단면 A-A를 따라 도시된 단면도이다. 도 16 및 17은 또한 (게이트 콘택트가 형성될) 제1 영역(50A) 및 (소스/드레인 콘택트가 형성될) 제2 영역(50B)을 도시한다.

[0061] 도 16에서, 도 8과 관련하여 설명된 것과 유사한 구조가 얻어진다. 그 후, 소스/드레인 콘택트(92) 및 게이트 콘택트(94)는 리세스(112)를 형성하기 위하여 리세싱된다. 리세스(112)는 제2 ILD 층(90)과 콘택트(92, 94)의 계면에서 제2 ILD 층(90)의 측벽의 일부와 같은 표면의 일부를 노출시킨다. 리세싱은 콘택트(92, 94)의 전도성 물질에 선택적인 것과 같은 허용 가능한 에칭 공정에 의해 이루어질 수 있다. 콘택트(92, 94)가 코발트로 형성되는 실시형태에서, 플라즈마 에칭은 불소 또는 염소계 에칭제를 사용하여 수행될 수 있다. 에칭 가스에는 수소

또는 산소와 같은 추가 가스가 포함되어 고체상 에칭 부산물을 승화시킬 수 있다. 컨택트(92, 94)가 코발트로 형성되는 다른 실시형태에서, 습식 화학 에칭이 과산화 황 혼합물(sulfuric peroxide mixture, SPM), 염산-과산화수소-물 혼합물(hydrochloric acid-hydrogen peroxide-water mixture, HPM), 피라냐 용액 등을 사용하여 수행될 수 있다. SPM은 황산(H₂SO₄), 과산화수소(H₂O₂) 및 탈이온수(deionized water, DIW)의 혼합물이다. HPM은 염산(HCl), 과산화수소(H₂O₂) 및 물(H₂O)의 혼합물이다. 피라냐 용액은 황산(H₂SO₄)과 과산화수소(H₂O₂)의 혼합물이다. 리세스(112)를 형성하기 위한 예로서, 컨택트(92, 94)는 SPM을 사용하여 약 3 초 내지 약 10 초 범위의 지속 시간 동안 습식 에칭에 의해 에칭될 수 있으며, 이는 약 2 nm 내지 약 15 nm의 범위와 같은 적어도 약 2 nm의 깊이(D₅)까지 리세스(112)를 형성될 수 있다. 깊이(D₅)는 게이트 컨택트(94)의 원래 높이의 약 4 % 내지 약 25 %일 수 있다. 이러한 에칭 공정은 제2 ILD 층(90)의 유전체 물질과 컨택트(92, 94)의 전도성 물질 사이의 높은 에칭 선택도를 야기할 수 있다. 예를 들어, 이러한 에칭 공정은 제2 ILD 층(90)의 유전체 물질을 컨택트(92, 94)의 전도성 물질보다 최대 약 10 배 빠르게 선택적으로 에칭할 수 있다. 리세스(112)가 형성된 후, 컨택트(92, 94)는 오목한 상부면을 갖는다. 컨택트(92, 94)가 오목한 상부면을 갖도록 리세스하는 것은 컨택트(92, 94)의 노출된 표면적을 약 100 % 내지 약 700 % 범위의 양만큼 증가시킨다.

[0062] 선택적으로, 제2 ILD 층(90)의 상부 영역(90M), 소스/드레인 컨택트(92)의 노출 영역(92M) 및 게이트 컨택트(94)의 노출 영역(94M)을 수정하기 위하여 하나 이상의 주입이 수행될 수 있다. 주입된 불순물을 활성화시키기 위하여 주입 후에 어닐링이 형성될 수 있다. 주입 및 어닐링은 도 9와 관련하여 설명된 것과 유사할 수 있다.

[0063] 도 17에서, IMD 층(102)은 제2 ILD 층(90) 상에 형성된다. 전도성 피처(104)는 IMD 층(102) 및 리세스(112)에 형성된다. IMD 층(102) 및 전도성 피처(104)는 도 10과 관련하여 설명된 것들과 유사한 방식으로 형성될 수 있다.

[0064] 전도성 피처(104)는 컨택트(92, 94)의 오목한 상부면과 접촉한다. 다시 말하면, 전도성 피처(104A)는 소스/드레인 컨택트(92)의 오목한 상부면과 접촉하고, 전도성 피처(104B)는 게이트 컨택트(92)의 오목한 상부면과 접촉한다. 컨택트(92, 94)를 리세스한 결과, 컨택트(92, 94)는 제2 ILD 층(90) 내로 부분적으로 연장되고, 전도성 피처(104)는 IMD 층(102)을 통하여 연장되고, 전도성 피처(104)는 거리(D₅)만큼 제2 ILD 층(90) 내로 부분적으로 연장된다. 또한, 전도성 피처(104)는 컨택트(92, 94) 내로 연장된다. 따라서 전도성 피처(104)는 각각 제2 ILD 층(90)의 측벽 및 컨택트(92, 94) 중 하나의 오목한 상부면과 물리적으로 접촉한다. 따라서, 컨택트(92, 94)와 전도성 피처(104) 사이의 계면이 표면적이 증가될 수 있다. 예를 들어, 각각의 계면의 표면적은 약 100 % 내지 약 700 %의 범위의 양만큼 증가될 수 있다. 컨택트(92, 94)와 전도성 피처(104) 사이의 계면의 표면적을 증가시키는 것은 컨택트의 저항을 감소시키는데 도움이 될 수 있다. 전도성 피처(104)는 IMD 층(102)을 통하여 제2 ILD 층(90) 내로 부분적으로 연장되기 때문에, 컨택트(92, 94)의 최종 높이는 제2 ILD 층(90)의 최종 높이보다 작다. 구체적으로, 제2 ILD 층(90)의 상부면은 컨택트(92, 94)의 상부면보다 기판(50)으로부터 더 멀리 배치된다. 또한, 앞서 언급된 바와 같이, 도핑 영역(92M, 94M)을 형성하는 것은 컨택트(92, 94)와 전도성 피처(104) 사이의 일 함수 차이를 감소시키는데 도움이 될 수 있다. 구체적으로, 도핑 영역(92M, 94M)의 물질의 일 함수는 컨택트(92, 94)의 물질의 일 함수보다 크고 전도성 피처(104)의 물질의 일 함수보다 작다. 컨택트(92, 94)와 전도성 피처(104) 사이의 일 함수 차이를 감소시키는 것은 컨택트의 저항을 감소시키는데 도움이 될 수 있다.

[0065] 도 18은 일부 다른 실시형태에 따른 FinFET의 단면도이다. 이 실시형태는 소스/드레인 컨택트가 도 11과 관련하여 설명된 실시형태와 유사하게 하부 소스/드레인 컨택트(92A) 및 상부 소스/드레인 컨택트(92B)를 포함하는 것을 제외하고는, 도 17과 관련하여 설명된 실시형태와 유사하다. 하부 소스/드레인 컨택트(92A)는 제1 ILD 층(74) 및 CESL(72)을 통하여 연장되고, 상부 소스/드레인 컨택트(92B)는 제2 ILD 층(90)을 통하여 부분적으로 연장된다. 따라서 리세스(112)(도 17 참조)는 컨택트(92B, 94)를 에칭함으로써 형성된다.

[0066] 일부 실시형태는 도 17 및 18에 도시된 실시형태로부터의 피처들을 결합할 수 있음을 이해하여야 한다. 예를 들어, 다이의 제1 영역(예를 들어, 입력/출력 영역)의 소스/드레인 컨택트는 (도 17에 도시된 바와 같이) 다수의 ILD 층을 통하여 연장되는 연속적인 전도성 피처일 수 있는 반면, 다이의 제2 영역(예를 들어, 코어 로직 영역)의 소스/드레인 컨택트는 (도 18에 도시된 바와 같이) 각각의 ILD 층에서 별도의 상부 및 하부 전도성 피처를 가질 수 있다.

[0067] 도 19는 일부 다른 실시형태에 따른 FinFET의 단면도이다. 이 실시형태는 상부 소스/드레인 컨택트(92B)가 제1 ILD 층(74) 및 하부 소스/드레인 컨택트(92A) 내로 부분적으로 연장되는 것을 제외하고는, 도 18과 관련하여 설명된 실시형태와 유사하다. 상부 소스/드레인 컨택트(92B)는 제2 ILD 층(90)을 형성하기 전에 하부 소스/드레인

컨택트(92A)를 리세싱하여, 하부 소스/드레인 컨택트(92A)에 대한 볼록 상부면을 형성함으로써, 이러한 방식으로 형성될 수 있다. 하부 소스/드레인 컨택트(92A)에 대한 볼록 상부면을 형성하기 위한 예로서, 하부 소스/드레인 컨택트(92A)는 도 16과 관련하여 설명된 상부 소스/드레인 컨택트(92B)를 리세싱하는 공정과 유사한 공정을 사용하여 리세싱될 수 있고, 이는 약 2 nm 내지 약 15 nm의 범위에서와 같이 적어도 약 2 nm의 깊이(D₆)만큼 하부 소스/드레인 컨택트(92A)를 리세싱할 수 있다. 깊이(D₆)는 하부 소스/드레인 컨택트(92A)의 원래 높이의 약 4 % 내지 약 25 %일 수 있다.

[0068] 실시형태들의 일부 변형이 가능하다. 예를 들어, 도 18과 관련하여 설명된 실시형태에서, 제1 ILD 층(74)은 도 12 및 15와 관련하여 설명된 실시형태와 유사한 방식으로, 상부 소스/드레인 컨택트(92B)를 형성하기 전에 리세싱될 수 있어서, 하부 소스/드레인 컨택트(92A)는 상부 소스/드레인 컨택트(92B) 내로 연장된다. 마찬가지로, 도 11 및 도 14와 관련하여 설명된 실시형태들에서, 하부 소스/드레인 컨택트(92A)는 도 19와 관련하여 설명된 실시형태와 유사한 방식으로, 상부 소스/드레인 컨택트(92B)를 형성하기 전에 리세싱될 수 있어서, 상부 소스/드레인 컨택트(92B)는 하부 소스/드레인 컨택트(92A) 내로 연장된다.

[0069] 실시형태는 이점을 달성할 수 있다. 제2 ILD 층(90) 또는 컨택트(92, 94)를 리세싱하는 것은 컨택트(92, 94)가 노출된 측벽, 볼록 상부면 또는 오목 상부면을 갖도록 한다. 노출된 측벽, 볼록 상부면 또는 오목 상부면을 갖는 컨택트(92, 94)를 형성하는 것은 컨택트(92, 94)와 전도성 피처(104) 사이의 계면의 표면적을 증가시키는데 도움이 될 수 있다. 컨택트(92, 94)와 전도성 피처(104) 사이의 계면의 표면적을 증가시키는 것은 컨택트의 저항을 감소시켜 FinFET의 성능을 향상시키는데 도움이 될 수 있다. 또한, 컨택트(92, 94)의 상부 영역을 도핑하면, 특히 컨택트(92, 94)와 전도성 피처(104)가 상이한 전도성 물질로 형성될 때, 컨택트(92, 94)와 전도성 피처(104) 사이의 일 함수 차이를 감소시킬 수 있다. 컨택트(92, 94)와 전도성 피처(104) 사이의 일 함수 차이를 감소시키면, 컨택트의 저항을 감소시켜 FinFET의 성능을 향상시키는데 도움이 될 수 있다.

[0070] 실시형태에서, 구조물은 기판의 채널 영역 위의 게이트 스택; 채널 영역에 인접한 소스/드레인 영역; 소스/드레인 영역 및 게이트 스택 위의 제1 ILD 층; 제1 ILD 층 위의 제1 IMD 층; 제1 IMD 층을 통하여 연장되는 제1 전도성 피처; 제1 IMD 층을 통하여 연장되는 제2 전도성 피처; 제1 ILD 층을 통하여 상기 제1 전도성 피처 내로 부분적으로 연장되고, 소스/드레인 영역 및 제1 전도성 피처와 물리적으로 접촉하는 소스/드레인 컨택트; 및 제1 ILD 층을 통하여 제2 전도성 피처 내로 부분적으로 연장되고, 게이트 스택 및 제2 전도성 피처와 물리적으로 접촉하는 게이트 컨택트를 포함한다.

[0071] 구조물의 일부 실시형태에서, 소스/드레인 컨택트는 제1 전도성 피처와 물리적으로 접촉하는 제1 볼록 상부면을 가지며, 게이트 컨택트는 제2 전도성 피처와 물리적으로 접촉하는 제2 볼록 상부면을 갖는다. 구조물의 일부 실시형태에서, 소스/드레인 컨택트는 각각 제1 전도성 피처와 물리적으로 접촉하는 제1 측벽 및 제1 편평 상부면을 가지며, 게이트 컨택트는 각각 제2 전도성 피처와 물리적으로 접촉하는 제2 측벽 및 제2 편평 상부면을 갖는다. 일부 실시형태에서, 구조물은 소스/드레인 영역과 제1 ILD 층 사이의 제2 ILD 층을 추가로 포함하며, 여기서 소스/드레인 컨택트는 제1 ILD 층을 통하여, 제2 ILD 층을 통하여 제1 전도성 피처 내로 부분적으로 연장되는 연속 전도성 피처이다. 일부 실시형태에서, 구조물은 소스/드레인 영역과 제1 ILD 층 사이의 제2 ILD 층을 추가로 포함하며, 여기서 소스/드레인 컨택트는: 제1 ILD 층을 통하여 제1 전도성 피처 내로 부분적으로 연장되는 제3 전도성 피처; 및 제3 전도성 피처와 소스/드레인 영역 사이에 있고 제2 ILD 층을 통하여 연장되는 제4 전도성 피처를 포함한다. 일부 실시형태에서, 구조물은 소스/드레인 영역과 제1 ILD 층 사이의 제2 ILD 층을 추가로 포함하며, 여기서 소스/드레인 컨택트는: 제1 ILD 층을 통하여 제1 전도성 피처 내로 부분적으로 연장되는 제3 전도성 피처; 및 제3 전도성 피처와 소스/드레인 영역 사이에 있고 제2 ILD 층을 통하여 제3 전도성 피처 내로 부분적으로 연장되는 제4 전도성 피처를 포함한다. 구조물의 일부 실시형태에서, 소스/드레인 컨택트 및 게이트 컨택트는 각각 제1 전도성 물질을 포함하고, 제1 전도성 피처 및 제2 전도성 피처는 각각 제2 전도성 물질을 포함하고, 제1 전도성 물질은 제2 전도성 물질과 상이하다. 구조물의 일부 실시형태에서, 제1 전도성 물질은 제2 전도성 물질보다 큰 일 함수를 갖는다.

[0072] 실시형태에서, 구조물은 기판의 채널 영역 위의 게이트 스택; 채널 영역에 인접한 소스/드레인 영역; 소스/드레인 영역 및 게이트 스택 위의 제1 ILD 층; 제1 ILD 층 위의 제1 IMD 층; 제1 IMD 층을 통하여 제1 ILD 층 내로 부분적으로 연장되는 제1 전도성 피처; 제1 IMD 층을 통하여 제1 ILD 층 내로 부분적으로 연장되는 제2 전도성 피처; 제1 ILD 층 내로 부분적으로 연장되고 소스/드레인 영역 및 제1 전도성 피처와 물리적으로 접촉하는 소스/드레인 컨택트; 및 제1 ILD 층 내로 부분적으로 연장되고 게이트 스택 및 제2 전도성 피처와 물리적으로 접촉하는 게이트 컨택트를 포함한다.

- [0073] 구조물의 일부 실시형태에서, 소스/드레인 콘택트는 제1 전도성 피처와 물리적으로 접촉하는 제1 오목 상부면을 가지며, 게이트 콘택트는 제2 전도성 피처와 물리적으로 접촉하는 제2 오목 상부면을 갖는다. 일부 실시형태에서, 구조물은 소스/드레인 영역과 제1 ILD 층 사이의 제2 ILD 층을 더 포함하고, 여기서 소스/드레인 콘택트는 제1 ILD 층 내로 그리고 제2 ILD 층을 통하여 부분적으로 연장되는 연속 전도성 피처이다. 일부 실시형태에서, 구조물은 소스/드레인 영역과 제1 ILD 층 사이의 제2 ILD 층을 추가로 포함하며, 여기서 소스/드레인 콘택트는: 제1 ILD 층 내로 부분적으로 연장되는 제3 전도성 피처; 및 제3 전도성 피처와 소스/드레인 영역 사이에 있고, 제2 ILD 층을 통하여 연장되는 제4 전도성 피처를 포함한다. 일부 실시형태에서, 구조물은 소스/드레인 영역과 제1 ILD 층 사이의 제2 ILD 층을 추가로 포함하며, 여기서 소스/드레인 콘택트는: 제1 ILD 층 내로 부분적으로 그리고 제2 ILD 층 내로 부분적으로 연장되는 제3 전도성 피처; 및 제3 전도성 피처와 소스/드레인 영역 사이에 있고, 제2 ILD 층 내로 부분적으로 연장되는 제4 전도성 피처를 포함한다. 구조물의 일부 실시형태에서, 소스/드레인 콘택트 및 게이트 콘택트는 각각 제1 전도성 물질을 포함하고, 제1 전도성 피처 및 제2 전도성 피처는 각각 제2 전도성 물질을 포함하고, 제1 전도성 물질은 제2 전도성 물질과 상이하다. 구조물의 일부 실시형태에서, 제1 전도성 물질은 제2 전도성 물질보다 큰 일 함수를 갖는다.
- [0074] 실시형태에서, 방법은 기판의 채널 영역 위에 게이트 스택을 형성하는 단계; 채널 영역에 인접한 소스/드레인 영역을 성장시키는 단계; 소스/드레인 영역 및 게이트 스택 위에 제1 ILD 층을 성막하는 단계; 소스/드레인 영역에 물리적으로 접촉하는 소스/드레인 콘택트를 제1 ILD 층을 통하여 형성하는 단계; 게이트 스택에 물리적으로 접촉하는 게이트 콘택트를 제1 ILD 층을 통하여 형성하는 단계; 소스/드레인 콘택트의 제1 측벽 및 게이트 콘택트의 제2 측벽을 노출시키도록 제1 ILD 층을 리세싱하는 단계; 소스/드레인 콘택트의 제1 측벽 및 제1 상부면과 물리적으로 접촉하는 제1 전도성 피처를 형성하는 단계; 및 게이트 콘택트의 제2 측벽 및 제2 상부면과 물리적으로 접촉하는 제2 전도성 피처를 형성하는 단계를 포함한다.
- [0075] 방법의 일부 실시형태에서, 제1 ILD 층을 리세싱하는 것은 소스/드레인 콘택트의 노출된 표면적 및 게이트 콘택트의 노출된 표면적을 100 % 내지 700 % 범위의 양만큼 증가시킨다. 일부 실시형태에서, 방법은 소스/드레인 영역 위에 제2 ILD 층을 성막하는 단계를 더 포함하고, 제1 ILD 층은 제2 ILD 층 상에 성막되고, 여기서 소스/드레인 콘택트를 형성하는 단계는: 제2 ILD 층에 하부 소스/드레인 콘택트를 형성하는 단계; 제2 ILD 층을 리세싱하는 단계; 및 제1 ILD 층에 상부 소스/드레인 콘택트를 형성하는 단계를 더 포함한다. 일부 실시형태에서, 방법은 소스/드레인 영역 위에 제2 ILD 층을 성막하는 단계를 더 포함하고, 제1 ILD 층은 제2 ILD 층 상에 성막되고, 여기서 소스/드레인 콘택트를 형성하는 단계는: 제2 ILD 층에 하부 소스/드레인 콘택트를 형성하는 단계; 하부 소스/드레인 콘택트를 리세싱하는 단계; 및 제1 ILD 층에 상부 소스/드레인 콘택트를 형성하는 단계를 포함한다. 일부 실시형태에서, 방법은 소스/드레인 영역 위에 제2 ILD 층을 성막하는 단계를 더 포함하고, 제1 ILD 층은 제2 ILD 층 상에 성막되고, 여기서 소스/드레인 콘택트를 형성하는 단계는: 제1 ILD 층 및 제2 ILD 층을 통하여 연속적인 전도성 피처를 형성하는 단계를 포함한다.
- [0076] 앞서 논의된 내용은 당업자가 본 개시의 양태를 더 잘 이해할 수 있도록 몇몇 실시형태의 특징을 개략적으로 설명한다. 당업자는 동일한 목적을 수행하고/하거나 본 명세서에 도입된 실시형태의 동일한 장점을 달성하기 위한 다른 공정 및 구조를 설계 또는 수정하기 위한 기초로서 본 개시를 용이하게 사용할 수 있음을 이해하여야 한다. 당업자는 이러한 등가의 구성이 본 개시의 사상 및 범위를 벗어나지 않는다는 것, 및 본 개시의 사상 및 범위를 벗어나지 않으면서 본 명세서에서 다양한 변경, 대체 및 변경을 행할 수 있다는 것을 또한 인식하여야 한다.
- [0077] [실시에 1]
- [0078] 구조물(structure)에 있어서,
- [0079] 기판의 채널 영역 위의 게이트 스택;
- [0080] 상기 채널 영역에 인접한 소스/드레인 영역;
- [0081] 상기 소스/드레인 영역 및 상기 게이트 스택 위의 제1 층간 유전체(inter-layer dielectric, ILD) 층;
- [0082] 상기 제1 ILD 층 위의 제1 금속 간 유전체(inter-metal dielectric, IMD) 층;
- [0083] 상기 제1 IMD 층을 통하여 연장되는 제1 전도성 피처;
- [0084] 상기 제1 IMD 층을 통하여 연장되는 제2 전도성 피처;
- [0085] 상기 제1 ILD 층을 통하여 상기 제1 전도성 피처 내로 부분적으로 연장되며 상기 소스/드레인 영역 및 상기 제1

전도성 피처와 물리적으로 접촉하는 소스/드레인 콘택트; 및

- [0086] 상기 제1 ILD 층을 통하여 상기 제2 전도성 피처 내로 부분적으로 연장되며 상기 게이트 스택 및 상기 제2 전도성 피처와 물리적으로 접촉하는 게이트 콘택트
- [0087] 를 포함하는, 구조물.
- [0088] [실시예 2]
- [0089] 실시예 1에 있어서,
- [0090] 상기 소스/드레인 콘택트는 상기 제1 전도성 피처와 물리적으로 접촉하는 제1 블록 상부면(convex top surface)을 가지며, 상기 게이트 콘택트는 상기 제2 전도성 피처와 물리적으로 접촉하는 제2 블록 상부면을 갖는 것인, 구조물.
- [0091] [실시예 3]
- [0092] 실시예 1에 있어서,
- [0093] 상기 소스/드레인 콘택트는 상기 제1 전도성 피처와 각각 물리적으로 접촉하는 제1 측벽 및 제1 편평 상부면(flat top surface)을 가지며, 상기 게이트 콘택트는 제2 전도성 피처와 각각 물리적으로 접촉하는 제2 측벽 및 제2 편평 상부면을 가지는 것인, 구조물.
- [0094] [실시예 4]
- [0095] 실시예 1에 있어서,
- [0096] 상기 소스/드레인 영역과 상기 제1 ILD 층 사이의 제2 ILD 층을 더 포함하고,
- [0097] 상기 소스/드레인 콘택트는 상기 제1 ILD 층을 통하여, 상기 제2 ILD 층을 통하여, 그리고 상기 제1 전도성 피처 내로 부분적으로 연장되는 연속적인 전도성 피처인 것인, 구조물.
- [0098] [실시예 5]
- [0099] 실시예 1에 있어서,
- [0100] 상기 소스/드레인 영역과 상기 제1 ILD 층 사이의 제2 ILD 층을 더 포함하고,
- [0101] 상기 소스/드레인 콘택트는:
- [0102] 상기 제1 ILD 층을 통하여 상기 제1 전도성 피처 내로 부분적으로 연장되는 제3 전도성 피처; 및
- [0103] 상기 제3 전도성 피처와 상기 소스/드레인 영역 사이에 있고, 상기 제2 ILD 층을 통하여 연장되는 제4 전도성 피처
- [0104] 를 포함하는 것인, 구조물.
- [0105] [실시예 6]
- [0106] 실시예 1에 있어서,
- [0107] 상기 소스/드레인 영역과 상기 제1 ILD 층 사이의 제2 ILD 층을 더 포함하고,
- [0108] 상기 소스/드레인 콘택트는:
- [0109] 상기 제1 ILD 층을 통하여 상기 제1 전도성 피처 내로 부분적으로 연장되는 제3 전도성 피처; 및
- [0110] 상기 제3 전도성 피처와 상기 소스/드레인 영역 사이에 있고, 상기 제2 ILD 층을 통하여 상기 제3 전도성 피처 내로 부분적으로 연장되는 제4 전도성 피처
- [0111] 를 포함하는 것인, 구조물.
- [0112] [실시예 7]
- [0113] 실시예 1에 있어서,
- [0114] 상기 소스/드레인 콘택트 및 상기 게이트 콘택트는 각각 제1 전도성 물질을 포함하고, 상기 제1 전도성 피처 및 상기 제2 전도성 피처는 각각 제2 전도성 물질을 포함하고, 상기 제1 전도성 물질은 상기 제2 전도성 물질과 상

이한 것인, 구조물.

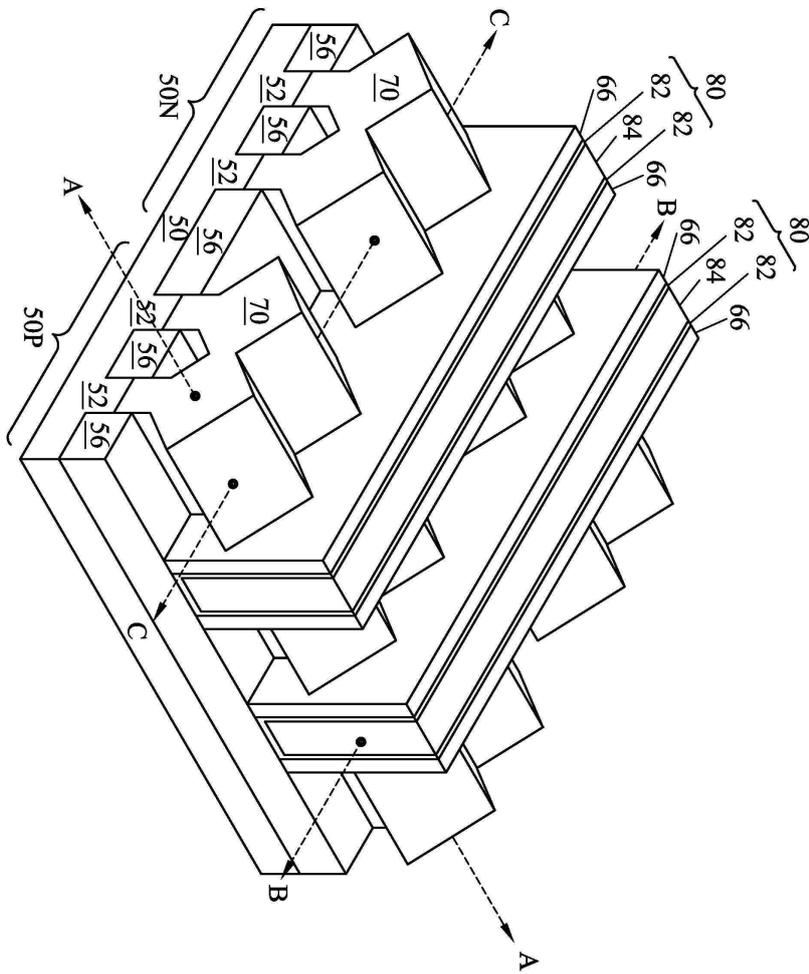
- [0115] [실시예 8]
- [0116] 실시예 7에 있어서,
- [0117] 상기 제1 전도성 물질은 상기 제2 전도성 물질보다 더 큰 일 함수를 가지는 것인, 구조물.
- [0118] [실시예 9]
- [0119] 구조물에 있어서,
- [0120] 기관의 채널 영역 위의 게이트 스택;
- [0121] 상기 채널 영역에 인접한 소스/드레인 영역;
- [0122] 상기 소스/드레인 영역 및 상기 게이트 스택 위의 제1 층간 유전체(ILD) 층;
- [0123] 상기 제1 ILD 층 위의 제1 금속 간 유전체(IMD) 층;
- [0124] 상기 제1 IMD 층을 통하여 상기 제1 ILD 층 내로 부분적으로 연장되는 제1 전도성 피처;
- [0125] 상기 제1 IMD 층을 통하여 상기 제1 ILD 층 내로 부분적으로 연장되는 제2 전도성 피처;
- [0126] 상기 제1 ILD 층 내로 부분적으로 연장되고 상기 소스/드레인 영역 및 상기 제1 전도성 피처와 물리적으로 접촉하는 소스/드레인 콘택트; 및
- [0127] 상기 제1 ILD 층 내로 부분적으로 연장되고 상기 게이트 스택 및 상기 제2 전도성 피처와 물리적으로 접촉하는 게이트 콘택트
- [0128] 를 포함하는, 구조물.
- [0129] [실시예 10]
- [0130] 실시예 9에 있어서,
- [0131] 상기 소스/드레인 콘택트는 상기 제1 전도성 피처와 물리적으로 접촉하는 제1 오목 상부면(concave top surface)을 가지며, 상기 게이트 콘택트는 상기 제2 전도성 피처와 물리적으로 접촉하는 제2 오목 상부면을 갖는 것인, 구조물.
- [0132] [실시예 11]
- [0133] 실시예 9에 있어서,
- [0134] 상기 소스/드레인 영역과 상기 제1 ILD 층 사이의 제2 ILD 층을 더 포함하고,
- [0135] 상기 소스/드레인 콘택트는 상기 제1 ILD 층 내로 부분적으로 그리고 상기 제2 ILD 층을 통하여 연장되는 연속적인 전도성 피처인 것인, 구조물.
- [0136] [실시예 12]
- [0137] 실시예 9에 있어서,
- [0138] 상기 소스/드레인 영역과 상기 제1 ILD 층 사이의 제2 ILD 층을 더 포함하고,
- [0139] 상기 소스/드레인 콘택트는:
- [0140] 상기 제1 ILD 층 내로 부분적으로 연장되는 제3 전도성 피처; 및
- [0141] 상기 제3 전도성 피처와 상기 소스/드레인 영역 사이에 있고, 상기 제2 ILD 층을 통하여 연장되는 제4 전도성 피처
- [0142] 를 포함하는 것인, 구조물.
- [0143] [실시예 13]
- [0144] 실시예 9에 있어서,

- [0145] 상기 소스/드레인 영역과 상기 제1 ILD 층 사이의 제2 ILD 층을 더 포함하고,
- [0146] 상기 소스/드레인 콘택트는:
- [0147] 상기 제1 ILD 층 내로 부분적으로 그리고 상기 제2 ILD 층 내로 부분적으로 연장되는 제3 전도성 피처;
및
- [0148] 제3 전도성 피처와 상기 소스/드레인 영역 사이에 있고, 상기 제2 ILD 층 내로 부분적으로 연장되는 제
4 전도성 피처
- [0149] 를 포함하는 것인, 구조물.
- [0150] [실시예 14]
- [0151] 실시예 9에 있어서,
- [0152] 상기 소스/드레인 콘택트 및 상기 게이트 콘택트는 각각 제1 전도성 물질을 포함하고, 상기 제1 전도성 피처 및
상기 제2 전도성 피처는 각각 제2 전도성 물질을 포함하고, 상기 제1 전도성 물질은 상기 제2 전도성 물질과 상
이한 것인, 구조물.
- [0153] [실시예 15]
- [0154] 실시예 14에 있어서,
- [0155] 상기 제1 전도성 물질은 상기 제2 전도성 물질보다 더 큰 일 함수를 가지는 것인, 구조물.
- [0156] [실시예 16]
- [0157] 방법에 있어서,
- [0158] 기관의 채널 영역 위에 게이트 스택을 형성하는 단계;
- [0159] 상기 채널 영역에 인접한 소스/드레인 영역을 성장시키는 단계;
- [0160] 상기 소스/드레인 영역 및 상기 게이트 스택 위에 제1 층간 유전체(ILD) 층을 성막하는 단계;
- [0161] 상기 소스/드레인 영역과 물리적으로 접촉하는 소스/드레인 콘택트를 상기 제1 ILD 층을 통하여 형성하는 단계;
- [0162] 상기 게이트 스택과 물리적으로 접촉하는 게이트 콘택트를 상기 제1 ILD 층을 통하여 형성하는 단계;
- [0163] 상기 소스/드레인 콘택트의 제1 측벽 및 상기 게이트 콘택트의 제2 측벽을 노출시키도록 상기 제1 ILD 층을 리
세싱하는 단계;
- [0164] 상기 소스/드레인 콘택트의 제1 측벽 및 제1 상부면과 물리적으로 접촉하는 제1 전도성 피처를 형성하는 단계;
및
- [0165] 상기 게이트 콘택트의 제2 측벽 및 제2 상부면과 물리적으로 접촉하는 제2 전도성 피처를 형성하는 단계
- [0166] 를 포함하는, 방법.
- [0167] [실시예 17]
- [0168] 실시예 16에 있어서,
- [0169] 상기 제1 ILD 층을 리세싱하는 단계는 상기 소스/드레인 콘택트의 노출된 표면적 및 상기 게이트 콘택트의 노출
된 표면적을 100 % 내지 700 % 범위의 양만큼 증가시키는 것인, 방법.
- [0170] [실시예 18]
- [0171] 실시예 16에 있어서,
- [0172] 상기 소스/드레인 영역 위에 제2 ILD 층을 성막하는 단계를 더 포함하고,
- [0173] 상기 제1 ILD 층은 상기 제2 ILD 층 상에 성막되고,
- [0174] 상기 소스/드레인 콘택트를 형성하는 단계는:
- [0175] 상기 제2 ILD 층에 하부 소스/드레인 콘택트를 형성하는 단계;

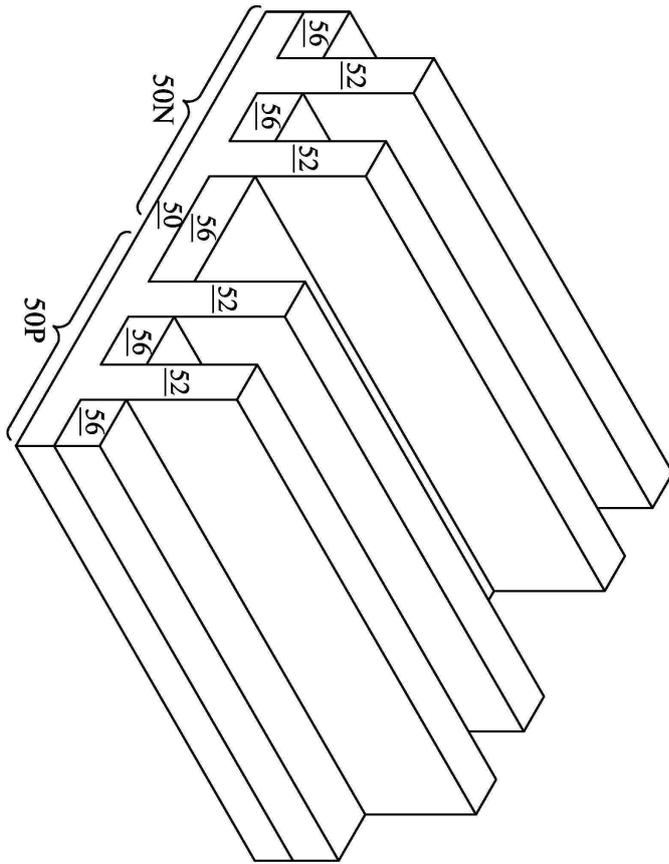
- [0176] 상기 제2 ILD 층을 리세싱하는 단계; 및
- [0177] 상기 제1 ILD 층에 상부 소스/드레인 콘택트를 형성하는 단계
- [0178] 를 포함하는 것인, 방법.
- [0179] [실시예 19]
- [0180] 실시예 16에 있어서,
- [0181] 상기 소스/드레인 영역 위에 제2 ILD 층을 성막하는 단계를 더 포함하고,
- [0182] 상기 제1 ILD 층은 상기 제2 ILD 층 상에 성막되고,
- [0183] 상기 소스/드레인 콘택트를 형성하는 단계는:
- [0184] 상기 제2 ILD 층에 하부 소스/드레인 콘택트를 형성하는 단계;
- [0185] 하부 소스/드레인 콘택트를 리세싱하는 단계; 및
- [0186] 상기 제1 ILD 층에 상부 소스/드레인 콘택트를 형성하는 단계
- [0187] 를 포함하는 것인, 방법.
- [0188] [실시예 20]
- [0189] 실시예 16에 있어서,
- [0190] 상기 소스/드레인 영역 위에 제2 ILD 층을 성막하는 단계를 더 포함하고,
- [0191] 상기 제1 ILD 층은 상기 제2 ILD 층 상에 성막되고,
- [0192] 상기 소스/드레인 콘택트를 형성하는 단계는:
- [0193] 상기 제1 ILD 층 및 상기 제2 ILD 층을 통하여 연속적인 전도성 피치를 형성하는 단계
- [0194] 를 포함하는 것인, 방법.

도면

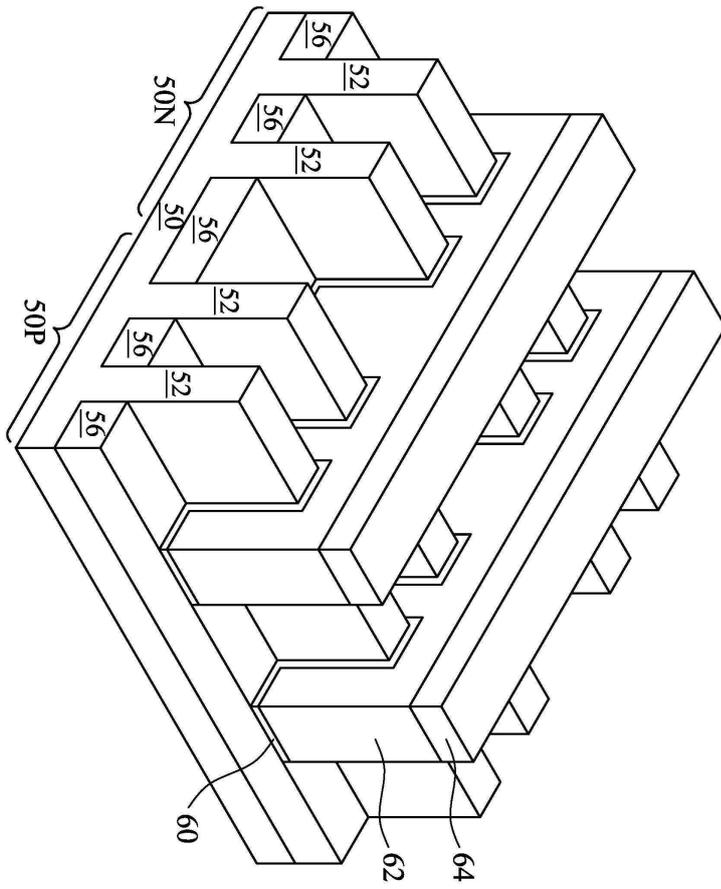
도면1



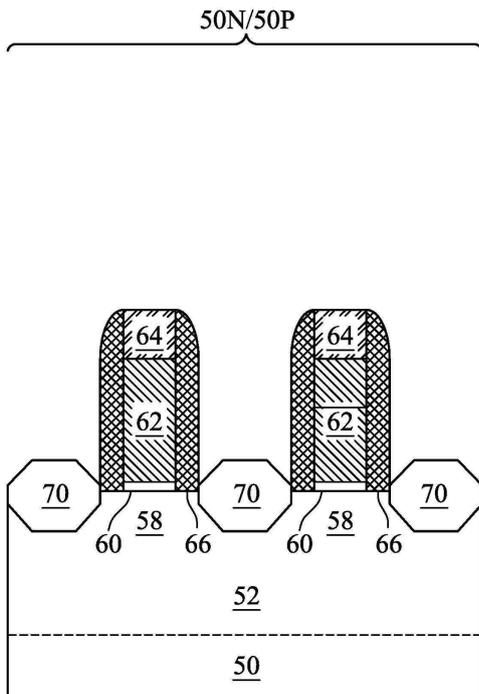
도면2



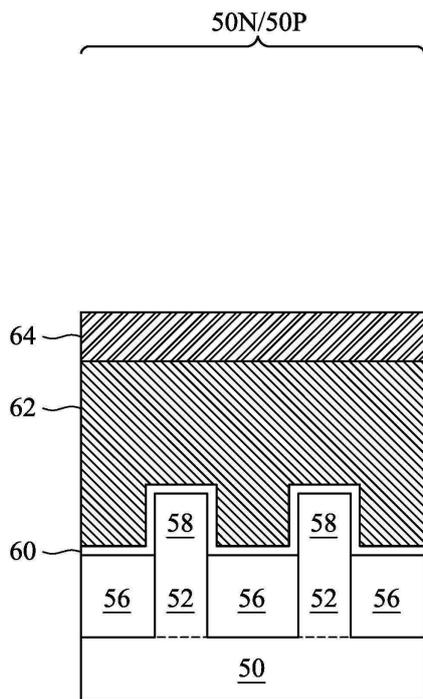
도면3



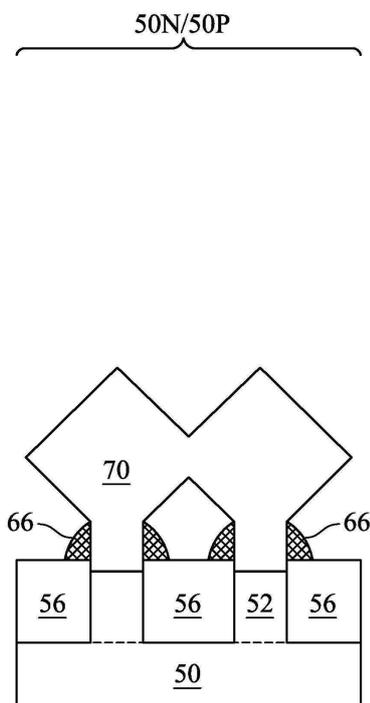
도면4a



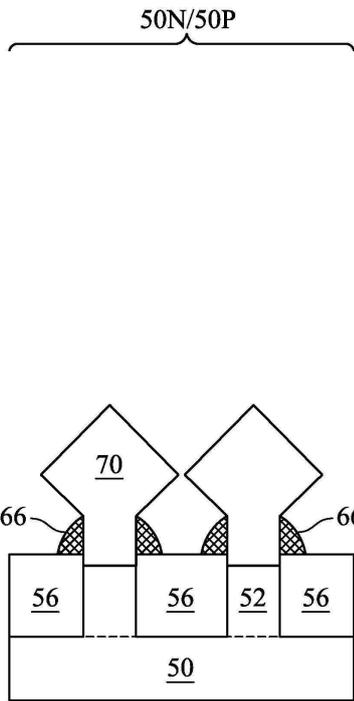
도면4b



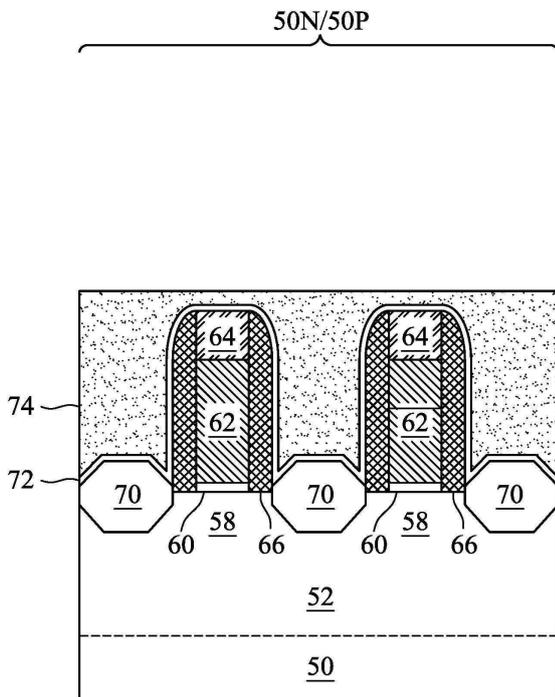
도면4c



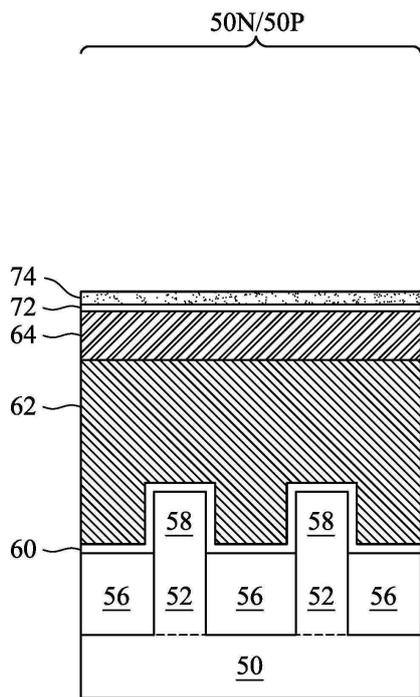
도면4d



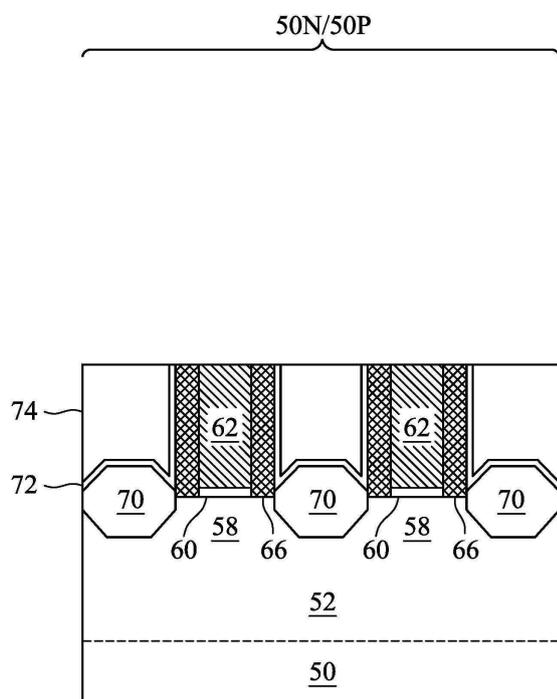
도면5a



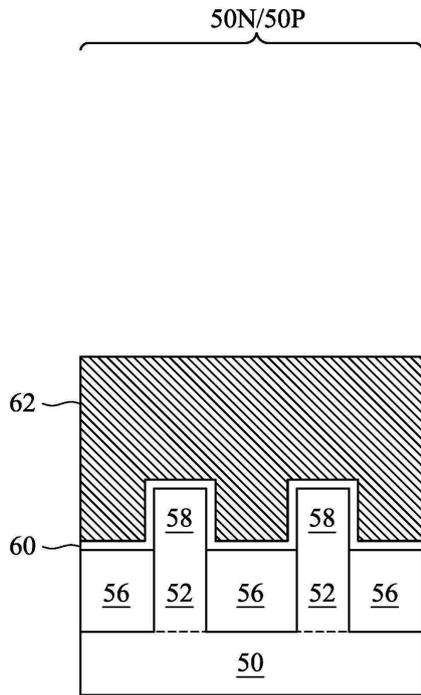
도면5b



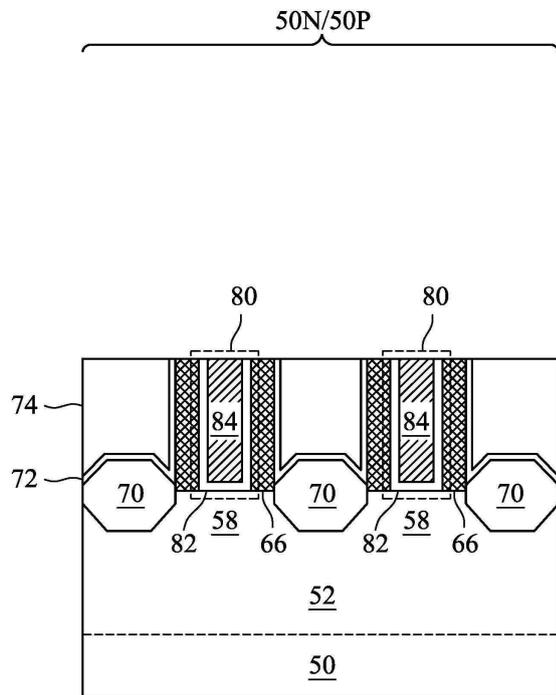
도면6a



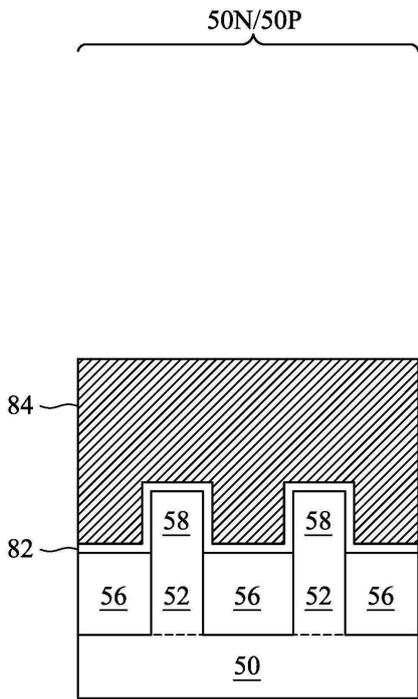
도면6b



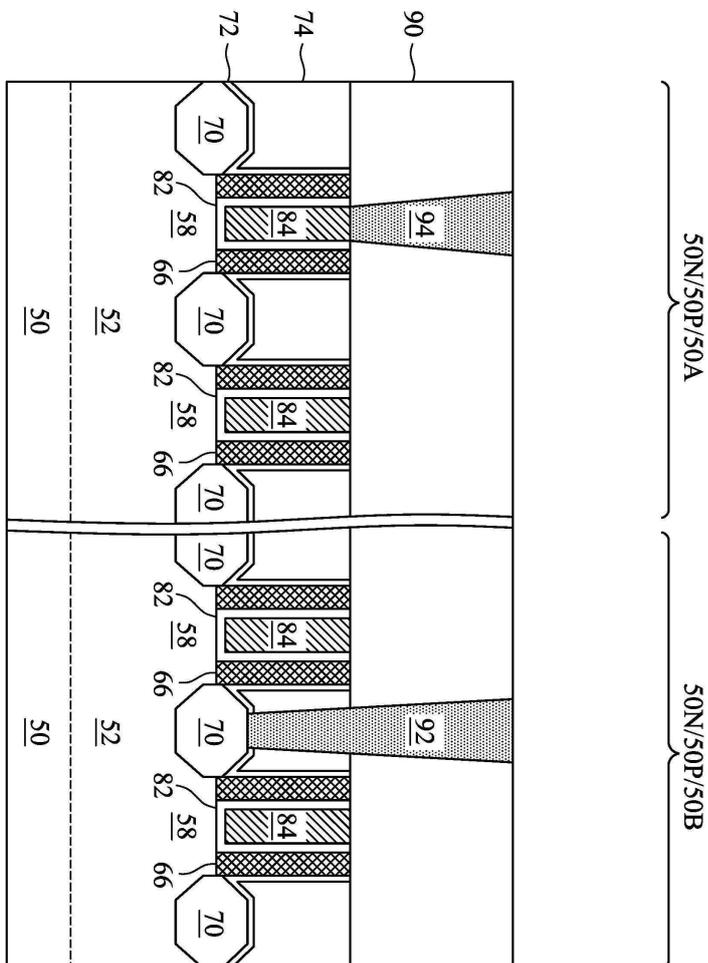
도면7a



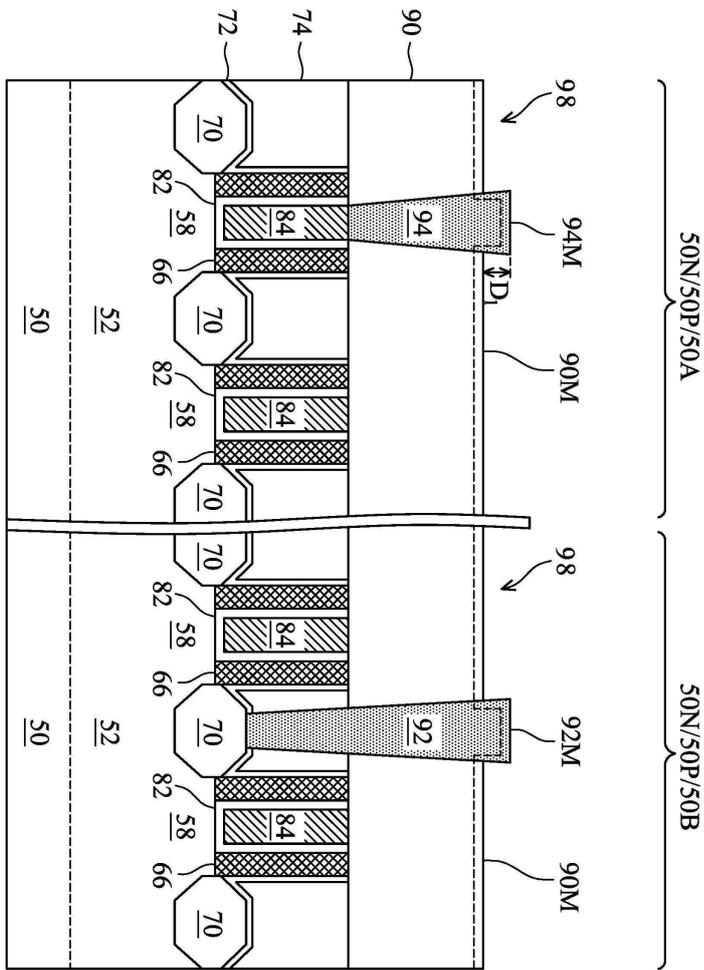
도면7b



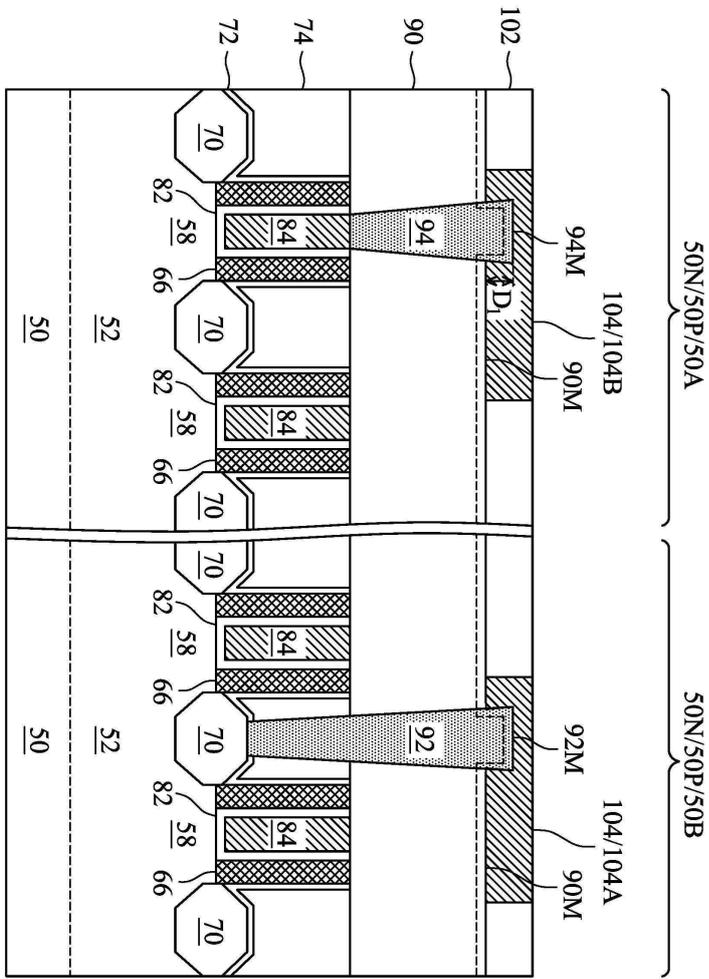
도면8



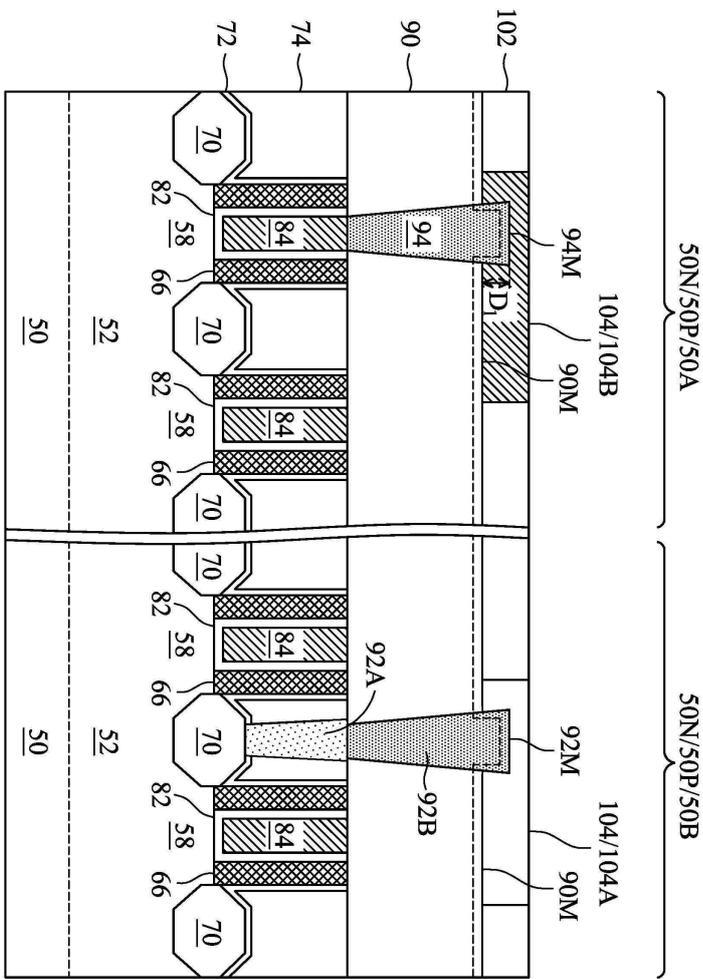
도면9



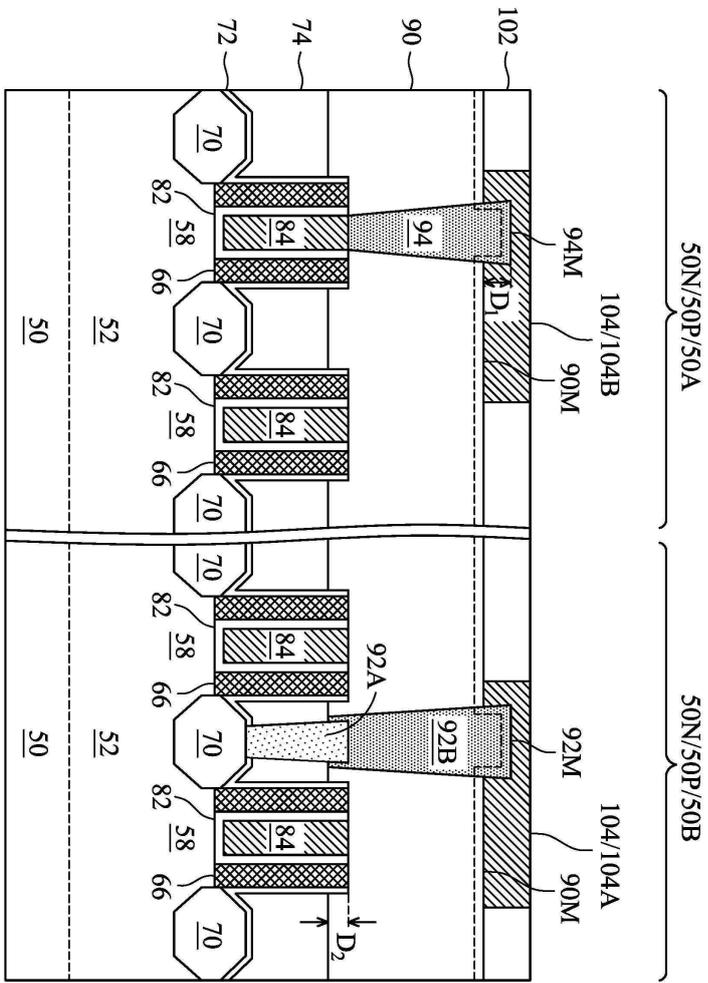
도면10



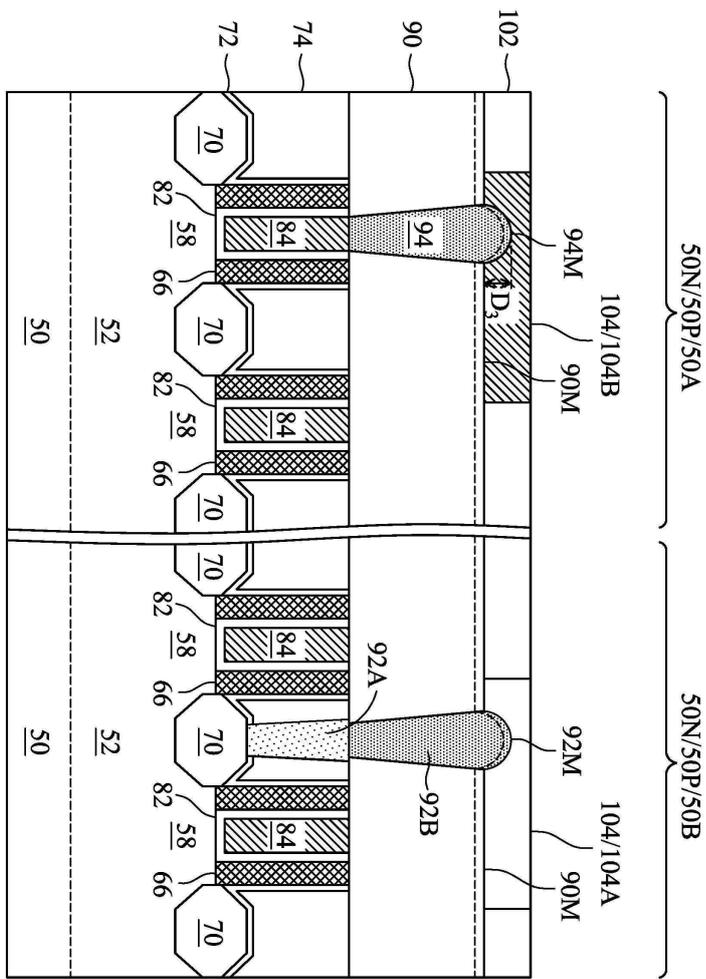
도면11



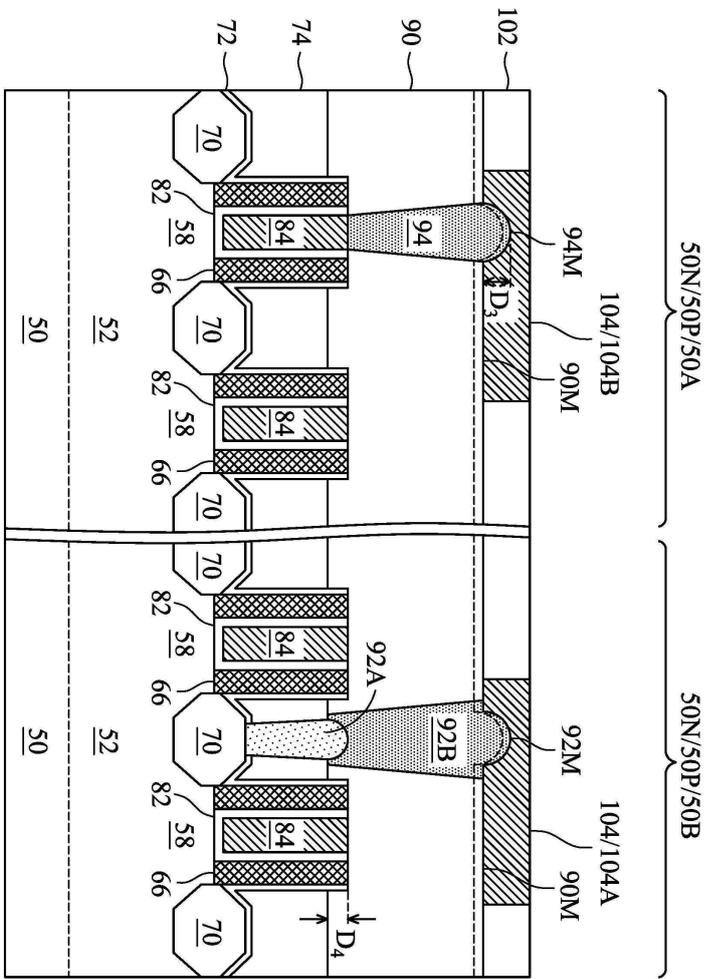
도면12



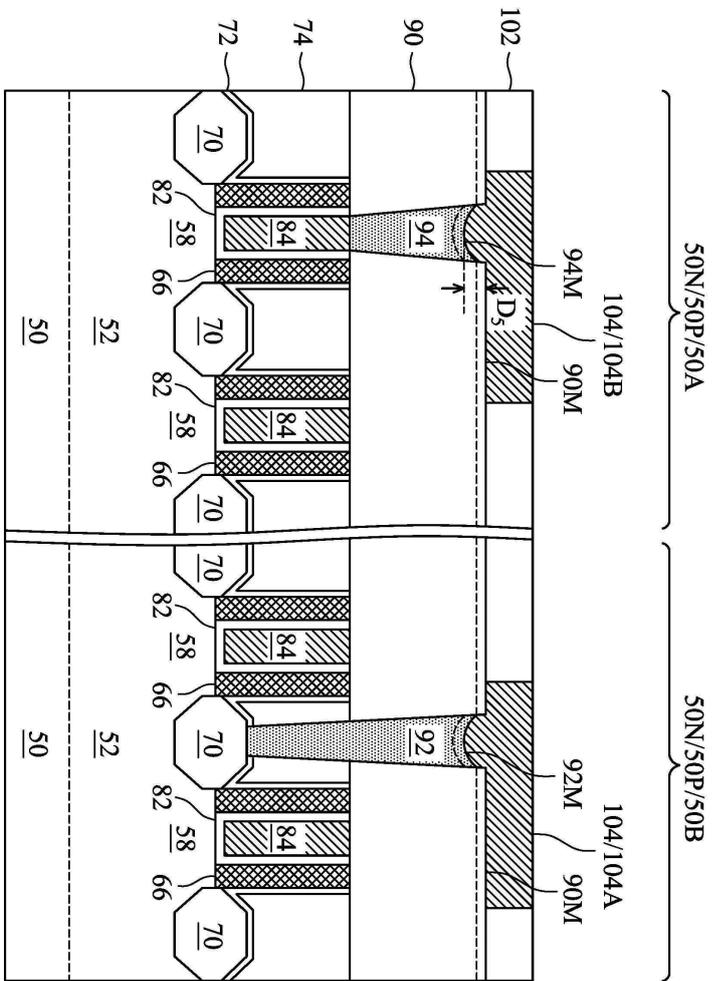
도면14



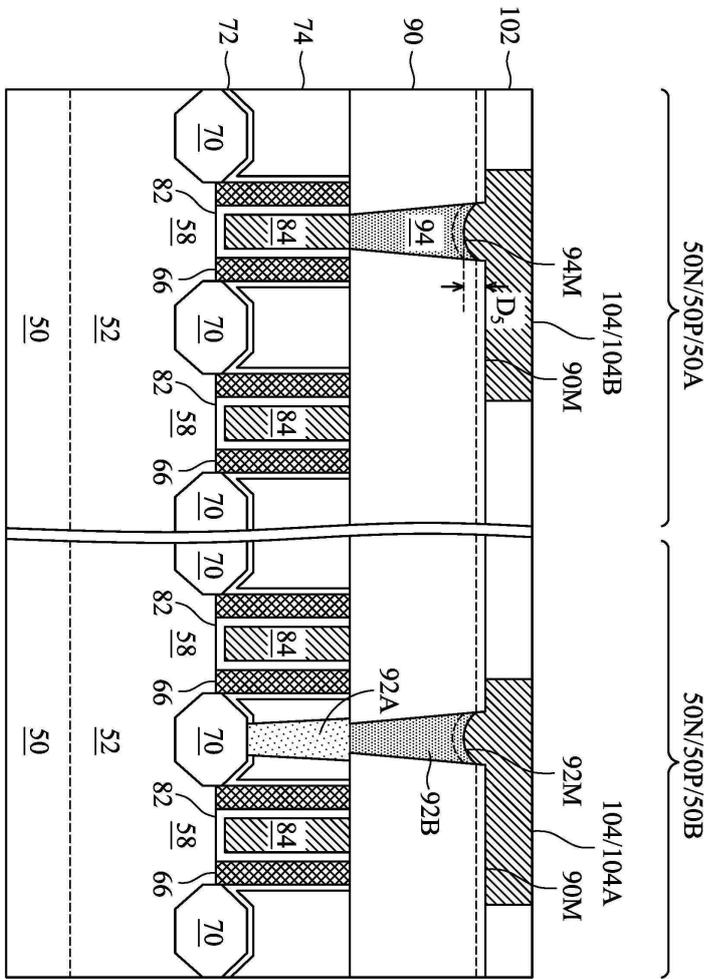
도면15



도면17



도면18



도면19

