

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G11C 7/10

(11) 공개번호 10-2005-0106918  
(43) 공개일자 2005년11월11일

(21) 출원번호 10-2004-0031988  
(22) 출원일자 2004년05월06일

(71) 출원인 주식회사 하이닉스반도체  
경기 이천시 부발읍 아미리 산136-1  
(72) 발명자 신범주  
경기도이천시고담동72-1고담기숙사101-1406  
(74) 대리인 특허법인 신성

심사청구 : 있음

(54) 멀티-포트 메모리 소자의 리드용 버스 연결회로

요약

본 발명은 반도체 메모리 설계 기술에 관한 것으로, 특히 멀티-포트 메모리 소자에 관한 것이며, 더 자세히는 멀티-포트 메모리 소자의 리드용 버스 연결회로에 관한 것이다. 본 발명은 전류 센싱 방식의 버스 송수신 구조에 적합한 멀티-포트 메모리 소자의 리드용 버스 연결회로를 제공하는데 그 목적이 있다. 본 발명의 일 측면에 따르면, 리드 데이터 스트로브신호에 응답하여 로컬 데이터 버스에 실린 리드 데이터를 감지하여 래치하기 위한 리드 데이터 감지/래치수단과, 리드 데이터 드라이빙펄스에 응답하여 상기 리드 데이터 감지/래치수단에 래치된 데이터를 글로벌 데이터 버스로 드라이빙하되, 상기 래치된 데이터의 논리레벨에 따라 글로벌 데이터 버스에 흐르는 전류의 경로를 연결 또는 차단하기 위한 리드 데이터 구동수단을 구비하는 멀티-포트 메모리 소자의 리드용 버스 연결회로가 제공된다.

대표도

도 7

색인어

멀티-포트 메모리, 글로벌 데이터 버스, 로컬 데이터 버스, 리드용 버스 연결회로, 전류 센싱 방식

명세서

도면의 간단한 설명

도 1은 대한민국 특허출원 제2003-92375호에 따른 256M 멀티-포트 DRAM의 아키텍처를 나타낸 도면.

도 2는 상기 도 1에 도시된 256M 멀티-포트 DRAM의 컬럼 구성 단위인 세그먼트와 트랜스퍼 버스(TB)의 관계를 설명하기 위한 도면.

도 3a는 상기 도 2에 도시된 256M 멀티-포트 DRAM의 노말 리드 경로를 나타낸 도면.

도 3b는 상기 도 2에 도시된 256M 멀티-포트 DRAM의 노말 라이트 경로를 나타낸 도면.

도 4a는 상기 도 2에 도시된 256M 멀티-포트 DRAM의 크로스 리드 경로를 나타낸 도면.

도 4b는 상기 도 2에 도시된 256M 멀티-포트 DRAM의 크로스 라이트 경로를 나타낸 도면.

도 5는 대한민국 특허출원 제2003-94697호에 따른 송신기 및 수신기의 회로 구성을 나타낸 도면.

도 6은 상기 도 5의 회로의 시뮬레이션 결과를 나타낸 도면.

도 7은 본 발명의 일 실시예에 따른 멀티-포트 DRAM의 리드용 버스 연결회로를 나타낸 도면.

도 8은 상기 도 7에 도시된 회로의 타이밍 다이어그램.

\* 도면의 주요 부분에 대한 부호의 설명

700 : 리드 데이터 감지/래치부

710 : 차동 입력 플립플롭

720 : 전달 인버터

730 : 반전 래치

750 : 리드 데이터 구동부

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 설계 기술에 관한 것으로, 특히 멀티-포트 메모리 소자에 관한 것이며, 더 자세히는 멀티-포트 메모리 소자의 리드용 버스 연결회로에 관한 것이다.

RAM을 비롯한 대부분의 메모리 소자는 하나의 포트 - 하나의 포트에 다수의 입/출력핀 세트가 존재함 - 를 구비한다. 즉, 칩셋과의 데이터 교환을 위한 하나의 포트만을 구비하고 있다. 그러나, 최근에는 칩셋과 메모리의 기능 구분이 모호해 지고 있으며, 칩셋과 메모리의 통합이 고려되고 있다. 이러한 추세에 비추어 주변의 그래픽 디바이스, CPU 등과 직접 데이터를 교환할 수 있는 멀티-포트 메모리 소자가 요구되고 있다. 그런데, 이와 같은 멀티-포트 메모리 소자를 구현하기 위해서는 다수의 포트 중 어느 포트에서도 모든 메모리 셀에 대한 액세스가 가능해야 한다.

이에 본 발명의 출원인은 멀티-포트 메모리 소자의 아키텍처를 제안한 바 있다(2003년 12월 17일자 출원된 대한민국 특허출원 제2003-92375호 참조).

도 1은 대한민국 특허출원 제2003-92375호에 따른 256M 멀티-포트 DRAM의 아키텍처를 나타낸 도면이다.

도 1을 참조하면, 제안된 256M 멀티-포트 DRAM은, 각각 다수의 메모리 셀과 로우 디코더(RDEC)를 포함하며, 코어 영역을 4분할하고 있는 각 사분면에 일정 갯수만큼 로우 방향(도면에서는 좌우 방향)으로 배치된 다수의 뱅크(bank0~bank15)와, 1, 3사분면과 2, 4사분면 사이에 코어 영역을 양분하도록 배치되어 인가된 커맨드, 어드레스 등을 이용하여 내부 커맨드 신호, 내부 어드레스 신호, 제어신호를 생성하여 메모리 소자를 이루는 각 구성 요소들의 동작을 중재하기 위한 중재부(100)와, 각 사분면의 가장자리에 배치되어 각각 다른 타겟 디바이스와 독립적인 통신을 수행하기 위한 다수의 포트(port0~port7)와, 각 사분면에 대응하는 뱅크와 포트 사이에 로우 방향으로 배치되어 병렬 데이터 전송을 수행하기 위한 제1 내지 제4 글로벌 데이터 버스(GIO\_UL, GIO\_UR, GIO\_DL, GIO\_DR)와, 로우 방향으로 인접한 두 글로벌

데이터 버스 사이에 배치되어 두 글로벌 데이터 버스를 선택적으로 연결하기 위한 제1 및 제2 글로벌 데이터 버스 연결부(PR\_U, PR\_D)와, 각 뱅크의 컬럼 방향(도면에서는 상하 방향)으로 배치되어 뱅크 내부의 데이터 전송을 수행하기 위한 다수의 트랜스퍼 버스(TB)와, 컬럼 방향으로 인접한 두 뱅크 사이에 배치되어 두 뱅크 각각의 트랜스퍼 버스(TB)를 선택적으로 연결하기 위한 다수의 트랜스퍼 버스 연결부(TG)와, 각 뱅크와 해당 뱅크가 속한 사분면의 글로벌 데이터 버스 사이에 배치되어 각 트랜스퍼 버스(TB)와 해당 글로벌 데이터 버스 사이의 데이터 교환을 수행하기 위한 다수의 버스 연결부(TL)와, 각 포트와 그 포트가 속한 사분면의 글로벌 데이터 버스 사이에 배치되어 해당 포트와 글로벌 데이터 버스 사이의 데이터 송수신을 수행하기 위한 다수의 데이터 전달부(TR)를 구비한다.

이하, 상기와 같은 256M 멀티-포트 DRAM의 세부 구성을 살펴본다.

16개의 뱅크(bank0~bank15) 각각은 16M(8k 로우×2k 컬럼)의 DRAM 셀과 로우 디코더(RDEC)를 포함하며, 각 뱅크 내부에는 통상의 DRAM 코어 영역에서 필수적인 비트라인 감지증폭기, 이퀄라이저 등의 코어 회로를 구비한다. 뱅크(bank0~bank15)는 코어 영역을 4분할하고 있는 각 사분면에 4개씩 로우 방향으로 배치된다. 구체적으로, 코어 영역의 1사분면(좌측위)에는 뱅크0, 뱅크2, 뱅크4, 뱅크6가, 2사분면(우측위)에는 뱅크8, 뱅크10, 뱅크12, 뱅크14가, 3사분면(좌측아래)에는 뱅크1, 뱅크3, 뱅크5, 뱅크7이, 4사분면(우측아래)에는 뱅크9, 뱅크11, 뱅크13, 뱅크15가 각각 배치된다. 한편, 로우 디코더(RDEC)는 각 뱅크의 일측에 인접 뱅크의 로우 디코더(RDEC)와 짝을 이루도록 배치하는 것이 바람직하다. 그리고, 하나의 페이지(컬럼)는 4개의 세그먼트(각 세그먼트는 512 개의 셀로 이루어짐)로 구분된다.

또한, 중재부(100)는 패킷 형태로 전송된 커맨드, 어드레스 등을 이용하여 내부 활성화 커맨드 신호(ACT), 내부 비활성화 커맨드 신호(PCG), 내부 리드 커맨드 신호(RD), 내부 라이트 커맨드 신호(WD) 등의 내부 커맨드 신호와, 활성화 어레이 어드레스(AAA), 비활성화 어레이 어드레스(PAA), 리드 어레이 어드레스(RAA), 라이트 어레이 어드레스(WAA), 로우 어드레스(RA), 리드 세그먼트 어드레스(RSA), 라이트 세그먼트 어드레스(WSA) 등의 내부 어드레스 신호와, 트랜스퍼 게이트 제어신호(TGC), 파이프 레지스터 플래그 신호(PFRG), 파이프 레지스터 데이터 구동신호(DP), DRAM 코어 테스트 모드 플래그 신호(DTM) 등의 제어신호를 생성하며, 메모리 소자를 이루는 각 구성 요소들의 동작을 중재하는 컨트롤 블록이다.

또한, 포트(port0~port7)는 각 사분면의 다이(die) 가장자리 부분(해당 사분면의 모든 뱅크가 공유하는 장측면 부분)에 각각 두개씩 배치된다. 구체적으로, 1사분면에는 port0, port2가, 2사분면에는 port4, port6이, 3사분면에는 port1, port3이, 4사분면에는 port5, port7이 각각 배치된다. 각 포트는 직렬 I/O 인터페이스를 지원하며, 각각 다른 타겟 디바이스(예컨대, 칩셋, 그래픽 칩 등)와 독립적인 통신을 수행한다. 한편, 포트(port0~port7)가 직렬 입/출력 인터페이스를 지원하도록 하는 경우, 각 포트(port0~port7)는 데이터, 어드레스, 커맨드 등에 대응하는 다수의 패드와, 패드에 전달된 송/수신 신호를 버퍼링하기 위한 패드 버퍼(리드 버퍼, 라이트 버퍼)와, 수신된 데이터를 디코딩하기 위한 디코더와, 송신할 데이터를 인코딩하기 위한 인코더와, 수신된 직렬 데이터를 병렬 데이터로 변환하고 송신할 병렬 데이터를 직렬 데이터로 변환하기 위한 데이터 변환기 등을 구비한다.

또한, 1사분면의 뱅크와 포트 사이에는 제1 글로벌 데이터 버스(GIO\_UL)가, 2사분면에는 제2 글로벌 데이터 버스(GIO\_UR)가, 3사분면에는 제3 글로벌 데이터 버스(GIO\_DL)가, 4사분면에는 제4 글로벌 데이터 버스(GIO\_DR)가 배치된다. 제1 내지 제4 글로벌 데이터 버스(GIO\_UL, GIO\_UR, GIO\_DL, GIO\_DR)는 각각 해당 사분면의 뱅크, 포트 및 글로벌 데이터 버스 연결부(PR\_U, PR\_D)와 접속되는 양방향 데이터 버스(512 비트)이다.

한편, 제1 글로벌 데이터 버스(GIO\_UL)와 제2 글로벌 데이터 버스(GIO\_UR)는 제1 글로벌 데이터 버스 연결부(PR\_U)를 통해 연결될 수 있으며, 제3 글로벌 데이터 버스(GIO\_DL)와 제4 글로벌 데이터 버스(GIO\_DR)는 제2 글로벌 데이터 버스 연결부(PR\_D)를 통해 연결될 수 있다. 제1 및 제2 글로벌 데이터 버스 연결부(PR\_U, PR\_D)는 글로벌 데이터 버스의 라인수(512 개)에 대응하는 양방향 파이프 레지스터를 구비한다.

또한, 트랜스퍼 버스(TB)는 각 뱅크의 비트라인 감지증폭기와 해당 뱅크에 대응하는 버스 연결부(TL)를 연결하는 로컬 데이터 버스이다. 트랜스퍼 버스(TB)의 라인수는 하나의 세그먼트에 해당하는 셀의 수(예컨대, 512 개)와 동일하며, 차동 버스로 구현된다.

또한, 트랜스퍼 버스 연결부(TG)는 트랜스퍼 버스(TB)의 라인수 만큼의 모스 트랜지스터로 구현할 수 있다. 트랜스퍼 버스(TB)가 차동 버스이므로, 하나의 트랜스퍼 버스 연결부(TG)는 총 512쌍의 모스 트랜지스터로 구현할 수 있다. 이러한 이유로 트랜스퍼 버스 연결부(TG)를 트랜스퍼 게이트로 칭하기로 한다.

또한, 버스 연결부(TL)는 512개의 트랜스퍼 래치가 1세트이고 총 16세트가 구비된다. 각 트랜스퍼 래치는 리드용 버스 연결회로(DRAM의 IO 감지증폭기에 해당함)와 라이트용 버스 연결회로(DRAM의 라이트 드라이버에 해당함)로 구성된다. 여기서, 리드용 버스 연결회로는 트랜스퍼 버스(TB)에 실린 리드 데이터를 감지하여 래치하기 위한 리드 감지증폭기 및 래치된 데이터를 해당 뱅크가 속한 사분면의 글로벌 데이터 버스로 드라이빙하기 위한 리드 드라이버를 구비한다. 또한, 라이트용 버스 연결회로는 글로벌 데이터 버스에 실린 라이트 데이터를 감지하여 래치하기 위한 라이트 래치와, 트랜스퍼 버스(TB)로 라이트 데이터를 드라이빙하기 위한 라이트 드라이버를 구비한다.

또한, 데이터 전달부(TR)는 그에 대응하는 포트에 인가된 라이트 데이터를 글로벌 데이터 버스로 전달하기 위한 512개의 송신기(Tx)와 글로벌 데이터 버스로부터 인가된 리드 데이터를 수신하여 해당 포트에 전달하기 위한 512개의 수신기(Rx)를 구비한다.

이외에도 도시되지는 않았으나, 제안된 256M 멀티-포트 DRAM은 다이의 각 모서리 부분에 배치되며, 외부 전압을 인가받아 내부 전압을 생성하기 위한 전압 생성기, 1사분면 및 2사분면에 대응하는 포트 사이 그리고 3사분면 및 4사분면에 대응하는 포트 사이에 배치된 테스트 로직, 다이의 가장자리에 배치된 클럭 패드를 비롯한 각종 패드 등을 더 구비한다.

또한, 각 사분면에는 중재부(100)로부터 뱅크에 이르는 커맨드 라인(ACT, PCG, RD, WD)과, 중재부(100)로부터 뱅크에 이르는 어드레스 라인(AAA<0:1>, PAA<0:1>, RAA<0:1>, WAA<0:1>, RA<0:12>, RSA<0:1>, WSA<0:1>)이 구비된다. 그리고, 중재부(100) 좌우측에는 각각 중재부(100)로부터 트랜스퍼 버스 연결부(TG)에 이르는 트랜스퍼 게이트 제어 라인(TGC<0:3>)이 구비된다.

도 2는 상기 도 1에 도시된 256M 멀티-포트 DRAM의 컬럼 구성 단위인 세그먼트와 트랜스퍼 버스(TB)의 관계를 설명하기 위한 도면이다.

도 2를 참조하면, 제안된 256M 멀티-포트 DRAM은 기존의 일반적인 DRAM과 같이 다수의 메모리 셀 어레이(200)와 비트라인 감지증폭기 어레이(210)를 구비한다. 하나의 메모리 셀 어레이(200)를 기준으로 보면, 한쌍의 트랜스퍼 버스(TB<0>, TBb<0>)는 메모리 셀 어레이(200) 상하부에 배치된 4개의 비트라인 감지증폭기(BLSA)와 연결된다(박스 A 참조). 이 4개의 비트라인 감지증폭기(BLSA)는 각각 다른 세그먼트 선택신호(SGS<0:3>) - 기존의 일반적인 DRAM의 컬럼 선택신호(Yi)에 대응하는 신호임 - 에 제어 받는다. 따라서, 2k 컬럼의 경우, 하나의 로우와 하나의 세그먼트가 선택되면 동시에 512개의 셀이 선택되어 그에 대응하는 512 비트의 트랜스퍼 버스(TB<0:511>)와 데이터 교환이 이루어지게 된다.

한편, 1사분면의 각 뱅크에 대응하는 트랜스퍼 버스(TB)는 동일 컬럼축 상에 배치된 3사분면의 각 뱅크에 대응하는 트랜스퍼 버스(TB)와 트랜스퍼 게이트(TG)를 통해 연결될 수 있다(512개의 TG가 1세트로 구성되며, 총 8세트임). 즉, 트랜스퍼 게이트(TG)는 동일 컬럼축 상에 배치된 두 뱅크(이를 어레이라 정의함)에 대응하는 트랜스퍼 버스(TB) 사이에 배치되어 두 트랜스퍼 버스(TB)를 선택적으로 연결한다. 트랜스퍼 게이트(TG)를 제어하기 위한 제어신호(TGC)는 중재부(100)에서 생성된다.

이하, 상기와 같이 구성된 256M 멀티-포트 DRAM의 동작을 살펴본다.

도 3a는 상기 도 2에 도시된 256M 멀티-포트 DRAM의 노말 리드 경로를 나타낸 도면이며, 도 3b는 노말 라이트 경로를 나타낸 도면이다.

우선, 포트 port0를 통해 뱅크 bank0에 있는 특정 세그먼트의 데이터(512 비트)를 리드하는 경우를 가정한다.

도 3a를 참조하면, 포트 port0을 통해 리드 동작과 관련된 커맨드, 어드레스 등이 패킷 형태로 인가되면, 중재부(100)는 먼저 뱅크 bank0에 대한 내부 활성화 커맨드 신호(ACT), 활성화 어레이 어드레스(AAA) 및 로우 어드레스(RA)를 생성하여 특정 로우(워드라인, WL)를 활성화시키고, 이어서 뱅크 bank0에 대한 내부 리드 커맨드 신호(RD), 리드 어레이 어드레스(RAA) 및 리드 세그먼트 어드레스(RSA)를 생성한다. 이에 따라, 비트라인 감지증폭기(BLSA)는 리드 세그먼트 어드레스(RSA)에 대응하는 세그먼트의 512 비트 데이터를 감지증폭하여 트랜스퍼 버스(TB, TBb)로 구동한다. 한편, 뱅크 bank0의 버스 연결부(TL)는 뱅크 bank0의 트랜스퍼 버스(TB, TBb)에 실린 리드 데이터를 감지하여 제1 글로벌 데이터 버스(GIO\_UL)로 데이터를 구동한다. 이어서, 제1 글로벌 데이터 버스(GIO\_UL)에 전달된 리드 데이터는 포트 port0에 대응하는 데이터 전달부(TR)의 수신기(Rx)를 거쳐 포트 port0 내의 리드 버퍼에 저장되고, 리드 버퍼에 저장된 데이터는 일정단위의 패킷으로 변환되어 직렬 데이터 형태로 포트 port0와 연결된 타겟 디바이스에 전송된다. 이후, 중재부(100)는 내부 비활성화 커맨드 신호(PCG), 비활성화 어레이 어드레스(PAA)를 생성하여 해당 어레이의 로우를 비활성화시킨다. 이

때, 해당 어레이의 트랜스퍼 버스 연결부(TG)는 스위치-오프 상태가 되어 뱅크 bank0의 트랜스퍼 버스(TB, TBb)와 동일 어레이 내의 뱅크 bank1의 트랜스퍼 버스(TB, TBb) 사이의 연결이 끊어지도록 한다. 미설명 도면 부호 'BL, BLb'는 비트 라인 쌍, 'T'는 셀 트랜지스터, 'C'는 셀 캐패시터를 각각 나타낸 것이다.

다음으로, 포트 port0를 통해 뱅크 bank0에 있는 특정 세그먼트에 데이터(512 비트)를 라이트하는 경우를 가정한다.

도 3b를 참조하면, 포트 port0을 통해 라이트 동작과 관련된 커맨드, 어드레스, 데이터 등이 패킷 형태로 인가되면, 중재부(100)는 먼저 뱅크 bank0에 대한 내부 활성화 커맨드 신호(ACT), 활성화 어레이 어드레스(AAA) 및 로우 어드레스(RA)를 생성하여 특정 로우(워드라인, WL)를 활성화시키고, 이어서 뱅크 bank0에 대한 내부 라이트 커맨드 신호(WT), 라이트 어레이 어드레스(WAA) 및 라이트 세그먼트 어드레스(WSA)를 생성한다. 이때, 중재부(100)의 스케줄링에 의해 포트 port0의 라이트 버퍼에 저장된 512 비트 데이터가 라이트 세그먼트 어드레스(WSA)에 대응하는 세그먼트(512 개의 메모리 셀)에 기록된다. 포트 port0에서 병렬 데이터로 변환된 데이터는 데이터 전달부(TR)의 송신기(Tx)를 거쳐 제1 글로벌 데이터 버스(GIO\_UL)에 로딩되고, 뱅크 bank0의 버스 연결부(TL)를 통해 다시 뱅크 bank0의 트랜스퍼 버스(TB, TBb)로 구동되며, 뱅크 bank0의 트랜스퍼 버스(TB, TBb)에 로딩된 데이터는 라이트 세그먼트 어드레스(WSA)에 대응하는 비트라인 감지증폭기(BLSA)를 통해 512개의 메모리 셀에 저장된다. 이후, 중재부(100)는 내부 비활성화 커맨드 신호(PCG), 비활성화 어레이 어드레스(PAA)를 생성하여 해당 어레이의 로우를 비활성화시킨다.

도 4a는 상기 도 2에 도시된 256M 멀티-포트 DRAM의 크로스 리드 경로를 나타낸 도면이며, 도 4b는 크로스 라이트 경로를 나타낸 도면이다.

우선, 포트 port1을 통해 뱅크 bank0에 있는 특정 세그먼트의 데이터(512 비트)를 리드하는 경우를 가정한다.

도 4a를 참조하면, 전반적인 동작은 전술한 노멀 리드시와 거의 유사하나, 해당 어레이의 트랜스퍼 버스 연결부(TG)가 스위치-온 상태가 되어 뱅크 bank0의 트랜스퍼 버스(TB, TBb)와 동일 어레이 내의 뱅크 bank1의 트랜스퍼 버스(TB, TBb)가 서로 연결되도록 하는 것이 다르다. 한편, 뱅크 bank1의 트랜스퍼 버스(TB, TBb)에 로딩된 데이터는 뱅크 bank1에 대응하는 버스 연결부(TL), 제3 글로벌 데이터 버스(GIO\_DL), 포트 port1에 대응하는 데이터 전달부(TR), 포트 port1을 거쳐 타겟 디바이스로 전달된다.

다음으로, 포트 port1을 통해 뱅크 bank0에 있는 특정 세그먼트에 데이터(512 비트)를 라이트하는 경우를 가정한다.

도 4b를 참조하면, 전반적인 동작은 전술한 노멀 라이트시와 거의 유사하나, 역시 해당 어레이의 트랜스퍼 버스 연결부(TG)가 스위치-온 상태가 되어 뱅크 bank0의 트랜스퍼 버스(TB, TBb)와 동일 어레이 내의 뱅크 bank1의 트랜스퍼 버스(TB, TBb)가 서로 연결되도록 하는 것이 다르다. 이 경우, 포트 port1에 인가된 데이터는 포트 port1에 대응하는 데이터 전달부(TR), 제3 글로벌 데이터 버스(GIO\_DL), 뱅크 bank1에 대응하는 버스 연결부(TL)를 거쳐 뱅크 bank0의 트랜스퍼 버스(TB, TBb)로 로딩되며, 이후의 과정은 전술한 노멀 라이트시와 동일하다.

한편, 제1 글로벌 데이터 버스(GIO\_UL)와 제2 글로벌 데이터 버스(GIO\_UR) 사이에 데이터 교환이 필요한 경우에는 제1 글로벌 데이터 버스 연결부(PR\_U)를 통해 두 글로벌 데이터 버스를 연결하고, 제3 글로벌 데이터 버스(GIO\_DL)와 제4 글로벌 데이터 버스(GIO\_DR) 사이에 데이터 교환이 필요한 경우에는 제2 글로벌 데이터 버스 연결부(PR\_D)를 통해 두 글로벌 데이터 버스를 연결하면 된다.

전술한 바와 같이 제안된 멀티-포트 DRAM은 모든 포트(port0~port7)에서 모든 세그먼트를 액세스할 수 있으며, 다수의 포트를 통해 독립적인 액세스가 가능하기 때문에 - 글로벌 데이터 버스가 중복 사용되지 않는 범위에서 - 동시에 멀티 액세스가 가능하다. 또한, 새로운 아키텍처의 적용을 통해 코어 영역의 각 사분면에서 512 비트의 데이터를 병렬로 처리할 수 있으며, 포트에서는 직렬로 데이터를 입/출력할 수 있다. 따라서, 레이아웃 면적 증가를 최소화하고, 패키징이 용이하며, 데이터 버스에서의 데이터 선로간 스큐 문제를 유발하지 않으면서 밴드폭을 크게 증가시킬 수 있다.

한편, 전술한 바와 같이 제안된 멀티-포트 DRAM은 512 비트에 이르는 광폭의 글로벌 데이터 버스를 구비하고 있다. 기존에 제안된 가장 밴드폭이 큰 DRAM(DDR2)의 글로벌 데이터 버스가 64개의 버스 라인을 갖고 있는 것에 비하면 버스 라인의 수가 매우 많음을 알 수 있다.

글로벌 데이터 버스의 라인수가 64개 이하인 경우에는 버스를 통해 전달되는 데이터가 코어 전압(Vcc) 레벨로 폴 스위칭하더라도 그 전류 소모량이 그다지 큰 문제가 되질 않았으나, 글로벌 데이터 버스의 라인수가 64개 보다 늘어나게 되면, 즉 128, 256, 512개 등으로 늘어나면 데이터 전송에 많은 전류가 소모되어 전력 문제를 야기하게 된다.

이러한 광폭의 글로벌 데이터 버스에서의 전력 문제를 해결하기 위하여 본 발명의 출원인은 기존의 전압 드라이빙 방식이 아닌 전류 센싱 방식을 사용하는 글로벌 데이터 버스 송/수신 구조를 제안한 바 있다(2003년 12월 22일자 출원된 대한민국 특허출원 제2003-94697호 참조).

도 5는 대한민국 특허출원 제2003-94697호에 따른 송신기 및 수신기의 회로 구성을 나타낸 도면이다.

도 5를 참조하면, 제안된 송신기(500)는 접지전압단(vss)과 글로벌 데이터 버스(GIO) 사이에 연결되며, 데이터 신호(cdio)를 게이트 입력으로 하는 풀다운 NMOS 트랜지스터(MN1)를 구비한다.

한편, 제안된 수신기는 글로벌 데이터 버스(GIO)에 흐르는 전류를 센싱하여 글로벌 데이터 버스(GIO)에 실린 데이터를 검출하기 위한 수신부(510)와, 수신부(510)에 수신된 데이터를 래치하기 위한 래치부(520)를 구비한다.

여기서, 수신부(510)는 글로벌 데이터 버스(GIO)에 흐르는 전류를 출력 노드(A)에 미러링하기 위한 전류미러부(512)와, 글로벌 데이터 버스(GIO)에 흐르는 전류량을 결정하기 위한 부하부(514)와, 데이터 캡처 신호(cp)에 응답하여 출력 노드(A)의 전류 패스를 제공하기 위한 스위칭부(516)를 구비한다.

또한, 래치부(520)는 데이터 캡처 신호(cp, cpb)에 응답하여 수신부(510)의 출력 노드(A)에 실린 신호를 반전시키기 위한 반전부(522)와, 반전부(522)의 출력신호를 반전 래치하기 위한 반전 래치부(524)를 구비한다.

한편, 수신부(510)의 전류 미러부(512)는 소오스가 전원전압단(vtl)에 접속되며 드레인과 게이트가 다이오드 접속된 PMOS 트랜지스터(MP1)와, 소오스가 전원전압단(vtl)에 접속되며 드레인이 출력 노드(A)에 접속된 PMOS 트랜지스터(MP2)를 구비한다.

그리고, 수신부(510)의 부하부(214)는 소오스가 PMOS 트랜지스터(MP1)의 드레인에 접속되고, 드레인이 글로벌 데이터 버스(GIO) 사이에 접속되며, 게이트로 기준전압(vrtb)을 인가 받는 NMOS 트랜지스터(MN2)와, 소오스가 PMOS 트랜지스터(MP2)의 드레인(출력 노드 A)에 접속되며, 게이트로 기준전압(vrtb)을 인가 받는 NMOS 트랜지스터(MN3)를 구비한다. 즉, 부하부(214)는 액티브 저항으로 구현할 수 있으며, 기준전압(vrtb)은 항상 일정한 레벨을 유지하는 정전압이며, 그 레벨은 버스의 길이, 동작주파수 등을 고려하여 최소한의 전류가 소모되도록 하는 범위에서 결정한다.

그리고, 수신부(510)의 스위칭부(516)는 소오스가 NMOS 트랜지스터(MN3)의 드레인에 접속되고, 드레인이 접지전압단(vss)에 접속되며, 게이트로 데이터 캡처 신호(cp)를 인가 받는 NMOS 트랜지스터(MN4)를 구비한다.

한편, 래치부(520)의 반전부(522)는 소오스가 내부전압단(vtl)에 접속되고, 데이터 캡처 신호의 반전신호(cpb)를 게이트 입력으로 하는 PMOS 트랜지스터(MP3)와, 소오스가 PMOS 트랜지스터(MP3)의 드레인에 접속되고, 드레인이 출력 노드(B)에 접속되며, 수신부(510)의 출력신호를 게이트 입력으로 하는 PMOS 트랜지스터(MP4)와, 소오스가 접지전압단(vss)에 접속되고, 데이터 캡처 신호(cp)를 게이트 입력으로 하는 NMOS 트랜지스터(MN5)와, 소오스가 NMOS 트랜지스터(MN5)의 드레인에 접속되고, 드레인이 출력 노드(B)에 접속되며, 수신부(510)의 출력신호를 게이트 입력으로 하는 NMOS 트랜지스터(MN4)를 구비한다.

그리고, 래치부(520)의 반전 래치부(524)는 2개의 인버터(INV1, INV2)로 구현할 수 있다.

도 6는 상기 도 5의 회로의 시뮬레이션 결과를 나타낸 도면이다.

데이터 캡처 신호(cp)는 라이트 커맨드 또는 리드 커맨드가 인가되었을 때, 일정 시간(예컨대, 1tCK) 동안 활성화되는 하이 액티브 펄스이다.

이하, 도 6을 참조하여 상기 도 5의 회로의 동작을 살펴본다.

우선, 데이터 신호(cdio)가 논리레벨 하이가 되면 송신기(500)의 NMOS 트랜지스터(MN1)가 턴온되어 글로벌 데이터 버스(GIO)에 전류가 흐르게 된다. 즉, 전원전압단(vtl), PMOS 트랜지스터(MP1), NMOS 트랜지스터(MN2), 글로벌 데이터 버스(GIO), NMOS 트랜지스터(MN1), 접지전압단(vss)에 이르는 전류 패스가 형성된다. 이에 따라서, 글로벌 데이터 버스

(GIO) 및 수신부(510)의 전류 미러부(512)의 PMOS 트랜지스터(MP1)의 드레인단의 전위가  $v_{tl}-V_{tp}$ (PMOS 트랜지스터의 문턱전압) 이하로 떨어지고, 전류 미러부(212)의 두 PMOS 트랜지스터(MP1, MP2)가 턴온되어 수신부(210)의 출력 노드(A)의 전위가 상승하게 된다.

이때, 데이터 캡처 신호(cp)가 논리레벨 하이로 활성화되어 NMOS 트랜지스터(MN4)가 턴온되면, PMOS 트랜지스터(MP2)와 NMOS 트랜지스터(MN4)의 출력 노드(A)에 대한 충/방전 경합이 이루어지나 PMOS 트랜지스터(MP2)의 사이즈를 크게 설계하면 출력 노드(A)의 전위가 논리레벨 로우로 급격히 방전되는 것을 방지할 수 있다.

한편, 데이터 캡처 신호(cp)가 논리레벨 하이로 활성화되면 래치부(520)의 반전부(522)의 NMOS 트랜지스터(MN5, MN6)가 턴온되며, 이때 수신부(510)의 출력신호는 논리레벨 하이 상태이므로, 반전부(522)의 출력 노드(B)는 논리레벨 로우가 된다. 또한, 반전 래치부(524)에서는 논리레벨 하이값을 출력하며, 데이터 캡처 신호(cp)가 다시 활성화될 때까지 그 값을 유지한다.

다음으로, 데이터 신호(cdio)가 논리레벨 로우가 되면 송신기(500)의 NMOS 트랜지스터(MN1)가 턴오프되어 글로벌 데이터 버스(GIO) 및 수신부(510)의 전류 미러부(512)의 PMOS 트랜지스터(MP1)의 드레인단의 전위가 상승하게 되고, 전류 미러부(512)의 두 PMOS 트랜지스터(MP1, MP2)가 턴오프된다.

이때, 데이터 캡처 신호(cp)가 논리레벨 하이로 활성화되어 NMOS 트랜지스터(MN4)가 턴온되며, 이에 따라 수신부(510)의 출력 노드(A)의 전위가 떨어지게 된다. 또한, 데이터 캡처 신호(cp) 논리레벨 하이로 활성화되면 래치부(520)의 반전부(522)의 PMOS 트랜지스터(MP3, MP4)가 턴온되어 수신부(510)의 출력신호를 반전시켜 반전부(522)의 출력 노드(B)를 논리레벨 하이로 만든다. 또한, 반전 래치부(524)에서는 논리레벨 로우값을 출력하며, 데이터 캡처 신호(cp)가 다시 활성화될 때까지 그 값을 유지한다.

전술한 수신기 회로에서 사용한 내부전압( $v_{tl}$ )은 코어전압( $v_{cc}$ , 2.5V)에 비해 다소 낮은 1.8V 정도의 레벨을 가진다. 따라서, 데이터 신호(cdio)가 논리레벨 하이인 경우, 글로벌 데이터 버스(GIO)의 전위는 0V보다 약간 높은 레벨이며, 데이터 신호(cdio)가 논리레벨 로우인 경우에는 MOS 트랜지스터의 문턱전압을 고려할 때 1V 미만의 레벨을 가질 것이다. 따라서, 본 발명을 적용하면 종래기술과 같이 글로벌 데이터 버스(GIO)가 코어 전압( $v_{cc}$ ) 레벨로 풀 스윙하지 않고, 스윙 폭이 매우 작기 때문에 글로벌 데이터 버스(GIO)의 충방전에 소모되는 전류를 최소화할 수 있다. 이처럼 전류 소모를 크게 줄임으로써 글로벌 데이터 버스(GIO)의 라인수를 128, 256, 512개 등으로 확장할 때 수반되는 전력 소모 문제를 해결할 수 있다.

한편, 송신기(500)에 풀다운 드라이버가 아닌 풀업 드라이버만을 사용하고, 수신부(510)의 회로를 변경하는 경우에도 전류 소모를 줄일 수 있으나, 풀업 드라이버를 사용하는 경우, 글로벌 데이터 버스(GIO)를 구동하기 위하여 풀다운 드라이버에 비해 2개 이상 큰 사이즈의 드라이버 트랜지스터를 필요로 하기 때문에 반도체 메모리 칩의 면적을 고려할 때 적합하지 않다.

한편, 상기 도 1에 도시된 256M 멀티-포트 DRAM은 글로벌 데이터 버스(GIO)와 송수신을 수행하는 구조를 2개 포함하고 있다. 즉, 각 뱅크와 해당 뱅크가 속한 사분면의 글로벌 데이터 버스 사이에 배치되어 각 트랜스퍼 버스(TB)와 해당 글로벌 데이터 버스 사이의 데이터 교환을 수행하기 위한 다수의 버스 연결부(TL)가 그 하나이며, 각 포트와 그 포트가 속한 사분면의 글로벌 데이터 버스 사이에 배치되어 해당 포트와 글로벌 데이터 버스 사이의 데이터 송수신을 수행하기 위한 다수의 데이터 전달부(TR)가 나머지 하나이다.

상기 도 5에 도시된 수신기 구조(510, 520)는 버스 연결부(트랜스퍼 래치, TL)와 데이터 전달부(TR)의 수신측에 모두 적용될 수 있으나, 도시된 송신기(500)를 그대로 버스 연결부(트랜스퍼 래치, TL)에 적용할 수는 없다.

따라서, 버스 연결부(트랜스퍼 래치, TL)의 구성 중 로컬 데이터 버스인 트랜스퍼 버스(TB)로부터 글로벌 데이터 버스(GIO)로 데이터를 전달하기 구성, 즉 상기와 같은 전류 센싱 방식의 송수신 구조에 적합한 새로운 리드용 버스 연결회로(일반적인 DRAM의 IO 감지증폭기에 해당함)를 개발할 필요성이 대두되었다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 전류 센싱 방식의 버스 송수신 구조에 적합한 멀티-포트 메모리 소자의 리드용 버스 연결회로를 제공하는데 그 목적이 있다.

## 발명의 구성 및 작용

상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 리드 데이터 스트로브신호에 응답하여 로컬 데이터 버스에 실린 리드 데이터를 감지하여 래치하기 위한 리드 데이터 감지/래치수단과, 리드 데이터 드라이빙펄스에 응답하여 상기 리드 데이터 감지/래치수단에 래치된 데이터를 글로벌 데이터 버스로 드라이빙하되, 상기 래치된 데이터의 논리레벨에 따라 글로벌 데이터 버스에 흐르는 전류의 경로를 연결 또는 차단하기 위한 리드 데이터 구동수단을 구비하는 멀티-포트 메모리 소자의 리드용 버스 연결회로가 제공된다.

바람직하게, 상기 리드 데이터 감지/래치수단은, 상기 리드 데이터 스트로브신호에 응답하여 로컬 데이터 버스에 실린 리드 데이터를 감지 및 래치하기 위한 차동 입력 플립플롭; 상기 차동 입력 플립플롭의 차동 출력신호를 입력으로 하는 전달 인버터; 및 상기 전달 인버터의 출력신호를 래치하기 위한 반전 래치를 구비한다.

바람직하게, 상기 리드 데이터 구동수단은, 접지전압단에 접속되며 상기 리드 데이터 드라이빙펄스를 게이트 입력으로 하는 제1 NMOS 트랜지스터와, 상기 NMOS 트랜지스터와 글로벌 데이터 버스 사이에 접속되며 상기 리드 데이터 감지/래치수단의 출력신호를 게이트 입력으로 하는 제2 NMOS 트랜지스터를 구비한다.

이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

도 7은 본 발명의 일 실시예에 따른 멀티-포트 DRAM의 리드용 버스 연결회로를 나타낸 도면이다.

도 7을 참조하면, 본 실시예에 따른 멀티-포트 DRAM의 리드용 버스 연결회로는, 리드 데이터 스트로브신호(iosastp)에 응답하여 트랜스퍼 버스(TB, TBb)에 실린 리드 데이터를 감지하여 래치하기 위한 리드 데이터 감지/래치부(700)와, 리드 데이터 드라이빙펄스(rdp)에 응답하여 리드 데이터 감지/래치부(700)에 래치된 데이터를 글로벌 데이터 버스로 드라이빙하되, 래치된 데이터의 논리레벨에 따라 글로벌 데이터 버스에 흐르는 전류의 경로를 연결 또는 차단하기 위한 리드 데이터 구동부(750)를 구비한다.

여기서, 리드 데이터 감지/래치부(700)는 리드 데이터 스트로브신호(iosastp)에 응답하여 트랜스퍼 버스(TB, TBb)에 실린 리드 데이터를 감지 및 래치하기 위한 차동 입력 플립플롭(710)과, 차동 입력 플립플롭(710)의 차동 출력신호를 입력으로 하는 전달 인버터(720)와, 전달 인버터(720)의 출력신호를 래치하기 위한 반전 래치(730)를 구비한다.

또한, 차동 입력 플립플롭(710)은 접지전압단(VSSTL)에 접속되며 리드 데이터 스트로브신호(iosastp)를 게이트 입력으로 하는 싱크 NMOS 트랜지스터(MN15)와, 싱크 NMOS 트랜지스터(MN15)의 일측에 접속되며 각각 트랜스퍼 버스에 실린 신호(TB, TBb)를 게이트 입력으로 하는 차동 입력 NMOS 트랜지스터(MN11, MN12)와, 정/부 출력단(X/Y)에 크로스커플되어 인버터 래치를 이루는 NMOS 트랜지스터(MN13, MN14) 및 PMOS 트랜지스터(MP11, MP12), 리드 데이터 스트로브신호(iosastp)의 비활성화 구간에서 정/부 출력단(X/Y)을 프리차지하기 위한 PMOS 트랜지스터(MN14, MN13)와, 정 출력단(X)으로 출력되는 신호를 반전시키기 위한 인버터(INV11)를 구비한다.

또한, 전달 인버터(720)는 내부전압단(vtl)과 그 출력단 사이에 접속되며 부출력단(Y)으로 출력되는 신호를 게이트 입력으로 하는 PMOS 트랜지스터(MP15)와, 접지전압단(VSSTL)과 그 출력단 사이에 접속되며 인버터(INV11)의 출력신호를 게이트 입력으로 하는 NMOS 트랜지스터를 구비한다.

그리고, 반전 래치(730)는 전달 인버터(720)의 출력단에 접속된 2개의 인버터(INV12, INV13)를 구비한다.

한편, 리드 데이터 구동부(750)는 접지전압단(VSSTL)에 접속되며 리드 데이터 드라이빙펄스(rdp)를 게이트 입력으로 하는 NMOS 트랜지스터(MN18)와, NMOS 트랜지스터(MN18)와 글로벌 데이터 버스(DQ) 사이에 접속되며 반전 래치(730)의 출력신호를 게이트 입력으로 하는 NMOS 트랜지스터(MN17)를 구비한다.

도 8은 상기 도 7에 도시된 회로의 타이밍 다이어그램으로서, 이하 이를 참조하여 본 실시예에 따른 멀티-포트 DRAM의 리드용 버스 연결회로의 동작을 살펴본다.

먼저, 리드 데이터 스트로브신호(iosastp)가 논리레벨 로우로 비활성화 된 상태에서는 정 출력단(X)과 부 출력단(Y)은 PMOS 트랜지스터(MN14, MN13)에 의해 논리레벨 하이로 프리차지 되기 때문에 반전 래치(730)에 래치된 값이 그대로 유지된다.

한편, 리드 데이터 스트로브신호(iosastp)가 논리레벨 하이로 활성화되면, 트랜스퍼 버스에 실린 신호(TB, TBb)의 레벨에 따라 정 출력단(X)과 부 출력단(Y)은 서로 반대의 논리값을 가지게 된다. 정출력 및 부출력은 전달 인버터(720)에서 반전된 후 반전 래치(730)에 저장되며, 이 값은 트랜스퍼 버스에 실린 신호(TB, TBb)가 천이하기 전까지는 그대로 유지된다.

만일, 반전 래치(730)에 저장된 값이 논리레벨 하이이면 NMOS 트랜지스터(MN17)가 턴온되며, 리드 커맨드 인가시점으로부터 일정시간 후에 리드 데이터 드라이빙펄스(rdp)가 논리레벨 하이로 활성화되면 NMOS 트랜지스터(MN18)까지 턴온되어 글로벌 데이터 버스(DQ)에 전류가 흐르게 된다.

한편, 반전 래치(730)에 저장된 값이 논리레벨 로우이면 NMOS 트랜지스터(MN17)가 턴오프 되기 때문에 리드 데이터 드라이빙펄스(rdp)가 논리레벨 하이로 활성화되더라도 글로벌 데이터 버스(DQ)에는 더 이상 전류가 흐르지 않게 된다. 이러한 동작의 원리는 상기 도 5 및 도 6에서 충분히 설명한 바 있다.

결국, 본 실시예에 따른 멀티-포트 DRAM의 리드용 버스 연결회로는 리드 데이터 스트로브신호(iosastp)의 라이징 에지에서 트랜스퍼 버스(TB, TBb)에 실린 데이터를 스트로빙하여 래치하고, 래치된 데이터는 리드 데이터 드라이빙펄스(rdp)가 활성화된 시점에 글로벌 데이터 버스(DQ)로 전송된다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

예컨대, 전술한 실시예에서는 DRAM 셀을 사용하는 경우를 일례로 들어 설명하였으나, 본 발명은 SRAM을 비롯한 다른 RAM 셀을 사용하는 경우에도 적용된다.

또한, 전술한 실시예에서는 512 비트의 단위 세그먼트를 사용하는 경우를 일례로 들어 설명하였으나, 본 발명은 단위 세그먼트의 비트수를 변경하는 경우에도 적용된다.

또한, 전술한 실시예에서 사용된 포트의 수, 뱅크의 수 등도 메모리 소자의 용량에 따라 변경될 수 있다.

또한, 전술한 실시예에서는 싱크 NMOS 트랜지스터를 사용하는 NMOS 타입의 차동 입력 플립플롭을 사용하는 경우를 일례로 들어 설명하였으나, 소스 PMOS 트랜지스터를 사용하는 PMOS 타입의 차동 입력 플립플롭을 사용하는 경우에도 본 발명은 적용된다.

### 발명의 효과

전술한 본 발명은 전류 센싱 방식의 버스 송수신 구조에 적합한 멀티-포트 메모리 소자의 리드용 버스 연결회로를 제공하며, 이에 따라 광폭의 글로벌 데이터를 사용하는 멀티-포트 메모리 소자의 전류 소모를 크게 줄일 수 있다.

### (57) 청구의 범위

#### 청구항 1.

리드 데이터 스트로브신호에 응답하여 로컬 데이터 버스에 실린 리드 데이터를 감지하여 래치하기 위한 리드 데이터 감지/래치수단과,

리드 데이터 드라이빙펄스에 응답하여 상기 리드 데이터 감지/래치수단에 래치된 데이터를 글로벌 데이터 버스로 드라이빙하되, 상기 래치된 데이터의 논리레벨에 따라 글로벌 데이터 버스에 흐르는 전류의 경로를 연결 또는 차단하기 위한 리드 데이터 구동수단

을 구비하는 멀티-포트 메모리 소자의 리드용 버스 연결회로.

## 청구항 2.

제1항에 있어서,

상기 리드 데이터 감지/래치수단은,

상기 리드 데이터 스트로브신호에 응답하여 로컬 데이터 버스에 실린 리드 데이터를 감지 및 래치하기 위한 차동 입력 플립플롭;

상기 차동 입력 플립플롭의 차동 출력신호를 입력으로 하는 전달 인버터; 및

상기 전달 인버터의 출력신호를 래치하기 위한 반전 래치를 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자의 리드용 버스 연결회로.

## 청구항 3.

제1항 또는 제2항에 있어서,

상기 리드 데이터 구동수단은,

접지전압단에 접속되며 상기 리드 데이터 드라이빙펄스를 게이트 입력으로 하는 제1 NMOS 트랜지스터와,

상기 NMOS 트랜지스터와 글로벌 데이터 버스 사이에 접속되며 상기 리드 데이터 감지/래치수단의 출력신호를 게이트 입력으로 하는 제2 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자의 리드용 버스 연결회로.

## 청구항 4.

제2항에 있어서,

상기 차동 입력 플립플롭은,

접지전압단에 접속되며 상기 리드 데이터 스트로브신호를 게이트 입력으로 하는 제1 MOS 트랜지스터;

상기 제1 MOS 트랜지스터의 일측에 접속되며 각각 트랜스퍼 버스에 실린 신호를 게이트 입력으로 하는 제2 및 제3 MOS 트랜지스터; 및

정 출력단 및 출력단에 크로스 커플되어 인버터 래치를 이루는 제4 내지 제7 MOS 트랜지스터를 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자의 리드용 버스 연결회로.

## 청구항 5.

제4항에 있어서,

상기 차동 입력 플립플롭은 상기 리드 데이터 스트로브신호의 비활성화 구간에서 상기 정 출력단 및 부 출력단을 프리차지하기 위한 제8 및 제9 MOS 트랜지스터를 더 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자의 리드용 버스 연결회로.

## 청구항 6.

제4항에 있어서,

상기 차동 입력 플립플롭은 상기 정 출력단으로 출력되는 신호를 반전시키기 위한 제1 인버터를 더 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자의 리드용 버스 연결회로.

## 청구항 7.

제6항에 있어서,

상기 전달 인버터는,

내부전압단과 자신의 출력단 사이에 접속되며 상기 부 출력단으로 출력되는 신호를 게이트 입력으로 하는 PMOS 트랜지스터와,

상기 접지전압단과 그 출력단 사이에 접속되며 상기 제1 인버터의 출력신호를 게이트 입력으로 하는 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자의 리드용 버스 연결회로.

## 청구항 8.

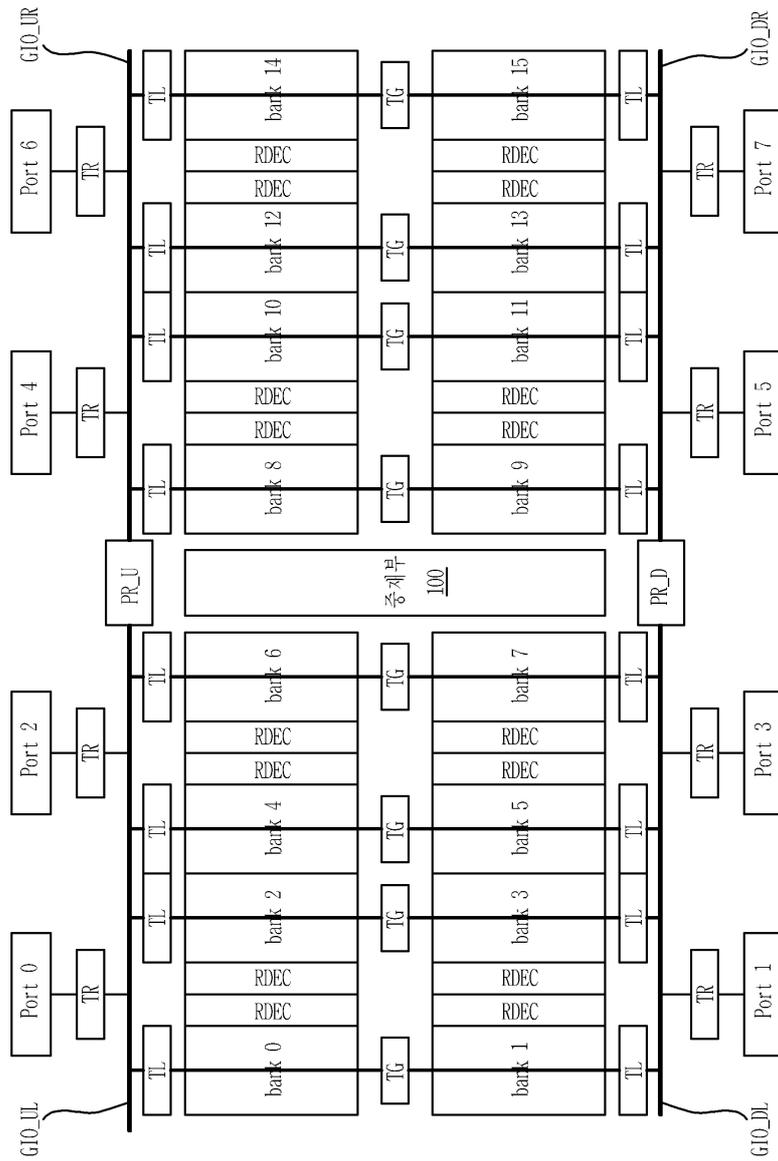
제7항에 있어서,

상기 반전 래치는,

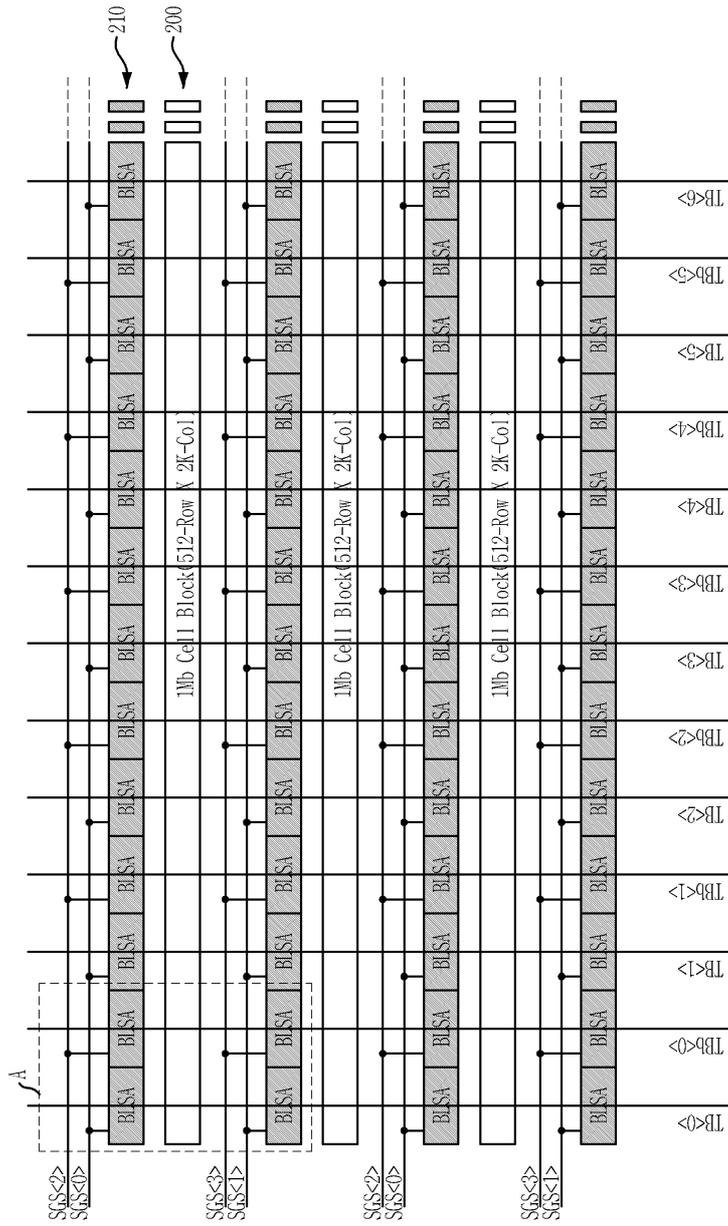
상기 전달 인버터의 출력단에 접속된 2개의 인버터로 구현하는 것을 특징으로 하는 멀티-포트 메모리 소자의 리드용 버스 연결회로.

도면

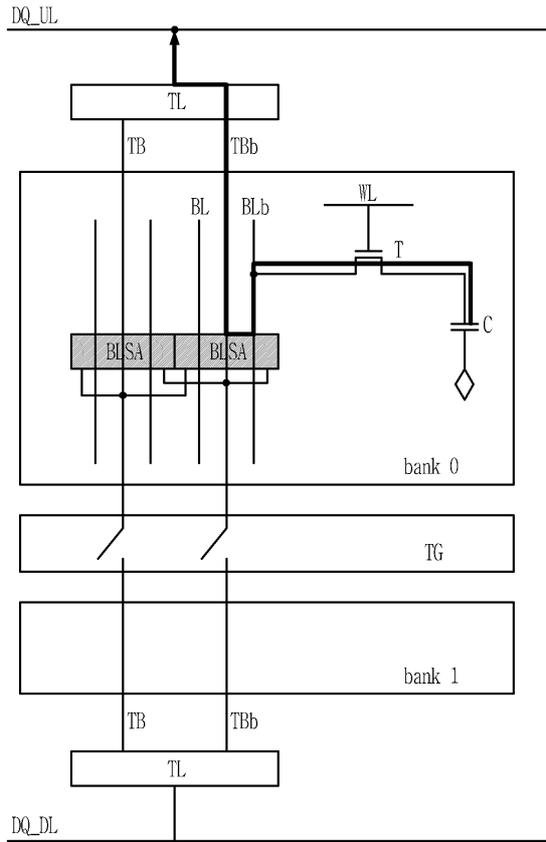
도면1



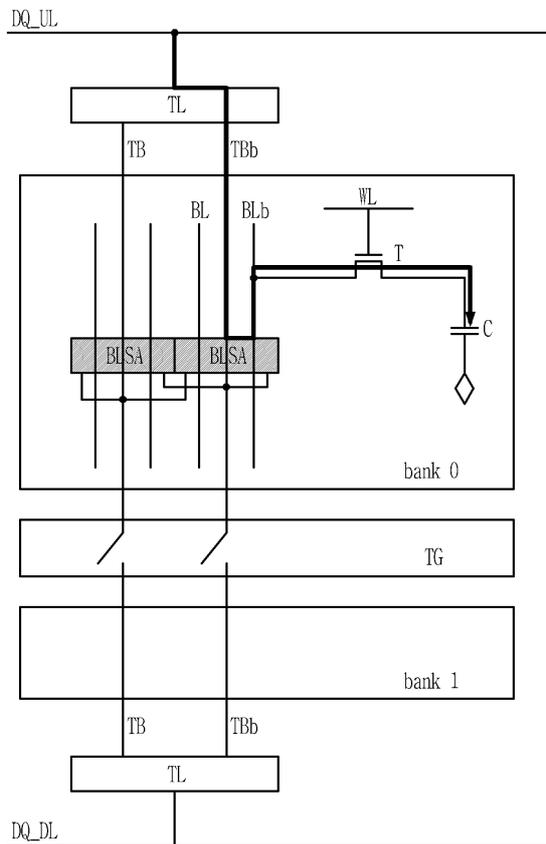
도면2



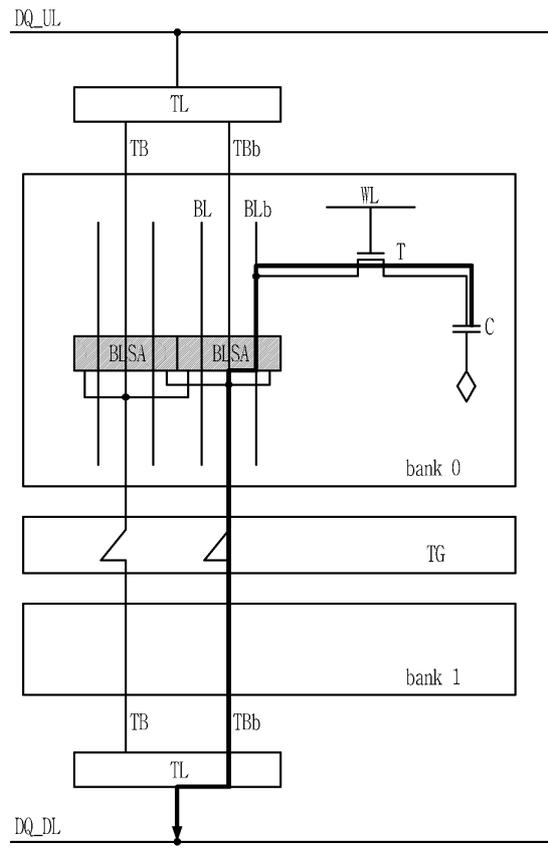
도면3a



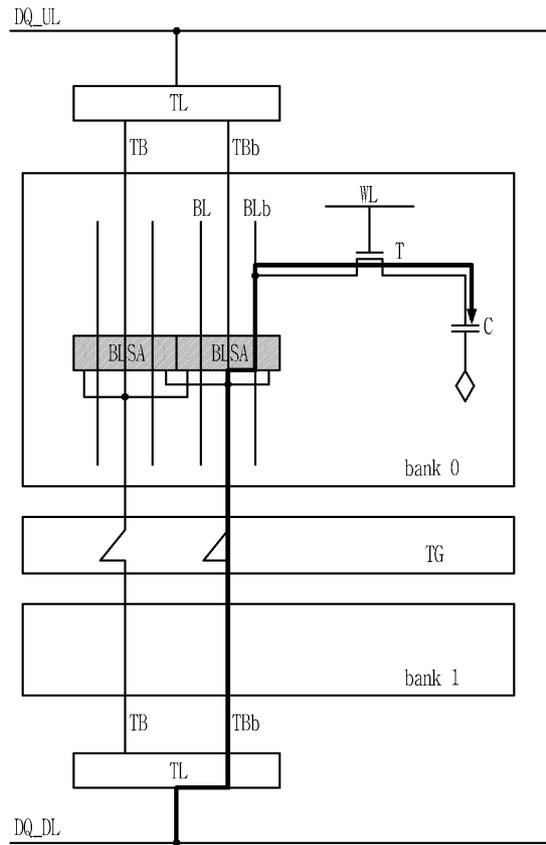
도면3b



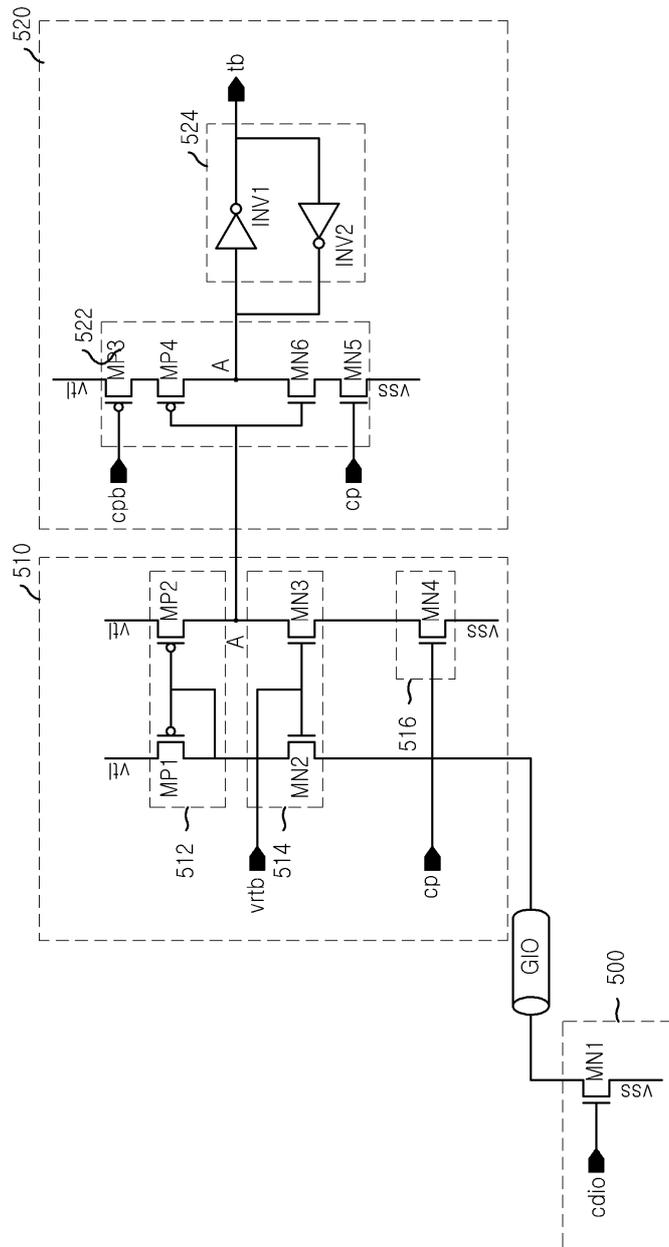
도면4a



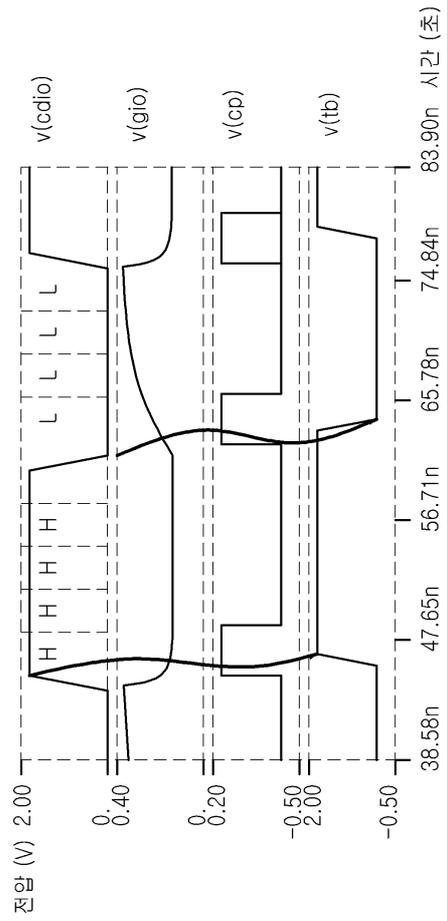
도면4b



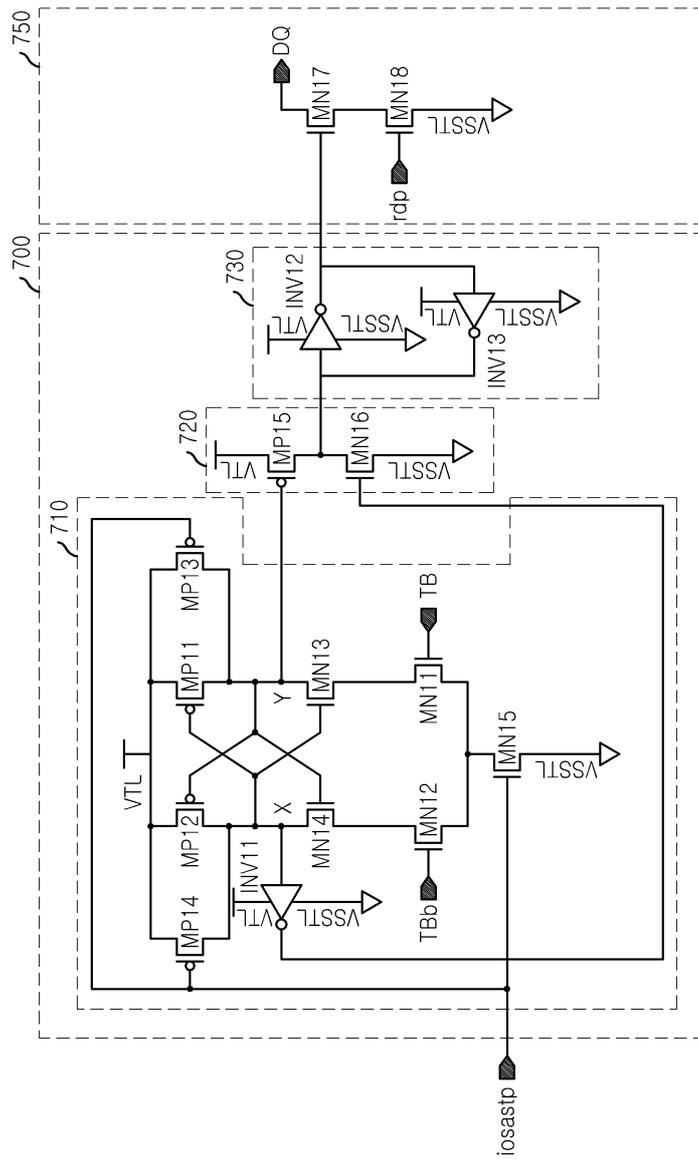
도면5



도면6



도면7



도면8

