



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0011933
(43) 공개일자 2009년02월02일

(51) Int. Cl.⁹

H01L 21/308 (2006.01) H01L 21/027 (2006.01)

(21) 출원번호 10-2007-0075996

(22) 출원일자 2007년07월27일

심사청구일자 없음

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

민성규

서울 성동구 행당동 128-461

이종민

경기 수원시 팔달구 영통동 동아아파트 717 동 1004호

(뒷면에 계속)

(74) 대리인

강성배

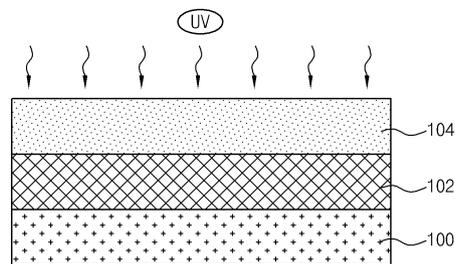
전체 청구항 수 : 총 7 항

(54) 반도체 소자의 제조방법

(57) 요약

본 발명에 따른 반도체 소자의 제조방법은, 식각대상층을 갖는 반도체 기판 상에 수소와 탄소로 이루어진 비정질 카본막을 형성하는 단계와, 상기 비정질 카본막에 대해 자외선 처리를 수행하는 단계와, 상기 탈 수소화 공정이 수행된 비정질 카본막을 하드마스크로 이용하여 상기 식각대상층을 식각하는 단계를 포함한다.

대표도 - 도1b



(72) 발명자

김찬배

경기도 이천시 부발읍 아미1리 현대사원임대아파트
107동 303호

정채오

경기 이천시 대월면 사동리 현대I-PART아파트 104
동504호

안현주

경기 수원시 영통구 영통동 황골주공2단지 105동
704호

이효석

경기 성남시 분당구 정자2동 한솔마을 청구아파트
105동 702호

특허청구의 범위

청구항 1

식각대상층을 갖는 반도체 기판 상에 수소와 탄소가 이루어진 비정질 카본막을 형성하는 단계;
상기 비정질 카본막에 대해 자외선 처리를 수행하는 단계; 및
상기 탈 수소화 공정이 수행된 비정질 카본막을 하드마스크로 이용하여 상기 식각대상층을 식각하는 단계;
를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2

제 1 항에 있어서,
상기 비정질 카본막은 플라즈마 CVD(Chemical Vapor Deposition)의 방법으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3

제 1 항에 있어서,
상기 자외선 처리는 180~280nm 영역의 단일파장을 이용하여 수행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4

제 1 항에 있어서,
상기 자외선 처리는 180~280nm 영역의 멀티파장을 이용하여 수행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5

제 1 항에 있어서,
상기 자외선 처리는 25~650℃의 온도 범위에서 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6

제 1 항에 있어서,
상기 자외선 처리는 1~30분 동안 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7

제 1 항에 있어서,
상기 자외선 처리는 N₂ 또는 O₂ 분위기에서 수행하는 것을 특징으로 하는 반도체 소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <6> 본 발명은 반도체 소자의 제조방법에 관한 것으로, 보다 자세하게는, 비정질 카본막을 하드마스크로 적용시, 상기 비정질 카본막의 에치 선택비 특성을 향상시킬 수 있는 반도체 소자의 제조방법에 관한 것이다.
- <7> 반도체 소자의 고집적화에 따라 제조 공정에서 요구되는 패턴의 임계 치구(Critical Dimension) 및 분리 폭이

미세화되고 있다. 일반적으로 미세 패턴 형상은 리소그래피(Lithography)에 의하여 포토레지스트(Photo Resist : PR) 패턴을 형성하고, 이를 식각 마스크로 이용하여 바탕의 각종 박막을 식각하는 방법에 의하고 있다.

- <8> 상기와 같은 이유로 미세 패턴의 형성에 있어서 리소그래피 기술이 중요해진다. 종래의 리소그래피는 감광성 레지스트에 KrF나 ArF를 이용하여 레티클의 패턴을 노광하고, 현상 속도차를 이용하여 감광성 레지스트 패턴을 얻게 된다. 그리고, 감광성 레지스트와 하부 식각대상층의 식각 선택비를 이용하여 원하는 패턴을 식각대상층에 전사한다.
- <9> 그런데, 반도체 소자가 고집적화됨에 따라 단차가 높아지고, ArF를 노광에 사용하면서 감광성 레지스트를 사용한 패턴 형성 방법에 한계를 보이고 있다. 한계의 원인은 짧은 파장에 기인한 광학적인 원인과 화학증폭형 레지스트의 사용에 의한 화학적인 원인으로 구분할 수 있다.
- <10> 이러한 한계를 해결하기 위해서, 식각대상층 상에 위해 비정질 카본(Amorphous-Carbon) 또는 폴리머계열의 유기물과 같은 물질층 형성하고 이를 식각 마스크로 이용하여 미세 패턴을 형성하는 방법이 사용되고 있다. 이렇게 감광성 레지스트 이외에 하드한 물질막을 식각 마스크로 사용하는 것을 하드 마스크라고 한다.
- <11> 상기와 같은 하드마스크는 그 공정 수행에 있어서, 상부에 SiON과 같은 물질로 이루어진 바텀 반사방지막(Bottom Anti Reflective Coating layer)이 추가로 사용된다.
- <12> 이하에서는, 종래기술에 따른 하드마스크를 이용한 반도체소자의 식각방법을 간략하게 설명하도록 한다.
- <13> 먼저, 반도체기판 상부에 형성된 식각하고자 하는 재료, 즉 식각대상층 상부에 비정질카본 또는 폴리머계열의 유기물 하드마스크를 도포한다. 이어서, 유기물 하드마스크 상에 SiON와 같은 물질로 이루어진 바텀 반사방지막을 차례로 형성한 후 포토 마스크 작업을 진행한다.
- <14> 이어서, 상기 바텀 반사방지막 상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 감광막패턴을 형성하고, 상기 감광막패턴을 식각마스크로 하여 상기 SiON을 식각한다.
- <15> 그런다음, 상기 감광막패턴을 제거한다. 이때, 감광막의 스트립시 바텀반사방지막도 동시에 제거된다. 이어서, 상기 SiON막을 식각마스크로 하여 유기물 하드마스크를 식각한 후, 상기 식각된 유기물 하드마스크를 다시 식각마스크로 하여 식각대상층을 식각한다.
- <16> 한편, 반도체 소자의 집적도가 증가됨에 따라 식각하고자 하는 패턴의 종횡비(Aspect Ratio)가 증가하게 되고, 이에 패턴 크기의 축소가 수반되고 있는 실정에서 축소된 패턴의 쓰러짐 현상을 방지하기 위해서는 하드마스크 두께를 최소화시켜야 한다.
- <17> 그러나, 현재의 하드마스크로 적용중인 비정질 탄소막의 경우에는 에치 선택비에 대한 특성이 우수하지 않기 때문에 하드마스크 두께를 낮추는데 그 한계가 있다.
- <18> 따라서, 상기와 같은 문제를 해결하기 위해서는 에치 선택비의 특성이 우수한 비정질 탄소막이 절실히 요구되고 있는 실정이다.

발명이 이루고자 하는 기술적 과제

- <19> 본 발명은 하드마스크로 비정질 카본막 적용시 에치 선택비의 특성을 향상시킬 수 있는 반도체 소자의 제조방법을 제공한다.
- <20> 또한, 본 발명은 상기와 같이 하드마스크로 비정질 카본막 적용시 에치 선택비의 특성을 향상시켜 패턴의 쓰러짐을 방지할 수 있는 반도체 소자의 제조방법을 제공한다.

발명의 구성 및 작용

- <21> 본 발명에 따른 반도체 소자의 제조방법은, 식각대상층을 갖는 반도체 기판 상에 수소와 탄소를 이루어진 비정질 카본막을 형성하는 단계; 상기 비정질 카본막에 대해 자외선 처리를 수행하는 단계; 및 상기 탈 수소화 공정이 수행된 비정질 카본막을 하드마스크로 이용하여 상기 식각대상층을 식각하는 단계;를 포함한다.
- <22> 상기 비정질 카본막은 플라즈마 CVD(Chemical Vapor Deposition)의 방법으로 형성한다.
- <23> 상기 자외선 처리는 180~280nm 영역의 단일파장을 이용하여 수행한다.
- <24> 상기 자외선 처리는 180~280nm 영역의 멀티파장을 이용하여 수행한다.

- <25> 상기 자외선 처리는 25~650℃의 온도 범위에서 수행한다.
- <26> 상기 자외선 처리는 1~30분 동안 수행한다.
- <27> 상기 자외선 처리는 N₂ 또는 O₂ 분위기에서 수행한다.
- <28> (실시예)
- <29> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.
- <30> 본 발명은, 반도체 기판 상에 탄소와 수소로 이루어진 비정질 카본막 형성 후, 상기 비정질 카본막에 대해 자외선 처리를 수행한 다음, 상기 비정질 카본막을 반도체 소자의 패턴 형성시 하드마스크로서 사용한다.
- <31> 이렇게 하면, 상기와 같이 탄소와 수소로 이루어진 비정질 카본막에 대해 자외선 처리를 수행함으로써, 상기 비정질 카본막에의 수소의 함량을 최소화시킬 수 있다.
- <32> 따라서, 수소의 함량이 감소할수록 박막의 경화밀도가 증가하여 에치 선택비가 증가하는 비정질 카본막의 특성으로 인하여 상기 비정질 카본막에의 에치 선택비를 증가시킬 수 있으므로, 반도체 소자의 패턴을 형성하고자 상기 비정질 카본막을 하드마스크로 적용시, 그의 쓰러짐을 방지할 수 있다.
- <33> 자세하게, 도 1a 내지 도 1c는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 공정별 단면도로서, 이를 설명하면 다음과 같다.
- <34> 도 1a를 참조하면, 식각대상층(102)을 구비한 반도체 기판(100)을 마련한다.
- <35> 도 1b를 참조하면, 상기 마련된 식각대상층(102)을 구비한 반도체 기판(100) 상에 수소와 탄소로 이루어진 비정질 카본막(104)을 형성한다. 여기서, 상기 비정질 카본막(104)은 플라즈마 CVD(Chemical Vapor Deposition)의 방법으로 형성한다.
- <36> 그런 다음, 상기 반도체 기판(100)의 식각대상층(102)에 형성된 비정질 카본막(104)에 대해 상기 비정질 카본막(104)에 함유된 수소의 함량을 감소시키기 위한 자외선 처리를 수행한다.
- <37> 상기 자외선 처리는 180~280nm 영역 정도의 단일과장 또는 180~280nm 영역 정도의 멀티과장을 이용하여 수행하는 것이 바람직하며, 또한, 상기 자외선 처리는 25~650℃의 온도 범위에서 1~30분 정도의 시간 동안 수행한다. 그리고, 바람직하게, 상기 자외선 처리는 N₂ 또는 O₂ 분위기에서 수행한다.
- <38> 도 1c를 참조하면, 상기 자외선 처리가 수행되어 수소 함량이 감소된 상기 비정질 카본막(104) 상에 감광막패턴(도시안됨)을 형성하고, 상기 감광막패턴을 식각마스크로 이용하여 상기 비정질 카본막(104)을 소망하는 패턴이 형성되도록 식각한다.
- <39> 그런다음, 상기 감광막 패턴을 제거하고, 상기와 같이 식각되어 소망하는 일정한 패턴을 갖는 상기 비정질 카본막(104)을 하드마스크로 이용하여 상기 반도체 기판(100) 상에 형성된 식각대상층(102)을 식각하여 본 발명의 실시예에 따른 반도체 소자를 제조한다.
- <40> 전술한 바와 같이 본 발명은, 반도체 기판 상에 탄소와 수소로 이루어진 비정질 카본막 형성 후, 상기 비정질 카본막에 대해 자외선 처리를 수행한 다음, 상기 비정질 카본막을 반도체 소자의 제조시 하드마스크로서 사용함으로써, 상기 자외선 처리에 의해 상기 비정질 카본막에의 수소의 함량을 최소화시킬 수 있다.
- <41> 따라서, 수소의 함량이 감소할수록 박막의 경화밀도가 증가하여 에치 선택비가 증가하는 비정질 카본막의 특성으로 인하여 상기 수소의 함량이 최소화된 상기 비정질 카본막에의 에치 선택비를 증가시킬 수 있으므로, 반도체 소자의 패턴 형성시, 상기 비정질 카본막의 쓰러짐을 방지할 수 있다.
- <42> 이상, 전술한 본 발명의 실시예들에서는 특정 실시예에 관련하고 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니며, 이하의 특허청구의 범위는 본 발명의 정신과 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변형될 수 있다는 것을 당 업계에서 통상의 지식을 가진 자가 용이하게 알 수 있다.

발명의 효과

- <43> 이상에서와 같이 본 발명은, 탄소와 수소로 이루어진 비정질 카본막을 하드마스크로 적용한 반도체 소자의 패턴 형성시, 상기 비정질 카본막에 대해 수소 함량을 감소시키기 위한 자외선 처리를 수행하여, 상기 비정질 카본막

에의 수소의 함량을 최소화시킴으로써, 상기 비정질 카본막에의 에치 선택비를 증가시킬 수 있다.

<44> 따라서, 본 발명은 상기와 같이 비정질 카본막에의 에치 선택비를 증가시킬 수 있으므로, 상기 비정질 카본막을 이용한 미세 패턴 형성시, 상기 비정질 카본막의 쓰러짐을 방지할 수 있다.

도면의 간단한 설명

<1> 도 1a 내지 도 1c는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 공정별 단면도.

<2> * 도면의 주요 부분에 대한 부호의 설명 *

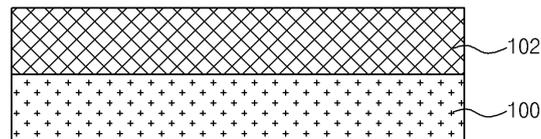
<3> 100 : 반도체 기판

<4> 102 : 식각대상층

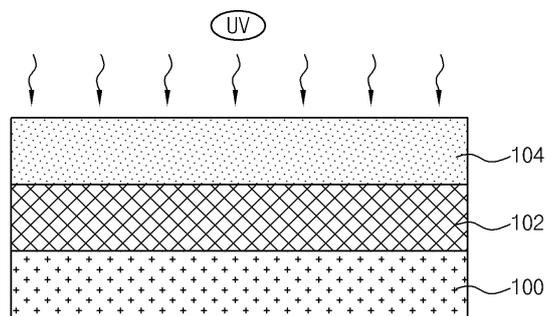
<5> 104 : 비정질카본막

도면

도면1a



도면1b



도면1c

