

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5518347号  
(P5518347)

(45) 発行日 平成26年6月11日(2014.6.11)

(24) 登録日 平成26年4月11日(2014.4.11)

(51) Int.Cl. F I  
H O 1 L 31/06 (2012.01) H O 1 L 31/04 A

請求項の数 4 (全 13 頁)

(21) 出願番号	特願2009-44435 (P2009-44435)	(73) 特許権者	000001889 三洋電機株式会社
(22) 出願日	平成21年2月26日 (2009.2.26)		大阪府守口市京阪本通2丁目5番5号
(65) 公開番号	特開2010-199416 (P2010-199416A)	(74) 代理人	100133514 弁理士 寺山 啓進
(43) 公開日	平成22年9月9日 (2010.9.9)	(74) 代理人	100117064 弁理士 伊藤 市太郎
審査請求日	平成24年1月27日 (2012.1.27)	(74) 代理人	100122910 弁理士 三好 広之
		(72) 発明者	高濱 豪 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
		(72) 発明者	小野 雅義 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

最終頁に続く

(54) 【発明の名称】 太陽電池の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板の一主面の第1領域上において、第1導電型を有する第1半導体層を形成する工程Aと、

前記工程Aの後に前記一主面の前記第1領域の前記第1半導体層と第2領域にウェットクリーニング処理及び水素プラズマ処理を施す工程Bと、

前記工程Bの後に前記一主面の前記第2領域上から前記第1半導体層上に跨って、第2導電型を有する第2半導体層を形成する工程Cと、

前記工程Cの後に前記第1領域の前記第2半導体層上に第1電極を、前記第2領域の前記第2半導体層上に第2電極をそれぞれ形成する工程Dと、  
を備えることを特徴とする太陽電池の製造方法。

【請求項2】

前記工程Aは、

前記一主面の略全面に前記第1導電型を有する第3半導体層を形成する工程と、

前記第3半導体層のうち前記第1の領域上に形成された部分をレジスト膜で覆う工程と、

前記第3半導体層のうち前記レジスト膜から露出する部分を除去する工程と、

前記レジスト膜を除去することにより、前記第1半導体層を形成する工程とを含むことを特徴とする請求項1に記載の太陽電池の製造方法。

【請求項3】

前記工程 A と前記工程 B の間に、前記第 1 半導体層上に再結合層を形成する工程 E をさらに備え、

前記工程 C において、前記第 2 領域上から前記再結合層上に跨って、前記第 2 半導体層を形成することを特徴とする請求項 1 記載の太陽電池の製造方法。

【請求項 4】

前記工程 A において、前記第 3 半導体層のうち前記レジスト膜から露出する部分にウェットエッチング処理を施し、前記露出する部分を除去することを特徴とする請求項 2 に記載の太陽電池の製造方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、裏面接合型の太陽電池の製造方法に関する。

【背景技術】

【0002】

太陽電池は、クリーンで無尽蔵に供給される太陽光を直接電気に変換できるため、新しいエネルギー源として期待されている。

【0003】

従来、基板の裏面上に複数の p 側電極と複数の n 側電極とを備える、いわゆる裏面接合型の太陽電池が提案されている（例えば、特許文献 1 参照）。

【0004】

20

特許文献 1 に記載の太陽電池は、以下の方法によって製造される。まず、基板の裏面をクリーニングする。次に、基板の裏面上に所定パターンの第 1 マスクを設けて、i 型半導体層、p 型半導体層及び p 側電極を順次形成する。次に、第 1 マスクを除去して、基板の裏面上から p 側電極上に跨るように i 型半導体層及び n 型半導体層を順次形成する。次に、第 1 マスクと反対パターンの第 2 マスクを n 型半導体層上に設けて、n 側電極を形成する。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2005 - 101151 号公報（[0039]段落、図 2）

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

ここで、基板の裏面におけるキャリアの再結合を抑制するには、i 型半導体層及び n 型半導体層を順次形成する前に、基板の裏面のうち第 1 マスクが設けられた領域にクリーニング処理を施すことが好ましい。

【0007】

しかしながら、p 側電極形成後において、例えばウェットエッチング処理のようなクリーニング処理を施すと、イオン化された p 側電極の構成物質によって基板の裏面が汚染されてしまう。また、p 側電極形成前にクリーニング処理を施すと、p 側電極形成時に、基板の裏面が p 側電極の構成物質によって汚染されてしまう。従って、特許文献 1 に記載の手法では、基板の裏面におけるキャリアの再結合を抑制することが困難であった。

40

【0008】

本発明は、上述の状況に鑑みてなされたものであり、キャリアの再結合を抑制可能とする太陽電池の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明の特徴に係る太陽電池の製造方法は、半導体基板の一主面の第 1 領域上において、第 1 導電型を有する第 1 半導体層を形成する工程 A と、前記一主面の第 2 領域上をクリーニングする工程 B と、前記一主面の前記第 2 領域上から前記第 1 半導体層上に跨って、

50

第2導電型を有する第2半導体層を形成する工程Cとを備えることを要旨とする。

【0010】

本発明の特徴に係る太陽電池の製造方法によれば、一主面のうち第2領域上をクリーニングした後に、第2領域上に第2半導体層を形成することができる。従って、半導体基板の一主面と第2半導体層との界面においてキャリアが再結合することを抑制することができる。

【0011】

本発明の特徴に係る太陽電池の製造方法において、前記工程Aは、前記一主面の略全面に前記第1導電型を有する第3半導体層を形成する工程と、前記第3半導体層のうち前記第1の領域上に形成された部分をレジスト膜で覆う工程と、前記第3半導体層のうち前記レジスト膜から露出する部分を除去する工程と、前記レジスト膜を除去する工程とを含んでいてもよい。

10

【0012】

本発明の特徴に係る太陽電池の製造方法は、前記工程Aと前記工程Bの間に、前記第1半導体層上に再結合層を形成する工程をさらに備え、前記工程Cにおいて、前記第2領域上から前記再結合層上に跨って、前記第2半導体層を形成してもよい。

【発明の効果】

【0013】

本発明によれば、キャリアの再結合を抑制可能とする太陽電池の製造方法を提供することができる。

20

【図面の簡単な説明】

【0014】

【図1】本発明の第1実施形態に係る太陽電池100の裏面側の平面図である。

【図2】図1のA-A線における拡大断面図である。

【図3】本発明の第1実施形態に係る太陽電池10の製造方法を説明するための図である。

【図4】本発明の第1実施形態に係る太陽電池10の製造方法を説明するための図である。

【図5】本発明の第1実施形態に係る太陽電池10の製造方法を説明するための図である。

30

【図6】本発明の第1実施形態に係る太陽電池10の製造方法を説明するための図である。

【図7】本発明の第2実施形態に係る太陽電池100の拡大断面図である。

【図8】本発明の第2実施形態に係る太陽電池10の製造方法を説明するための図である。

【図9】本発明の第2実施形態に係る太陽電池10の製造方法を説明するための図である。

【図10】本発明の第2実施形態に係る太陽電池10の製造方法を説明するための図である。

【図11】本発明の第2実施形態に係る太陽電池10の製造方法を説明するための図である。

40

【発明を実施するための形態】

【0015】

次に、図面を用いて、本発明の実施形態について説明する。以下の図面の記載において、同一又は類似の部分には、同一又は類似の符号を付している。ただし、図面は模式的なものであり、各寸法の比率等は現実のものとは異なることに留意すべきである。従って、具体的な寸法等は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0016】

[第1実施形態]

50

(太陽電池の構成)

本発明の第1実施形態に係る太陽電池の構成について、図1及び図2を参照しながら説明する。図1は、第1実施形態に係る太陽電池100の裏面側の平面図である。図2は、図1のA-A線における拡大断面図である。

【0017】

図1及び図2に示すように、太陽電池100は、n型結晶シリコン基板10n、i型非晶質半導体層11i、p型非晶質半導体層11p、i型非晶質半導体層12i、n型非晶質半導体層12n、p側電極20p及びn側電極20nを備える。

【0018】

n型結晶シリコン基板10nは、薄板状の単結晶シリコン或いは多結晶シリコンからなる。n型結晶シリコン基板10nは、太陽光を受ける受光面と、受光面の反対側に設けられた裏面とを有する。n型結晶シリコン基板10nは、受光面における受光によって光生成キャリアを生成する。光生成キャリアとは、光がn型結晶シリコン基板10nに吸収されて生成される正孔と電子とをいう。なお、図示しないが、n型結晶シリコン基板10nの受光面には光の入射を遮る構造体(例えば、電極など)は形成されておらず、受光面全面での受光が可能であることに留意すべきである。

10

【0019】

i型非晶質半導体層11iは、n型結晶シリコン基板10nの裏面上において、第1方向に沿って形成される。i型非晶質半導体層11iは、不純物を積極的に導入することなく形成されている。i型非晶質半導体層11iの厚みは、実質的に発電に寄与しない程度、例えば数 ~ 250 程度である。

20

【0020】

p型非晶質半導体層11pは、i型非晶質半導体層11i上において、第1方向に沿って形成される。p型非晶質半導体層11pは、p型の導電性を有する。p型非晶質半導体層11pの厚みは、例えば10nm程度である。

【0021】

なお、i型非晶質半導体層11iは形成されていなくてもよいが、n型結晶シリコン基板10n上にi型非晶質半導体層11iとp型非晶質半導体層11pとが順次形成された構造(いわゆる、「HIT構造」)によれば、pn接合特性を向上することができるので好ましい。

30

【0022】

i型非晶質半導体層12iは、n型結晶シリコン基板10nの裏面上からp型非晶質半導体層11p上に跨って形成される。第1実施形態では、i型非晶質半導体層12iは、n型結晶シリコン基板10nの裏面のほぼ全面を覆うように形成される。i型非晶質半導体層12iは、不純物を積極的に導入することなく形成されている。i型非晶質半導体層12iの厚みは、例えば数 ~ 250 程度である。

【0023】

n型非晶質半導体層12nは、i型非晶質半導体層12i上に形成される。第1実施形態では、n型非晶質半導体層12nは、i型非晶質半導体層12iを覆うように形成される。n型非晶質半導体層12nは、p型非晶質半導体層11pと異なるn型の導電性を有する。n型非晶質半導体層12nの厚みは、例えば10nm程度である。

40

【0024】

なお、n型結晶シリコン基板10n上にi型非晶質半導体層12iが形成された構造(いわゆる、「BSF構造」)によれば、n型結晶シリコン基板10nの裏面と非晶質半導体層との界面における少数キャリアの再結合を抑制することができる。

【0025】

なお、n型結晶シリコン基板10nの裏面とn型非晶質半導体層12nとの間に薄いi型非晶質半導体層12iを介挿した構造によれば、n型結晶シリコン基板10nの裏面とn型非晶質半導体層12nとの間の特性を向上させることができる。

【0026】

50

ここで、i型非晶質半導体層11i、i型非晶質半導体層12i、p型非晶質半導体層11p及びn型非晶質半導体層12nそれぞれは、シリコンを含む非晶質半導体によって構成することができる。このような非晶質半導体としては、非晶質シリコン、非晶質シリコンカーバイド、或いは非晶質シリコンゲルマニウムなどが挙げられるが、これに限らず他の非晶質半導体を用いてもよい。また、i型非晶質半導体層11i、i型非晶質半導体層12i、p型非晶質半導体層11p及びn型非晶質半導体層12nそれぞれは、1種の非晶質半導体によって構成されていてもよいし、また、2種以上の非晶質半導体が組み合わされていてもよい。

【0027】

p側電極20pは、キャリアを収集する収集電極である。p側電極20pは、i型非晶質半導体層12i及びn型非晶質半導体層12nを介して、p型非晶質半導体層11p上に形成される。従って、p側電極20pは、第1方向に沿ってライン状に形成される。

【0028】

n側電極20nは、キャリアを収集する収集電極である。n側電極20nは、i型非晶質半導体層12i及びn型非晶質半導体層12nを介して、n型結晶シリコン基板10nの裏面上に形成される。従って、n側電極20nは、一のp側電極20pと他のp側電極20pとの間において、第1方向に沿ってライン状に形成される。

【0029】

なお、p側電極20p及びn側電極20nは、単層構造でも良いし、複数層の積層構造でも良い。また、積層構造の場合、n型非晶質半導体層12n側に透明導電層を設けてもよい。透明導電層としては、例えば、酸化インジウムや酸化錫或いは酸化亜鉛などの透明導電性酸化物を用いることができる。

【0030】

また、p側電極20p及びn側電極20nそれぞれは、p型非晶質半導体層11p又はn型非晶質半導体層12nの略全面を覆うように形成されていてもよい。これによって、p型非晶質半導体層11p又はn型非晶質半導体層12nのシート抵抗がそれほど小さくない場合でも、p側電極20p及びn側電極20nによって十分キャリアを収集することができる。

【0031】

(太陽電池の製造方法)

次に、太陽電池100の製造方法について、太陽電池100の断図面を参照しながら説明する。

【0032】

まず、図3に示すように、CVD法を用いて、n型結晶シリコン基板10nの裏面全面に、i型非晶質半導体層11i及びp型非晶質半導体層11pを順次形成する。

【0033】

次に、図4に示すように、p型非晶質半導体層11p上に、所定のパターンでレジスト膜30を塗布する。所定のパターンは、p側電極20pが形成される領域に対応しており、例えば、図1の一点鎖線を基準に設定される。続いて、ウェットエッチング処理を施すことによって、i型非晶質半導体層11i及びp型非晶質半導体層11pのうちレジスト膜30から露出する露出領域R1を除去する。これによって、i型非晶質半導体層11i及びp型非晶質半導体層11pは、パターニングされる。

【0034】

次に、図5に示すように、レジスト膜30を除去した後、ウェットエッチング処理及び水素プラズマ処理を施すことによって、n型結晶シリコン基板10nの裏面のうち露出する露出領域R2をクリーニングする。なお、この場合、p型非晶質半導体層11pの表面にウェットエッチング処理及び水素プラズマ処理が施される程度を小さくすることが好ましい。

【0035】

次に、図6に示すように、CVD法を用いて、n型結晶シリコン基板10nの裏面上か

10

20

30

40

50

ら p 型非晶質半導体層 1 1 p 上に跨って、i 型非晶質半導体層 1 2 i 及び n 型非晶質半導体層 1 2 n を順次形成する。

【0036】

次に、CVD 法、スパッタ法、蒸着法、メッキ法或いは印刷法などを用いて、n 型非晶質半導体層 1 2 n 上に所定のパターンで p 側電極 2 0 p 及び n 側電極 2 0 n を形成する。

【0037】

(作用及び効果)

第 1 実施形態に係る太陽電池 1 0 0 の製造方法は、i 型非晶質半導体層 1 1 i 及び p 型非晶質半導体層 1 1 p のパターンニング工程の後、i 型非晶質半導体層 1 2 i の形成工程前に、n 型結晶シリコン基板 1 0 n の裏面のうち露出領域 R 2 のクリーニング工程を備える。

10

【0038】

従って、n 型結晶シリコン基板 1 0 n の裏面と i 型非晶質半導体層 1 2 i との界面におけるキャリアの再結合を抑制することができる。

【0039】

また、第 1 実施形態に係る太陽電池 1 0 0 の製造方法では、露出領域 R 2 のクリーニング工程の後、i 型非晶質半導体層 1 2 i 及び n 型非晶質半導体層 1 2 n を順次形成する。従って、i 型非晶質半導体層 1 2 i 及び n 型非晶質半導体層 1 2 n をマスクなどによってパターンニングする必要がない。そのため、太陽電池 1 0 0 の生産性を向上させることができる。

20

【0040】

[第 2 実施形態]

以下において、第 2 実施形態に係る太陽電池 1 0 0 について、図面を参照しながら説明する。以下においては、第 1 実施形態との相違点について主に説明する。具体的には、第 2 実施形態に係る太陽電池 1 0 0 は、p 型非晶質半導体層 1 1 p と i 型非晶質半導体層 1 2 i との間に介挿される再結合層 R を有する。

【0041】

(太陽電池の構成)

本発明の第 2 実施形態に係る太陽電池の構成について、図 7 を参照しながら説明する。図 7 は、第 2 実施形態に係る太陽電池 1 0 0 の断面図である。

30

【0042】

図 7 に示すように、太陽電池 1 0 0 は、p 型非晶質半導体層 1 1 p 上に形成される再結合層 R を有する。

【0043】

再結合層 R は、n 型結晶シリコン基板 1 0 n、i 型非晶質半導体層 1 1 i 及び p 型非晶質半導体層 1 1 p によって形成される電界とは逆向きの電界が、p 型非晶質半導体層 1 1 p、i 型非晶質半導体層 1 2 i 及び n 型非晶質半導体層 1 2 n によって形成されることを抑制するために設けられている。従って、本実施形態では、再結合層 R を介挿することによって、p 側電極 2 0 p と p 型非晶質半導体層 1 1 p との間での低抵抗化が図られている。

40

【0044】

なお、抵抗成分の増大を抑制するためには、再結合層 R の厚みは、0.1 ~ 20 nm であることが好ましく、より好ましくは 1 ~ 10 nm であることが好ましい。

【0045】

以上のような特性を有する再結合層 R は、(1) エネルギーバンド中に存在する多くのギャップ内準位が存在する半導体材料や、(2) p 型非晶質半導体層 1 1 p とオーム性接触する金属材料によって形成される。

【0046】

(1) エネルギーバンド中に多くのギャップ内準位が存在する半導体材料

このような半導体材料を用いた場合、エネルギーバンド中に多くのギャップ内準位を介

50

したキャリアの再結合を利用することによって、p型非晶質半導体層11pを介してn型結晶シリコン基板10nで生成されたキャリアを取り出すことができる。従って、p型非晶質半導体層11pの表面に再結合層Rを形成しても、両層の接触は、低抵抗、すなわちオーム性接触に近似する。

【0047】

また、上述の通り、再結合層Rの表面に形成されるi型非晶質半導体層12iの厚みは極めて薄いので、キャリアに対する障壁としての作用は極めて小さい。

【0048】

以上のように、p側電極20pとp型非晶質半導体層11pとの間での低抵抗化が図られることによって、p側電極20pからキャリアを良好に取り出すことが可能となる。

10

【0049】

ここで、再結合層Rを構成する半導体材料としては、(i)多量の不純物を含有する半導体材料や、(ii)多くの格子欠陥を含む半導体材料を用いることができる。なお、p型非晶質半導体層11pよりも多量のp型不純物を含有するp型半導体材料や、なお、上記(i)の材料としては、p型非晶質半導体層11pよりも多量のp型不純物を含有するp型半導体材料や、n型非晶質半導体層12nよりも多量のn型不純物を含有するn型半導体材料などを用いることができる。また、上記(ii)の材料としては、例えば、非晶質シリコンにカーボンやゲルマニウムなどの異種元素を混入して格子欠陥を増大させた半導体材料(非晶質シリコンカーバイド、非晶質シリコンゲルマニウム)や、p型又はn型の微結晶シリコンなどを用いることができる。

20

【0050】

なお、再結合層Rの導電型がp型である場合には、再結合層Rを非晶質半導体層12pと同じ原料ガスを用いて形成することができるので、製造コストの増加を抑制することができる。

【0051】

(2)p型非晶質半導体層11pとオーム性接触する金属材料

このような金属材料を用いた場合、p型非晶質半導体層11pの表面に再結合層Rを形成しても、両層の接触は、低抵抗、すなわちオーム性接触に近似する。従って、p側電極20pとp型非晶質半導体層11pとの間での低抵抗化が図られることによって、p側電極20pからキャリアを良好に取り出すことが可能となる。

30

【0052】

なお、このような金属材料としては、チタン(Ti)やタングステン(W)などを用いることができる。

【0053】

(太陽電池の製造方法)

次に、第2実施形態に係る太陽電池100の製造方法について、太陽電池100の断面を参照しながら説明する。

【0054】

まず、図8に示すように、CVD法を用いて、n型結晶シリコン基板10nの裏面全面に、i型非晶質半導体層11i、p型非晶質半導体層11pを順次形成した後、再結合層Rを形成する。再結合層Rを半導体材料によって形成する場合には、CVD法などを用い、再結合層Rを金属材料によって形成する場合には、スパッタ法や蒸着法を用いることができる。

40

【0055】

次に、図9に示すように、再結合層R上に、所定のパターンでレジスト膜30を塗布する。所定のパターンは、p側電極20pが形成される領域に対応しており、例えば、図1の一点鎖線を基準に設定される。

【0056】

次に、図10に示すように、ウェットエッチング処理を施すことによって、i型非晶質半導体層11i、p型非晶質半導体層11p及び再結合層Rのうちレジスト膜30から露

50

出する露出領域 R 1 を除去する。これによって、i 型非晶質半導体層 1 1 i、p 型非晶質半導体層 1 1 p 及び再結合層 R は、パターンングされる。続いて、レジスト膜 3 0 を除去した後、ウェットエッチング処理及び水素プラズマ処理を施すことによって、n 型結晶シリコン基板 1 0 n の裏面のうち露出する露出領域 R 2 をクリーニングする。この際、再結合層 R の表面にもウェットエッチング処理及び水素プラズマ処理が施されてもよい。

【 0 0 5 7 】

次に、図 1 1 に示すように、C V D 法を用いて、n 型結晶シリコン基板 1 0 n の裏面上から再結合層 R 上に跨って、i 型非晶質半導体層 1 2 i 及び n 型非晶質半導体層 1 2 n を順次形成する。

【 0 0 5 8 】

次に、C V D 法、スパッタ法、蒸着法、メッキ法或いは印刷法などを用いて、n 型非晶質半導体層 1 2 n 上に所定のパターンで p 側電極 2 0 p 及び n 側電極 2 0 n を形成する。

【 0 0 5 9 】

(作用及び効果)

第 2 実施形態に係る太陽電池 1 0 0 の製造方法は、p 型非晶質半導体層 1 1 p 上に再結合層 R を形成する工程を有する。i 型非晶質半導体層 1 2 i 及び n 型非晶質半導体層 1 2 n は、n 型結晶シリコン基板 1 0 n の裏面上から再結合層 R 上に跨って形成される。

【 0 0 6 0 】

このように、太陽電池 1 0 0 は、p 型非晶質半導体層 1 1 p と n 型非晶質半導体層 1 2 n との間に挿入された再結合層 R を有する。p 型非晶質半導体層 1 1 p と再結合層 R とは、低抵抗で接触する。

【 0 0 6 1 】

そのため、n 型結晶シリコン基板 1 0 n、i 型非晶質半導体層 1 1 i 及び p 型非晶質半導体層 1 1 p によって形成される電界とは逆向きの電界が、p 型非晶質半導体層 1 1 p、i 型非晶質半導体層 1 2 i 及び n 型非晶質半導体層 1 2 n とによって形成されることが抑制される。従って、p 側電極 2 0 p と p 型非晶質半導体層 1 1 p との間での低抵抗化が図られるので、p 側電極 2 0 p からキャリアを良好に取り出すことが可能となる。その結果、キャリア収集口スを低減することができるので、太陽電池 1 0 0 の特性を向上させることができる。

【 0 0 6 2 】

また、第 2 実施形態に係る太陽電池 1 0 0 の製造方法では、p 型非晶質半導体層 1 1 p の表面は再結合層 R によって覆われるため、p 型非晶質半導体層 1 1 p の表面にはクリーニング処理が施されない。

【 0 0 6 3 】

従って、p 型非晶質半導体層 1 1 p の表面にクリーニング処理の影響が及ぶことを抑制することができる。その結果、太陽電池の特性をより向上させることができる。

【 0 0 6 4 】

(その他の実施形態)

本発明は上記の実施形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例及び運用技術が明らかとなろう。

【 0 0 6 5 】

例えば、上記実施形態では、太陽電池 1 0 0 の基板として、n 型結晶シリコン基板 1 0 n を用いることとしたが、これに限られるものではない。例えば、太陽電池 1 0 0 の基板は、p 型の導電型を有していてもよい。また、太陽電池 1 0 0 の基板は、多結晶 S i、微結晶 S i などの結晶系半導体材料や、G a A s、I n P などの化合物半導体材料を含む一般的な半導体材料によって構成されていてもよい。

【 0 0 6 6 】

また、上記実施形態では特に触れていないが、p 型基板を用いる場合には、p 型非晶質半導体層 1 1 p と n 型非晶質半導体層 1 2 n とが上記実施形態とは逆に形成される。すな

10

20

30

40

50



わち、n型非晶質半導体層12nがi型非晶質半導体層12iを覆うように形成される。この場合、一般的に、n型アモルファスシリコンは、p型アモルファスシリコンよりも電気抵抗が大きいので、p側電極20pとn側電極20nとの間でリークが発生することをより抑制することができる。

【0067】

また、上記実施形態では、i型非晶質半導体層11iとi型非晶質半導体層12iとは、不純物を積極的に導入することなく形成されることとしたが、微量のドーパントを含んでいてもよい。

【0068】

また、上記実施形態では特に触れていないが、n型結晶シリコン基板10nの裏面上には、i型非晶質半導体層13iが形成されていなくてもよい。この場合、n型結晶シリコン基板10nの裏面側における抵抗をさらに低減することができる。

【0069】

また、上記実施形態では、再結合層Rは、1層構造を有することとしたが、これに限られるものではない。再結合層Rは、p型非晶質半導体層11pとのオーミック接触性を保持可能な他の層をさらに有していてもよい。

【0070】

また、上記実施形態では、p型非晶質半導体層11pは、1層構造を有することとしたが、これに限られるものではない。p型非晶質半導体層11pは、再結合層Rとのオーミック接触性を保持可能な他の層をさらに有していてもよい。

【符号の説明】

【0071】

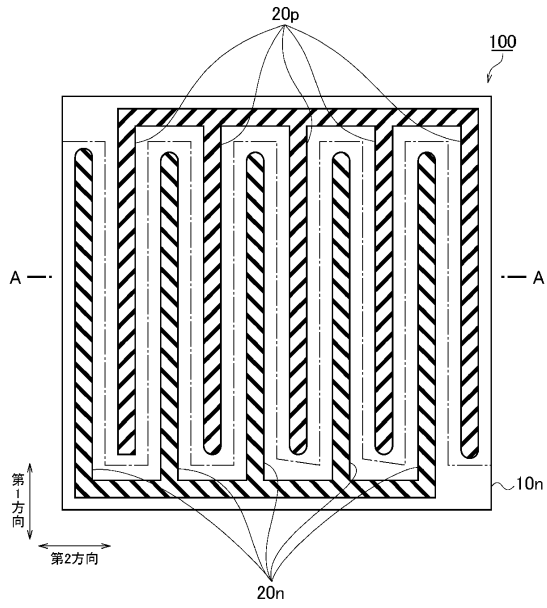
- 10...太陽電池
- 10n...n型結晶シリコン基板
- 11i...i型非晶質半導体層
- 11p...p型非晶質半導体層
- R...再結合層
- 12i...i型非晶質半導体層
- 12n...n型非晶質半導体層
- 20n...n側電極
- 20p...p側電極
- 30...レジスト膜
- 100...太陽電池

10

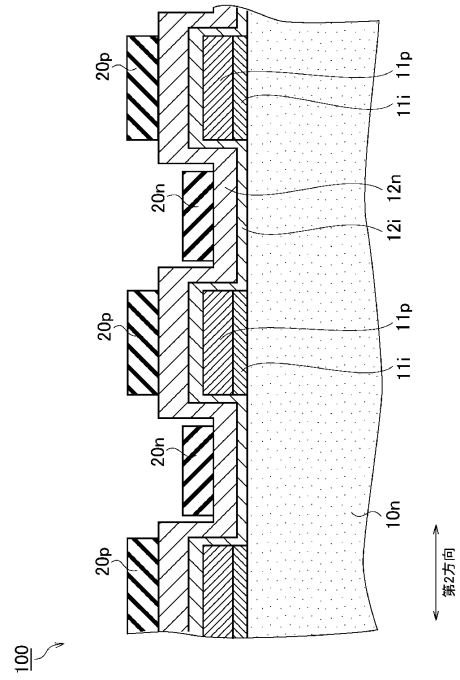
20

30

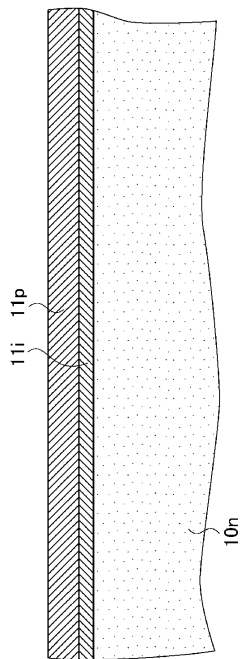
【 図 1 】



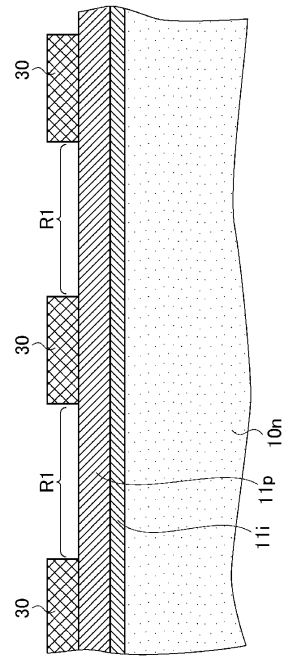
【 図 2 】



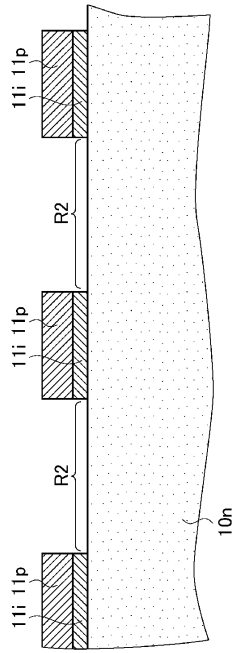
【 図 3 】



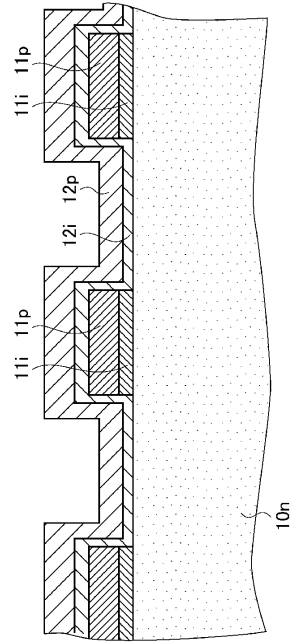
【 図 4 】



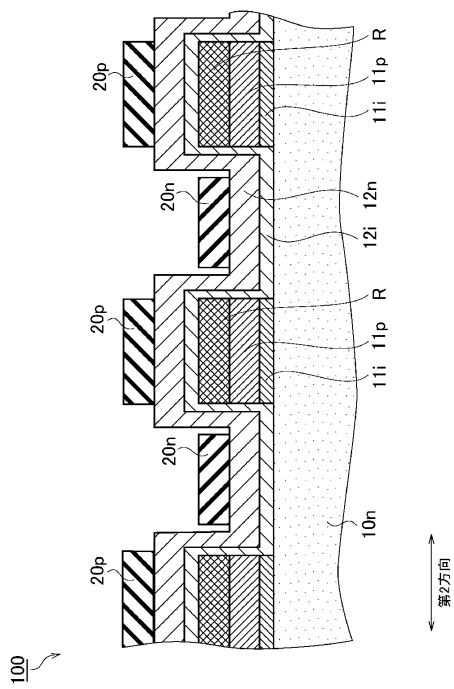
【 図 5 】



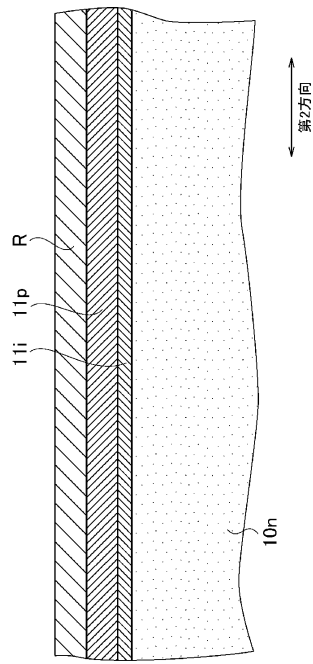
【 図 6 】



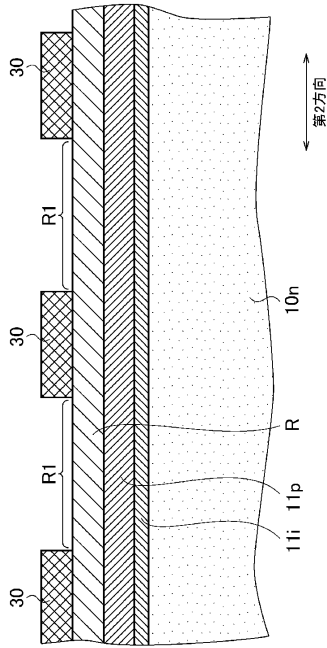
【 図 7 】



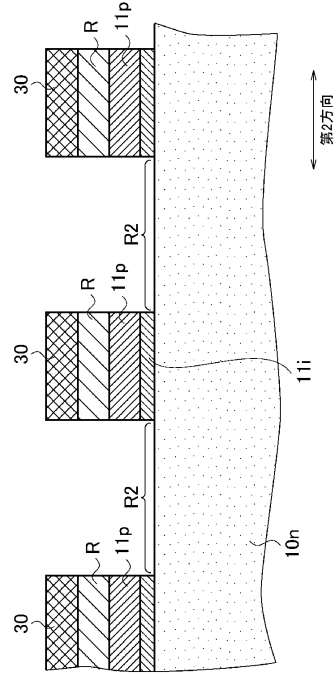
【 図 8 】



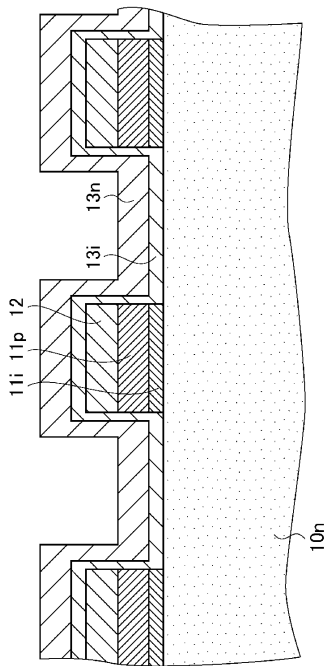
【 図 9 】



【 図 10 】



【 図 11 】



---

フロントページの続き

- (72)発明者 森 博幸  
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
- (72)発明者 村上 洋平  
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

審査官 山本 元彦

- (56)参考文献 特開2005-101151(JP,A)  
特開2008-021993(JP,A)  
特開平11-354820(JP,A)  
特開2002-280584(JP,A)  
国際公開第2008/050889(WO,A1)  
国際公開第2009/096539(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 31/06 - 31/078、31/18 - 31/20

JSTPlus(JDreamIII)

JST7580(JDreamIII)

Cinii