

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5116206号
(P5116206)

(45) 発行日 平成25年1月9日(2013.1.9)

(24) 登録日 平成24年10月26日(2012.10.26)

(51) Int.Cl.	F I				
G09G 3/30 (2006.01)	G09G	3/30		J	
G09G 3/20 (2006.01)	G09G	3/20	6 1 1 H		
HO 1 L 51/50 (2006.01)	G09G	3/20	6 2 1 F		
	G09G	3/20	6 2 3 R		
	G09G	3/20	6 2 3 Y		
請求項の数 9 (全 55 頁) 最終頁に続く					

(21) 出願番号	特願2004-201411 (P2004-201411)	(73) 特許権者	000153878
(22) 出願日	平成16年7月8日(2004.7.8)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2005-49844 (P2005-49844A)		神奈川県厚木市長谷398番地
(43) 公開日	平成17年2月24日(2005.2.24)	(72) 発明者	木村 肇
審査請求日	平成19年7月6日(2007.7.6)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2003-273765 (P2003-273765)		半導体エネルギー研究所内
(32) 優先日	平成15年7月11日(2003.7.11)		
(33) 優先権主張国	日本国(JP)	審査官	森口 忠紀

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ビデオ電圧信号線と、第1乃至第3の信号線と、第1乃至第3の電流源回路と、第1乃至第6のスイッチと、第1乃至第3の画素と、を有し、

前記ビデオ電圧信号線は、前記第1のスイッチを介して前記第1の信号線に電氣的に接続され、

前記ビデオ電圧信号線は、前記第2のスイッチを介して前記第2の信号線に電氣的に接続され、

前記ビデオ電圧信号線は、前記第3のスイッチを介して前記第3の信号線に電氣的に接続され、

前記第1の信号線は、前記第1の画素に電氣的に接続され、

前記第2の信号線は、前記第2の画素に電氣的に接続され、

前記第3の信号線は、前記第3の画素に電氣的に接続され、

前記第1の電流源回路は、前記第4のスイッチを介して前記第1の信号線に電氣的に接続され、

前記第2の電流源回路は、前記第5のスイッチを介して前記第2の信号線に電氣的に接続され、

前記第3の電流源回路は、前記第6のスイッチを介して前記第3の信号線に電氣的に接続され、

前記第1のスイッチをオンにして、前記ビデオ電圧信号線から前記第1の画素に第1の

10

20

ビデオ信号電圧を供給し、

前記第 1 のスイッチをオフにし、かつ、前記第 2 のスイッチをオンにして、前記ビデオ電圧信号線から前記第 2 の画素に第 2 のビデオ信号電圧を供給し、

前記第 2 のスイッチをオフにし、かつ、前記第 3 のスイッチをオンにして、前記ビデオ電圧信号線から前記第 3 の画素に第 3 のビデオ信号電圧を供給し、

前記第 3 のスイッチをオフにし、かつ、前記第 4 乃至第 6 のスイッチをオンにして、前記第 1 の画素に第 1 のビデオ信号電流、前記第 2 の画素に第 2 のビデオ信号電流及び前記第 3 の画素に第 3 のビデオ信号電流を供給することを特徴とする半導体装置。

【請求項 2】

ビデオ電圧信号線と、第 1 乃至第 3 の信号線と、第 1 乃至第 3 の電流源回路と、第 1 乃至第 6 のスイッチと、第 1 乃至第 3 の画素と、を有し、

前記ビデオ電圧信号線は、前記第 1 のスイッチを介して前記第 1 の信号線に電氣的に接続され、

前記ビデオ電圧信号線は、前記第 2 のスイッチを介して前記第 2 の信号線に電氣的に接続され、

前記ビデオ電圧信号線は、前記第 3 のスイッチを介して前記第 3 の信号線に電氣的に接続され、

前記第 1 の信号線は、前記第 1 の画素に電氣的に接続され、

前記第 2 の信号線は、前記第 2 の画素に電氣的に接続され、

前記第 3 の信号線は、前記第 3 の画素に電氣的に接続され、

前記第 1 の電流源回路は、前記第 4 のスイッチを介して前記第 1 の信号線に電氣的に接続され、

前記第 2 の電流源回路は、前記第 5 のスイッチを介して前記第 2 の信号線に電氣的に接続され、

前記第 3 の電流源回路は、前記第 6 のスイッチを介して前記第 3 の信号線に電氣的に接続され、

前記第 1 のスイッチをオンにして、前記ビデオ電圧信号線から前記第 1 の画素に第 1 のビデオ信号電圧を供給し、

前記第 1 のスイッチをオフにし、かつ、前記第 2 のスイッチ及び前記第 4 のスイッチをオンにして、前記ビデオ電圧信号線から前記第 2 の画素に第 2 のビデオ信号電圧を供給するとともに、前記第 1 の画素に第 1 のビデオ信号電流を供給し、

前記第 2 のスイッチをオフにし、かつ、前記第 3 のスイッチ及び前記第 5 のスイッチをオンにして、前記ビデオ電圧信号線から前記第 3 の画素に第 3 のビデオ信号電圧を供給するとともに、前記第 1 の画素に第 1 のビデオ信号電流及び前記第 2 の画素に第 2 のビデオ信号電流を供給し、

前記第 3 のスイッチをオフにし、かつ、前記第 6 のスイッチをオンにして、前記第 1 の画素に前記第 1 のビデオ信号電流、前記第 2 の画素に前記第 2 のビデオ信号電流及び前記第 3 の画素に第 3 のビデオ信号電流を供給することを特徴とする半導体装置。

【請求項 3】

請求項 1 または 2 において、

前記第 1 のビデオ信号電圧の大きさは、前記第 1 の画素の表示に応じた大きさであり、

前記第 2 のビデオ信号電圧の大きさは、前記第 2 の画素の表示に応じた大きさであり、

前記第 3 のビデオ信号電圧の大きさは、前記第 3 の画素の表示に応じた大きさであることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、

前記第 1 のビデオ信号電流の大きさは、前記第 1 の画素の表示に応じた大きさであり、

前記第 2 のビデオ信号電流の大きさは、前記第 2 の画素の表示に応じた大きさであり、

前記第 3 のビデオ信号電流の大きさは、前記第 3 の画素の表示に応じた大きさであることを特徴とする半導体装置。

10

20

30

40

50

【請求項 5】

請求項 1 乃至 3 のいずれかーにおいて、

前記第 1 乃至第 3 のビデオ信号電流に対応する電流を前記第 1 乃至第 3 の電流源回路にそれぞれ供給する第 1 の端子と、前記ビデオ電圧信号線に前記第 1 乃至第 3 のビデオ信号電圧をそれぞれ供給する第 2 の端子とを有する電圧電流供給回路を有し、

前記電圧電流供給回路は、第 1 乃至第 3 のトランジスタを有し、

前記第 1 のトランジスタのゲートは、前記第 2 のトランジスタのゲートに電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 2 のトランジスタのソース又はドレインの一方に電氣的に接続され、

10

前記第 3 のトランジスタのゲートは、前記第 2 の端子に電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのゲートと前記第 2 のトランジスタのソース又はドレインの他方に電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、第 3 の端子に電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 1 の端子に電氣的に接続されていることを特徴とする半導体装置。

【請求項 6】

請求項 5 において、

前記第 1 のトランジスタと前記第 2 のトランジスタの極性は同じであり、

20

前記第 3 のトランジスタの極性は、前記第 1 のトランジスタの極性とは逆の極性であることを特徴とする半導体装置。

【請求項 7】

請求項 5 または 6 において、

前記第 1 のトランジスタのチャンネル幅 W_1 とチャンネル長 L_1 の比率を W_1 / L_1 とし、

前記第 2 のトランジスタのチャンネル幅 W_2 とチャンネル長 L_2 の比率を W_2 / L_2 としたとき、

W_2 / L_2 は W_1 / L_1 の定数倍となるように形成されていることを特徴とする半導体装置。

【請求項 8】

30

請求項 1 乃至 7 のいずれかーにおいて、

前記第 1 乃至第 3 の画素は、それぞれ、発光素子と、前記発光素子に流れる電流値によって前記発光素子の発光輝度を制御する素子を有することを特徴とする半導体装置。

【請求項 9】

請求項 1 乃至 8 のいずれかーにおいて、

前記第 1 のスイッチと前記第 1 の画素の間に、前記第 1 のビデオ信号電圧を出力する機能を有する第 1 の電圧記憶回路を有し、

前記第 2 のスイッチと前記第 2 の画素の間に、前記第 2 のビデオ信号電圧を出力する機能を有する第 2 の電圧記憶回路を有し、

前記第 3 のスイッチと前記第 3 の画素の間に、前記第 3 のビデオ信号電圧を出力する機能を有する第 3 の電圧記憶回路を有し、

40

前記第 1 乃至第 3 の電圧記憶回路はそれぞれ、増幅回路と容量素子を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は負荷に供給する電流をトランジスタで制御する機能を設けた半導体装置に係り、特に電流によって輝度が変化する電流駆動型発光素子で形成された画素や、画素に信号を供給する回路を含む半導体装置に関する。

【背景技術】

50

【 0 0 0 2 】

有機発光ダイオード（O L E D (Organic Light Emitting Diode)）、有機 E L 素子、エレクトロルミネッセンス (Electro Luminescence : E L) 素子などとも言う）に代表される自発光型の発光素子を用いた表示装置では、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが知られている。前者は構造は簡単であるが、大型かつ高輝度のディスプレイの実現が難しい等の問題があり、近年は発光素子に流れる電流を画素回路内部に設けた薄膜トランジスタ（T F T）によって制御するアクティブマトリクス方式の開発が進められている。

【 0 0 0 3 】

アクティブマトリクス方式の表示装置の場合、駆動TFTの電流特性のバラツキにより発光素子に流れる電流が変化し輝度がばらついてしまうという問題が認識されていた。つまり、画素回路には発光素子に流れる電流を駆動する駆動TFTが用いられており、これらの駆動TFTの特性がばらつくことにより発光素子に流れる電流が変化し、輝度がばらついてしまうという問題があった。そこで画素回路内の駆動TFTの特性がばらついてても発光素子に流れる電流は変化せず、輝度のバラツキを抑えるための種々の回路が提案されている（例えば、特許文献1乃至4参照）。

【特許文献1】特許出願公表番号2002-517806号公報

【特許文献2】国際公開第01/06484号パンフレット

【特許文献3】特許出願公表番号2002-514320号公報

【特許文献4】国際公開第02/39420号パンフレット

【 0 0 0 4 】

特許文献1乃至3には、画素回路内に配置された駆動TFTの特性のバラツキによって発光素子に流れる電流値の変動を防ぐための回路構成が開示されている。この構成は、電流書き込み型画素、もしくは電流入力型画素などと呼ばれている。また特許文献4には、ソースドライバ回路内のTFTのバラツキによる信号電流の変化を抑制するための回路構成が開示されている。

【 0 0 0 5 】

図6に、特許文献1に開示されている従来のアクティブマトリクス型表示装置の第1の構成例を示す。図6の画素は、ソース信号線601、第1～第3のゲート信号線602～604、電流供給線605、TFT606～609、保持容量610、EL素子611、映像信号電流入力用電流源612を有する。

【 0 0 0 6 】

図7を用いて、信号電流の書き込みから発光までの動作について説明する。図中、各部を示す図番は、図6に準ずる。図7(A)～(C)は、電流の流れを模式的に示している。図7(D)は、信号電流の書き込み時における各経路を流れる電流の関係を示しており、図7(E)は、同じく信号電流の書き込み時に、保持容量610に蓄積される電圧、つまりTFT608のゲート・ソース間電圧について示している。

【 0 0 0 7 】

まず、第1のゲート信号線602および第2のゲート信号線603にパルスが入力され、TFT606、607がオンになる。このとき、ソース信号線を流れる電流、すなわち信号電流を I_{data} とする。

【 0 0 0 8 】

ソース信号線には、電流 I_{data} が流れているので、図7(A)に示すように、画素内では、電流の経路は I_1 と I_2 とに分かれて流れる。これらの関係を図7(D)に示している。なお、 $I_{data} = I_1 + I_2$ であることは言うまでもない。

【 0 0 0 9 】

TFT606がオンになった瞬間には、まだ保持容量610には電荷が保持されていないため、TFT608はオフになっている。よって、 $I_2 = 0$ となり、 $I_{data} = I_1$ となる。すなわちこの間は、保持容量610における電荷の蓄積による電流のみが流れている。

【 0 0 1 0 】

10

20

30

40

50

その後、徐々に保持容量610に電荷が蓄積され、両電極間に電位差が生じ始める(図7(E))。両電極の電位差が V_{th} となると(図7(E) A点)、TFT608がオンになって、 I_2 が生ずる。先に述べたように、 $I_{data} = I_1 + I_2$ であるので、 I_1 は次第に減少するが、依然電流は流れており、さらに保持容量には電荷の蓄積が行われる。

【0011】

保持容量610においては、その両電極の電位差、つまりTFT608のゲート・ソース間電圧が所望の電圧、つまりTFT608が I_{data} の電流を流すことが出来るだけの電圧(V_{GS})になるまで電荷の蓄積が続く。やがて電荷の蓄積が終了する(図7(E) B点)と、電流 I_1 は流れなくなり、さらにTFT608はそのときの V_{GS} に見合った電流が流れ、 $I_{data} = I_2$ となる(図7(B))。こうして、定常状態に達する。以上で信号の書き込み動作が完了する。最後に第1のゲート信号線602および第2のゲート信号線603の選択が終了し、TFT606、607がオフになる。

10

【0012】

続いて、発光動作に移る。第3のゲート信号線604にパルスが入力され、TFT609がオンになる。保持容量610には、先ほど書き込んだ V_{GS} が保持されているため、TFT608はオンになっており、電流供給線605から、 I_{data} の電流が流れる。これによりEL素子611が発光する。このとき、TFT608が飽和領域において動作するようにしておけば、TFT608のソース・ドレイン間電圧が変化したとしても、 I_{data} は変わりなく流れることが出来る。

20

【0013】

このように、設定した電流を出力する動作を、出力動作と呼ぶことにする。電流書き込み型画素のメリットとして、TFT608の特性等にばらつきがあった場合であっても、保持容量610には、電流 I_{data} を流すのに必要なゲート・ソース間電圧が保持されるため、所望の電流を正確にEL素子に供給することが出来、よってTFTの特性ばらつきに起因した輝度ばらつきを抑えることが可能になる点がある。

【0014】

以上の例は、画素回路内での駆動TFTのバラツキによる電流の変化を補正するための技術に関するものであるが、ソースドライバ回路内においても同一の問題が発生する。特許文献4には、ソースドライバ回路内でのTFTの製造上のバラツキによる信号電流の変化を防止するための回路構成が開示されている。

30

【特許文献5】特許出願公開番号2003-66908号公報

【0015】

また、特許文献5には、階調を制御する電流源の他に電圧源を用意し、ソース信号線に inputsする2つの電源を切り替えるための電源切り替え手段により、行選択期間の初めに電圧源により浮遊容量の電荷を瞬時に変化させ、その後所望の輝度を出すために電流源10により階調表示を行う構成が開示されている。

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかしながら、信号電流を駆動TFTや発光素子に供給するために用いられる配線の寄生容量は極めて大きいため、信号電流が小さい場合には配線の寄生容量を充電する時定数が大きくなり、信号書き込み速度が遅くなってしまうという問題点がある。すなわち、トランジスタに信号電流を供給しても、それを流すのに必要な電圧をゲート端子に生じさせるまでの時間が長くなってしまい、信号の書き込み速度が遅くなってしまうことが問題となっている。

40

【0017】

そこで、特許文献5において、ソース信号線の電荷を瞬時に変化させる構成が開示されているが、行選択期間の初めに供給される電圧値が最適な大きさになっていない。また、構成が複雑になってしまっている。

【0018】

50

本発明はこのような問題点に鑑み、トランジスタの特性バラツキの影響を低減し、所定の電流を供給でき、信号電流が小さな場合であっても信号の書き込み速度を十分に向上させることのできる半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0019】

本発明は、画素に入力する際に、前もって、最適な大きさの電圧を供給することにより、上記目的を達成するものである。

【0020】

本発明は、負荷に供給する電流をトランジスタで制御する回路を具備する半導体装置であって、前記トランジスタのソースまたはドレインが電流源回路と接続され、前記電流源回路から前記トランジスタに電流が供給されたとき、前記トランジスタのゲート・ソース間電圧とドレイン・ソース間電圧とを制御する増幅回路が備えられていることを特徴とするものである。

10

【0021】

本発明は、ビデオ電圧信号線と、複数の信号線と、複数の電圧制御スイッチと、複数の電流源回路と、複数の電流制御スイッチとを具備する半導体装置であって、前記信号線は、前記電圧制御スイッチを介して前記ビデオ電圧信号線と接続されており、前記電流源回路は、前記電流制御スイッチを介して前記信号線と接続されていることを特徴とするものである。

【0022】

20

本発明は、前記構成によって、前記電流源回路に電流を供給するビデオ電流信号線が備えられていることを特徴とするものである。

【0023】

本発明は、前記構成によって、前記電圧制御スイッチを順次選択していく駆動回路が備えられていることを特徴とするものである。

【0024】

本発明は、前記構成によって、前記ビデオ電流信号線から前記電流源回路に電流を順次供給していく駆動回路が備えられていることを特徴とするものである。

【0025】

本発明は、前記構成によって、前記ビデオ電流信号線に信号電流を供給し、前記ビデオ電圧信号線に信号電圧を供給する電圧電流供給回路が備えられていることを特徴とするものである。

30

【0026】

本発明は、前記構成によって、前記信号電圧が、前記信号線に接続された画素へのプリチャージ電圧であることを特徴とするものである。

【0027】

本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI(Silicon On Insulator)基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI基板、ガラス基板などに配置することが出来る。

40

【0028】

なお、本発明において、接続されているとは、電気的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電気的な接続を可能とする他の素子(例えば、別の素子やスイッチなど)が配置されていてもよい。

【発明の効果】

【0029】

本発明では、トランジスタの特性バラツキの影響を低減し、所定の電流を供給でき、信

50

号電流が小さな場合であっても信号の書き込み速度を十分に向上させることのできる。また、各トランジスタのサイズや電流量などを調節することにより、最適な大きさのプリチャージ電圧を供給することが出来る。

【発明を実施するための最良の形態】

【0030】

(実施の形態1)

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。

10

【0031】

本発明は、発光素子に流れる電流値によって発光輝度を制御することが可能な素子で画素を形成する。代表的にはEL素子を適用することができる。EL素子の構成としては種々知られたものがあるが、電流値により発光輝度を制御可能なものであれば、どのような素子構造であっても本発明に適用することができる。すなわち、発光層、電荷輸送層または電荷注入層を自由に組み合わせることでEL素子を形成するものであり、そのための材料として、低分子系有機材料、中分子系有機材料(昇華性を有さず、かつ、モノマー単位が20以下または連鎖する分子の長さが10 μ m以下の有機発光材料)や高分子系有機材料を用いることができる。また、これらに無機材料を混合または分散させたものを用いても良い。

【0032】

20

図1に、全体の構成例を示す。信号線102aには、複数の画素109aa~109adが接続されている。同様に、信号線102bには、複数の画素109ba~109bdが、信号線102cには、複数の画素109ca~109cdが接続されている。

【0033】

信号線102aは、電圧制御スイッチ104aを介して、ビデオ電圧信号線101に接続され、また、電流制御スイッチ105aを介して、電流源回路107aと接続されている。同様に、信号線102bは、電圧制御スイッチ104bを介して、ビデオ電圧信号線101に接続され、また、電流制御スイッチ105bを介して、電流源回路107bと接続されている。信号線102cの場合も同様である。そして、各電圧制御スイッチ104a~104cは、電圧制御用シフトレジスタ103によってサンプリング選択線106a、106b、106cを経て制御されている。

30

【0034】

次に、図1の動作について述べる。まず、図2に示すように、電圧制御用シフトレジスタ103によって電圧制御スイッチ104aをオンにして、ビデオ電圧信号線101から画素109aaに、ビデオ信号電圧を入力する。この時のビデオ信号電圧の大きさは、画素109aaの表示に応じた大きさになっているものとする。

【0035】

ただしこのとき、必ずしも、画素109aaに、ビデオ信号電圧が入力されなくてもよい。信号線104aの電位がビデオ信号電圧にまで充電されていればよい。

【0036】

40

次に、図3に示すように、電圧制御用シフトレジスタ103によって電圧制御スイッチ104bをオンにして、ビデオ電圧信号線101から画素109baに、ビデオ信号電圧を入力する。この時のビデオ信号電圧の大きさは、画素109baの表示に応じた大きさになっているものとする。

【0037】

次も同様に、図4に示すように、電圧制御用シフトレジスタ103によって電圧制御スイッチ104cをオンにして、ビデオ電圧信号線101から画素109caに、ビデオ信号電圧を入力する。

【0038】

次に、図5に示すように、電流制御スイッチ105a~105cをオンにして、電流源回

50

路107a~107cから、画素109aa~109caに、ビデオ信号電流を入力する。この時のビデオ信号電流の大きさは、各画素の表示に応じた大きさになっているものとする。

【0039】

このとき、図2~図4に示したように、ビデオ信号電流の入力に先立って、ビデオ信号電圧が入力されている。したがって、ビデオ信号電圧が入力された時点において、信号線102a~102cの電位は、図5においてビデオ信号電流を入力して定常状態になったとき(つまり、信号入力完了したとき)と概ね等しくなっている。しかし、画素109aa~109caの中のトランジスタの電流特性がばらついている場合がある。そのような場合は、ビデオ信号電圧が入力された時点と、ビデオ信号電流を入力して定常状態になったとき(つまり、信号入力完了したとき)とで、信号線102a~102cの電位に差が生じている。そこで、図5のように、ビデオ信号電流を入力することにより、画素109aa~109caの中のトランジスタの電流特性のバラツキの影響を低減する。これにより、各画素の輝度のバラツキを低減し、正確な輝度で表示することが出来るようになる。

10

【0040】

つまり、図2~4の動作は、図5においてビデオ信号電流を入力する前の、プリチャージ動作に相当すると考えることが出来る。図2~4において、必ずしも、各画素に、ビデオ信号電圧が入力されなくてもよいのは、この動作が、プリチャージ動作に相当するからである。もちろん、図2~4において、各画素に、ビデオ信号電圧が入力されてもよいことは言うまでもない。

【0041】

このような動作により、ビデオ信号電流の大きさが小さくても、すばやく、定常状態(信号入力の完了)にすることが出来る。

20

【0042】

また、輝度に合わせて、ビデオ信号電流の大きさは変化する。したがって、それに合わせて、ビデオ信号電圧(プリチャージ電圧)の大きさを制御することは、容易ではない。それを実現するには、多くの回路を用いる必要がある。そのため、レイアウト面積が大きくなったり、消費電力が多くなったり、製造歩留りが低下してコストが上昇したりしてしまう。しかし、本願では、ビデオ信号電圧(プリチャージ電圧)は、ビデオ電圧信号線101から、点順次駆動で各画素に供給されるため、ビデオ信号電圧(プリチャージ電圧)の大きさを制御が容易である。また、回路構成が単純であるため、レイアウト面積が大きくなったり、消費電力が多くなったり、製造歩留りが低下してコストが上昇したり、等という問題点を回避することができる。

30

【0043】

以上のような動作により、1行目の画素109aa~109caに対するビデオ信号の入力が終了する。次に、2行目の画素109ab~109cbに対しても、図2~図5と同様に、信号を入力していく。以下、同様に、3行目以降もビデオ信号を入力していく。

【0044】

このように、図2~5では、1水平期間を2つに分け、前半では、ビデオ信号電圧(プリチャージ電圧)を入力し、その後、後半では、ビデオ信号電流を入力している。ただし、これに限定されない。

40

【0045】

例えば、図2の後、図8のように動作させ、次に図9のように動作させて、その後、図5のように動作させてもよい。つまり、図2~5のように、ビデオ信号電圧(プリチャージ電圧)を入力する期間と、ビデオ信号電流を入力する期間とを1水平期間の前半と後半とに分けるのではなく、図2、図8、図9、図5のように、ビデオ信号電圧(プリチャージ電圧)の入力が完了したあと、順次、ビデオ信号電流を入力していてもよい。このようにすることにより、ビデオ信号電流を入力する期間を長く設けることが出来る。ビデオ信号電流を入力する期間が長いと、十分に信号電流の書き込みを行うことが出来るため、トランジスタのバラツキの影響をより少なくすることが出来る。

【0046】

50

ただし、その場合、ビデオ信号電流を早い順番で入力する列（例えば信号線 102a）と、遅い順番で入力する列（例えば信号線 102c）とで、ビデオ信号電流を入力している期間が異なってしまう。その結果、ビデオ信号電流を入力している期間が短い列（例えば信号線 102c）では、十分に定常状態に達しない可能性がある。そこで、ビデオ信号電圧やビデオ信号電流を、常に信号線 102aから順に入力するのではなく、信号線 102cから順に入力することも行って良い。このような順序の変更を、行ごとやフレーム期間ごとに切り替えて行って良い。

【0047】

なお、図1の構成では、ビデオ電圧信号線 101が1本だけ記載されているが、これに限定されない。図10に示すように、ビデオ電圧信号線 101a、101bのように複数本配置し、同時に複数列の信号線（102a、102b、102cなど）に、ビデオ信号電圧（プリチャージ電圧）を入力してもよい。

10

【0048】

なお、図1の構成では、ビデオ電圧信号線 101と各信号線 102a、102b、102cとは、電圧制御スイッチ 104a、104b、104cを介して接続されているが、これに限定されない。例えば、図11に示すように、電圧制御スイッチ 104aと信号線 102aとの間、電圧制御スイッチ 104bと信号線 102bとの間に電圧記憶回路 1101a、1101bを配置してもよい。電圧記憶回路 1101a、1101bでは、入力された電圧を出力する機能を有する。また、ある値の電圧を入力されているとき、同時に、以前入力された電圧を出力するようにしてもよい。このような回路を配置することにより、信号の入力のタイミングを、より柔軟にすることが出来る。

20

【0049】

なお、図1の構成では、画素は、4行3列で配置されているが、これに限定されず、任意の個数で配置されてよい。

【0050】

なお、図1の構成では、信号線の数は、3本（信号線 102a~102c）で記載されているが、これに限定されない。任意の数で配置されてよい。

【0051】

なお、図1の構成では、各画素から電流源回路 107aなどの方へ電流が流れるように記載されているが、これに限定されない。画素の回路構成などにより、電流の向きは変更可能である。

30

【0052】

（実施の形態2）

実施の形態1では、1列分の画素につき、1本の信号線が配置されている場合について示した。本実施の形態では、1列分の画素につき、複数本の信号線が配置されている場合について示す。

【0053】

なお、ここでは簡単のため、1列分の画素につき、2本の信号線が配置され、画素は4行2列で配置されている場合を示す。ただし、これに限定されない。1列分の画素につき、任意の本数の信号線が配置されてもよいし、画素は任意の個数だけ配置されてもよい。

40

【0054】

実施の形態1で示したように、1列分の画素につき、1本の信号線が配置されている場合には、1水平期間中に、1列分の信号を画素に入力する必要があった。そのため、例えば、1水平期間の前半に、ビデオ信号電圧（プリチャージ電圧）を入力し、後半に、ビデオ信号電流を入力していた。そのような場合は、画素にビデオ信号電流を入力する期間が十分に長くないため、定常状態（信号の入力の完了）に出来ないまま、信号の入力を終了せざるを得ない場合が起こりうる。

【0055】

そこで、1列分の画素につき、複数本の信号線を配置することにより、画素にビデオ信号電流を入力する期間を長くすることができる。

50

【 0 0 5 6 】

そこで、1列分の画素につき、2本の信号線が配置され、画素は4行2列で配置されている場合の構成図を図12に示す。1列目の画素には、信号線1202aa、1202abが配置され、偶数行の画素が信号線1202aaに接続され、奇数行の画素が信号線1202abに接続されている。これにより、同時に2行分の画素に信号を入力することが出来る。なお、信号線1202aa、1202ab、1202ba、1202bbは、それぞれ電圧制御スイッチ1204aa、1204ab、1204ba、1204bbを介して、ビデオ電圧信号線101に接続されている。また、信号線1202aa、1202abは、それぞれ電流制御スイッチ1205ab、1205aa、を介して、電流源回路107aと接続されている。同様に、信号線1202ba、1202bbは、それぞれ電流制御スイッチ1205bb、1205baを介して、電流源回路107bと接続されている。

10

【 0 0 5 7 】

図12の場合、1列分の画素につき、2本の信号線が配置されているため、1行分の画素に対する信号の入力は、2×水平期間、つまり、1水平期間の倍の期間をかけて、完了すればよい。そこで、まず、1水平期間をかけて、ビデオ信号電圧（プリチャージ電圧）を入力する。そして、次の1水平期間をかけて、ビデオ信号電流を入力すればよい。また、信号線が2本あるため、ある行の画素に対してビデオ信号電圧（プリチャージ電圧）を入力している時に、同時に、別の行の画素に対してビデオ信号電流を入力することが出来る。

【 0 0 5 8 】

図13～図16に、動作を示す。図13、14では、1行目の画素には、ビデオ信号電流が入力され、2行目の画素には、ビデオ信号電圧（プリチャージ電圧）が入力される。なお、図13の前に、信号線1202ab、1202bbには、ビデオ信号電圧（プリチャージ電圧）の入力が済んでいるものとする。次に、図15、16のように、2行目の画素にビデオ信号電流が入力され、3行目の画素には、ビデオ信号電圧（プリチャージ電圧）が入力される。既に、2行目の画素には、ビデオ信号電圧（プリチャージ電圧）が入力されているため、ビデオ信号電流の入力においては、すばやく定常状態にすることが出来る。

20

【 0 0 5 9 】

このような動作を繰り返すことによって、ビデオ信号電流の書き込みを正確に行うことが出来るようになる。

30

【 0 0 6 0 】

なお、図13、15において、画素1209ab、1209bbに対して、ビデオ信号電圧（プリチャージ電圧）が入力されているが、画素1209ab、1209bbの中に配置されているスイッチ1210ab、1210bbをオフにすることによって、ビデオ信号電圧（プリチャージ電圧）が画素1209ab、1209bbに入力されていないが、これに限定されない。ビデオ信号電圧（プリチャージ電圧）の入力は、各信号線1202aa、1202ab、1202ba、1202bbの電位を制御することが主な目的であるため、ビデオ信号電圧（プリチャージ電圧）が画素1209ab、1209bbに入力されていなくてもよいし、入力されていてもよい。ビデオ信号電圧（プリチャージ電圧）の入力の後、ビデオ信号電流が入力される場合は、どちらでもよい。もし、ビデオ信号電圧（プリチャージ電圧）の入力の後、ビデオ信号電流が入力されない場合は、ビデオ信号電圧（プリチャージ電圧）が画素1209ab、1209bbに入力されていることが望ましい。

40

【 0 0 6 1 】

なお、実施の形態1における、図2、8、9、5のように、ビデオ信号電圧（プリチャージ電圧）の入力が完了したあと、順次、ビデオ信号電流を入力していてもよい。ただし、この場合は、同時に2行に、電流を供給する必要があるため、1列に複数の電流源回路を配置する必要がある。

【 0 0 6 2 】

なお、本実施の形態で説明した内容は、実施の形態1で説明した構成の一部を变形したものに相当する。よって、実施の形態1で説明した内容は、本実施の形態にも適用できる。

50

【 0 0 6 3 】

したがって、ビデオ電圧信号線 1 0 1 と各信号線 1 2 0 2 aa ~ 1 2 0 2 bb とは、電圧制御スイッチ 1 2 0 4 aa ~ 1 2 0 4 bb を介して接続されているが、これに限定されない。例えば、図 1 7 に示すように、間に電圧記憶回路 1 7 0 2 aa ~ 1 7 0 2 bb を配置してもよい。このような回路を配置することにより、信号の入力のタイミングを、より柔軟にすることが出来る。

【 0 0 6 4 】

また、本発明は、これに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。

【 0 0 6 5 】

なお、本実施の形態で示す構成を、実施の形態 1 の構成と組み合わせて実施することができる。

【 0 0 6 6 】

(実施の形態 3)

本発明では、画素に、ビデオ信号電流を入力する必要がある。つまり、画像情報に応じて、電流の大きさをアナログ的に、もしくは、デジタル的に制御し、画素に入力する必要がある。ビデオ信号電流は、電流源回路から出力される。そこで、本実施の形態では、電流源回路の構成例を示す。

【 0 0 6 7 】

図 1 8 は、図 1 の構成図に対して、電流源回路に関連する部分を詳細に記載した場合の構成図を示す。同様に、図 1 1 の構成図に対して、電流源回路に関連する部分を詳細に記載した場合の構成図を図 1 9 に示す。なお、図 1 では、4 行 3 列に画素が配置されている場合について示しているが、図 1 8 や図 1 9 では、簡単のため、4 行 2 列に画素が配置されているものとするが、これに限定されない。

【 0 0 6 8 】

図 1 8 や図 1 9 では、電流源回路 1 8 0 7 a、1 8 0 7 b は、ビデオ電流信号線 1 8 0 1 に接続されている。そして、ビデオ電流信号線 1 8 0 1 を通ってビデオ電流信号が、電流源回路 1 8 0 7 a、1 8 0 7 b に入力される。その結果、電流源回路 1 8 0 7 a、1 8 0 7 b は、トランジスタのバラツキの影響を受けずに、信号線 1 0 2 a、1 0 2 b へ、ビデオ電流信号を出力することが出来るようになる。

【 0 0 6 9 】

そして、図 1 8 の場合、電流源回路 1 8 0 7 a、1 8 0 7 b は、電流制御用シフトレジスタ 1 8 0 3 によって電流制御線 1 8 0 6 a、1 8 0 6 b より制御されている。これにより、ビデオ電流信号を、電流源回路 1 8 0 7 a、1 8 0 7 b に入力するタイミングが制御される。

【 0 0 7 0 】

図 1 8 のように、電圧制御スイッチ 1 0 4 a、1 0 4 b を制御する電圧制御用シフトレジスタ 1 0 3 と、電流源回路 1 8 0 7 a、1 8 0 7 b を制御する電流制御用シフトレジスタ 1 8 0 3 とを、別々に配置することにより、各々のタイミングを独立に制御することが可能となる。特に、ビデオ電流信号線 1 8 0 1 を通って電流源回路 1 8 0 7 a、1 8 0 7 b にビデオ電流信号を入力する場合は、信号の入力を完了させる（定常状態にさせる）のに時間がかかる場合がある。その場合は、電圧制御用シフトレジスタ 1 0 3 と電流制御用シフトレジスタ 1 8 0 3 とを、別々に配置することにより、タイミングを最適化できる。

【 0 0 7 1 】

なお、図 1 0 はビデオ電圧信号線 1 0 1 a、1 0 1 b を配置してある。この図に示すように、ビデオ電圧信号線やビデオ電流信号線を複数配置してもよい。また、図 8 8 にはビデオ電圧信号線（1 0 1）を 1 本、ビデオ電流信号線を 2 本（1 8 0 1 i、1 8 0 1 j）配置しているように、ビデオ電圧信号線の数とビデオ電流信号線の数とを必ずしも一致させなくてもよい。そのような場合、電圧制御用シフトレジスタ 1 0 3 と電流制御用シフトレジスタ 1 8 0 3 とを、別々に配置することにより、タイミングを最適化することができる

10

20

30

40

50

。

【0072】

このように、図18においては、電圧制御用シフトレジスタ103と電流制御用シフトレジスタ1803とが、別々に配置されているが、この構成に限定されない。例えば、図20に示すように、電圧制御用シフトレジスタ103と電流制御用シフトレジスタ1803とを一つにまとめてもよい。例えば図20の場合は、電圧制御用シフトレジスタ103を用いて、各電圧制御スイッチ104a~104bだけでなく、各電流源回路1807a、1807bも制御している。

【0073】

これまでは、電流源回路について、内部の詳細な構成は記載せず、模式図を用いて述べてきた。そこで、電流源回路1807の内部の回路構成例を示す。まず、図21に、図18や図10から電流源回路部分を抜き出した図を示す。図21に示すように、電流源回路1807には、少なくとも、電流入力端子2102、タイミング制御端子2103、電流出力端子2101がある。電流入力端子2102は、図18の場合、ビデオ電流信号線1801に接続され、そこから電流が入力される。タイミング制御端子2103は、図18の場合、電圧制御用シフトレジスタ103や電流制御用シフトレジスタ1803と接続され、そこから、タイミング信号が入力される。電流出力端子2101は、図18の場合、電流制御スイッチ105a、105bを介して、信号線104a、104bと接続されている。

【0074】

図22は、図21で示した電流源回路1807の具体的な回路構成例を示す。スイッチ2203、2204をオン、スイッチ2205をオフにして、電流入力端子2102を通過して、電流源トランジスタ2201や保持容量2202に電流を入力する。電流の入力が完了すると、つまり、定常状態になると、保持容量2202に、適切な電圧が保存される。これにより、電流源トランジスタの電流特性がばらついていても、その影響を低減できる。そして次に、スイッチ2203、2204をオフ、スイッチ2205をオンにする。すると、電流出力端子2101を通過して、電流をスイッチ105へ出力できるようになる。

【0075】

なお、電流源回路1807を図22のような構成にした場合は、ビデオ電流信号線1801を通過して電流源回路1807に入力されるビデオ電流信号と、電流源回路1807から電流出力端子2101を通過して出力されるビデオ電流信号とでは、その大きさは、概ね等しい。これは、回路構成に依存している。つまり、ビデオ電流信号線1801を通過して電流が入力されるトランジスタと、電流出力端子2101を通過して電流を出力するトランジスタが同一であるため、電流の大きさは概ね等しくなる。

【0076】

したがって、電流源回路1807を図23のような構成にすると、電流源トランジスタ2301と、ミラートランジスタ2306とにおいて、チャンネル幅Wとチャンネル長Lとの比率を変えることによって、電流の大きさを変更することが出来る。この場合は、ビデオ電流信号線1801を通過して電流源回路1807に入力されるビデオ電流信号と、電流源回路1807から電流出力端子2101を通過して出力されるビデオ電流信号とでは、その大きさは、比例関係になる。なお、2302は保持容量、2303、2304はスイッチ、105はスイッチである。

【0077】

同様に、電流源回路1807を図24のような構成にすれば、スイッチ2403、2404をオンにして、電流入力端子2102を通過して、電流源トランジスタ2401や保持容量2402に電流を入力する場合と、スイッチ2403、2404をオフにして、電流源トランジスタ2401とマルチトランジスタ2405とがマルチゲートのトランジスタとして動作して、電流出力端子2101を通過して、電流を出力する場合とでは、電流の大きさを変えることが出来る。この場合も、ビデオ電流信号線1801を通過して電流源回路1807に入力されるビデオ電流信号と、電流源回路1807から電流出力端子2101を

10

20

30

40

50

通って出力されるビデオ電流信号とでは、その大きさは、比例関係になる。

【0078】

また同様に、電流源回路1807を図25のような構成にすれば、スイッチ2507を制御することにより、電流源トランジスタ2501とマルチトランジスタ2506とが、マルチゲートのトランジスタとして動作するかどうかを制御できる。この場合は、スイッチ2507のオンオフのタイミングにより、ビデオ電流信号線1801を通過して電流源回路1807に入力されるビデオ電流信号と、電流源回路1807から電流出力端子2101を通過してスイッチ105へ出力されるビデオ電流信号とでは、その大きさは、比例関係になる場合と、概ね等しくなる場合とがある。

【0079】

なお、図25に示したような電流源回路の動作については、特願2002-380252号出願、特願2003-055018号出願などに記載されているので、その内容と本願とを組み合わせることが出来る。なお、2503、2504、2505、105はスイッチである。

【0080】

なお、図22～25では、電流入力端子2102を流れる電流も、電流出力端子2101を流れる電流も、電流源回路の方に電流が流れているが、これに限定されない。電流入力端子2102と電流出力端子2101とで、逆方向に電流が流れていてもよい。その場合の例を、図26に示す。図26の場合、電流出力端子2101を流れる電流は、電流源回路の方に電流が流れているが、電流入力端子2102を流れる電流は、電流源回路から別の回路の方に電流が流れている。なお、2601はトランジスタ、2203、2605、2606、2607はスイッチである。

【0081】

なお、図22～26では、電流源として動作するトランジスタの極性は、Nチャンネル型であったが、これに限定されない。例として図22の構成に対して、トランジスタの極性をPチャンネル型にした場合を図27に示す。なお、2701はPチャンネル型のトランジスタ、2702は保持容量、2703、2704、2705はスイッチである。図23～26に関しても、同様な概念を適用すれば、トランジスタの極性を変更することが出来る。

【0082】

また、図22～27では、電流源回路の方に電流が流れているが、これに限定されない。電流の向きを変更した場合にも、容易に変形できる。例として、図22の構成に対して、電流の流れる向きを逆にした場合を図28に示す。なお、2801はPチャンネル型のトランジスタ、2802は保持容量、2803、2804、2805はスイッチである。このように、電流源として動作するトランジスタの極性を逆にすることにより、回路の接続関係を変更せずに、対応することが出来る。

【0083】

また、図22～28では、マルチゲートのトランジスタとして動作する場合は、マルチゲートのトランジスタで1つだと数えれば、電流源回路の中で、電流源として動作しているトランジスタは、1つだけであったが、これに限定されず、複数のトランジスタがあってもよい。例として、図22の構成に対して、電流源として動作しているトランジスタが2つある場合を図29に示す。制御線2901を制御することにより、図30に示すように、電流源トランジスタ2201bの方にビデオ電流信号線1801から電流を入力して、電流源トランジスタ2201aから電流を出力する場合と、図31に示すように、電流源トランジスタ2201aの方にビデオ電流信号線1801から電流を入力して、電流源トランジスタ2201bから電流を出力する場合とで、切り替えることが出来る。このように、電流源回路の中に、電流源トランジスタを複数配置することにより、ビデオ電流信号線1801から電流を入力する動作と、電流出力端子2101を通過して電流を出力する動作とを、同時に行うことが出来る。

【0084】

なお、電流源回路の中に、電流源トランジスタを複数配置する場合、図29では、制御

10

20

30

40

50

線 2901 を用いて、切り替えて動作させているが、これに限定されない。例えば、複数の電流源トランジスタの中から、任意で選択された電流源トランジスタを用いて、その合計電流を電流出力端子 2101 を通って出力するようにしてもよい。

【0085】

図 32 は、図 22 の構成において、電流源トランジスタが 2 つある場合の一例を示す。図 32 では、電流源トランジスタ 3201a は、ビデオ電流信号線 1801j から電流が入力される。一方、電流源トランジスタ 3201b は、ビデオ電流信号線 1801i から電流が入力される。そのため、電流源トランジスタ 3201a と電流源トランジスタ 3201b とでは、大きさの異なる電流を出力することが出来る。そして、その電流を電流出力端子 2101 を通って出力するかどうかは、スイッチ 3202a、3202b などを用いて制御する。さらに、スイッチ 3202a、3202b のオンオフをビデオ信号を用いて制御すれば、電流出力端子 2101 を通って出力される電流の大きさは、ビデオ信号に応じた大きさにすることが出来る。例えば、電流源トランジスタ 3201a が出力する電流値を I_0 、電流源トランジスタ 3201b が出力する電流値を $I_0 \times 2$ とすれば、2 ビットの階調を表現することが可能となる。電流源トランジスタの数をさらに増やし、各々の電流の大きさを 2 のべき乗にすれば、さらに多ビットの階調を表現することが出来る。

10

【0086】

また、図 29 では、電流源トランジスタが並列に配置されていたが、これに限定されない。図 33 は、電流源トランジスタを直列に配置する場合の例を示す。動作については、制御線 3301 を制御することにより、図 34 に示すように、電流源トランジスタ 2201c にビデオ電流信号線 1801 から電流を入力して、電流源トランジスタ 2201d から電流を出力する場合と、図 35 に示すように、電流源トランジスタ 2201c から電流源トランジスタ 2201d に電流を入力する場合とがある。このように配置することにより、ビデオ電流信号線 1801 から電流を入力する動作と、電流出力端子 2101 を通って電流を出力する動作とを、同時に行うことが出来る。

20

【0087】

なお、図 22 ~ 33 まで、さまざまな構成の電流源回路を示したが、これに限定されない。基本的な構成や電流源トランジスタの数や極性や配置、電流の流れる向きなどに関して、各々の構成を組み合わせたり、各々の構成における概念を組み合わせることによって、さらに別の構成を用いることが出来る。つまり、電流源回路として動作するものであれば、任意の構成を用いることができる。

30

【0088】

なお、図 22 ~ 33 まで示した電流源回路の構成に関して、各部分のスイッチの配置や数、それに伴う接続関係などについて、変形することも容易に出来る。つまり、電流源回路として正常に動作するのであれば、どこにいくつスイッチがあってもよく、複数のスイッチを 1 つにまとめたり、接続関係を変形して、スイッチを追加したり削除したりしてもよい。

【0089】

なお、電流源回路の構成については、国際公開第 03/038793 号パンフレット、国際公開第 03/038794 号パンフレット、国際公開第 03/038795 号パンフレット、国際公開第 03/038796 号パンフレット、国際公開第 03/038797 号パンフレットに記載されており、その内容を本発明に適用したり、本発明と組み合わせることが出来る。

40

【0090】

なお、本実施の形態で説明した内容は、実施の形態 1 ~ 2 で説明した構成の一部を詳細に述べたものに相当する。よって、実施の形態 1 ~ 2 で説明した内容は、本実施の形態にも適用できる。

【0091】

また、本発明は、これに限定されず、その要旨を変更しない範囲であれば様々な変形が可能である。

50

【 0 0 9 2 】

なお、本実施の形態で示す構成を、実施の形態 1 ~ 2 の構成と組み合わせて実施することができる。

【 0 0 9 3 】

(実施の形態 4)

図 18 などに示すように、画素の表示に応じた大きさのビデオ信号電圧と、画素の表示に応じた大きさのビデオ信号電流とを供給する必要がある。つまり、ビデオ信号電圧とビデオ信号電流とは、相互に関連した大きさとなっている。そこで、本実施の形態では、ビデオ信号電圧とビデオ信号電流とを供給する回路について述べる。

【 0 0 9 4 】

まず、全体の構成を図 36 に示す。電圧電流供給回路 5011 には、オリジナル信号入力端子 5012 から信号が入力される。そして、その信号に応じて、電流出力端子 5013 から信号電流が出力され、電圧出力端子 5014 から信号電圧が出力される。電流出力端子 5013 と電圧出力端子 5014 は、スイッチ 5001、5002 を介して、被設定回路 5021 の入力端子 5022 と接続されている。なお、被設定回路 5021 とは、電圧電流供給回路 5011 によって電流を設定される回路を指す。

【 0 0 9 5 】

被設定回路 5021 は、電圧電流供給回路 5011 の電圧出力端子 5014 から供給される信号電圧を使って、プリチャージされ、その後、電圧電流供給回路 5011 の電流出力端子 5013 から供給される信号電流を使って、電流設定される。その結果、被設定回路 5021 は、それを構成するトランジスタの電流特性のパラツキの影響をほとんど受けずに、正確な電流を供給できるようになる。

【 0 0 9 6 】

なお、電圧電流供給回路 5011 の電圧出力端子 5014 から供給される信号電圧は、電圧電流供給回路 5011 の電流出力端子 5013 から信号電流が供給されて、定常状態になったとき、つまり、信号の書き込みが完了したときと、概ね等しい電圧値になっている。したがって、電圧出力端子 5014 から信号電圧を供給して、プリチャージすることにより、その後、電圧電流供給回路 5011 の電流出力端子 5013 から信号電流が供給されたとき、すばやく定常状態にすることが出来る。

【 0 0 9 7 】

すなわち、電圧電流供給回路 5011 の電圧出力端子 5014 から供給される信号電圧の大きさと、電圧電流供給回路 5011 の電流出力端子 5013 から供給される信号電流の大きさは、互いに、関連した大きさとなっている。

【 0 0 9 8 】

なお、電圧電流供給回路 5011 の電流出力端子 5013 から、被設定回路 5021 の入力端子 5022 へ、電流を供給する場合、電流の向きに注意する必要がある。つまり、電圧電流供給回路 5011 から外へ電流が流れていく場合（吐き出しタイプと呼ぶことにする）は、被設定回路 5021 では、中へ電流が流れ込む（吸い込みタイプと呼ぶことにする）ようにしておく必要がある。この場合は、電圧電流供給回路 5011 の方が電位が高く、電圧電流供給回路 5011 から被設定回路 5021 の方へ電流が流れることになる。また、電圧電流供給回路 5011 から中へ電流が流れ込む場合（吸い込みタイプの場合）は、被設定回路 5021 では、外へ電流が流れていく（吐き出しタイプの場合）ようにしておく必要がある。この場合は、電圧電流供給回路 5011 の方が電位が低く、被設定回路 5021 から電圧電流供給回路 5011 の方へ電流が流れることになる。

【 0 0 9 9 】

電圧電流供給回路 5011 も被設定回路 5021 も両方が、吸い込みタイプや吐き出しタイプの場合は、電流の流れが正常ではないため、正常に動作しない。よって、電圧電流供給回路 5011 と被設定回路 5021 とについて、吸い込みタイプか吐き出しタイプかを調節しておく必要がある。

【 0 1 0 0 】

まず、被設定回路5021の構成について、簡単に述べる。図37、38に、吐き出しタイプの場合の被設定回路5021の構成例を示す。図37では、電流源として動作することになるトランジスタ3701がPチャンネル型の場合を示しており、図38では、Nチャンネル型の場合を示している。

【0101】

なお、容量素子3703、3803は、トランジスタ3701、3801のゲート・ソース間電圧を保持する機能を果たす。ただし、トランジスタ3701、3801のゲート容量などにより、省略することも可能である。

【0102】

なお、図38では、トランジスタ3801のソース端子は、被設定回路5021の入力端子5022に接続されており、定電位線に接続されていない。そのため、トランジスタ3801のソース電位は、動作状態によって、変化する可能性がある。したがって、トランジスタ3801のソース電位が変化しても、トランジスタ3801のゲート・ソース間電圧が変化しないようにするため、端子3805は、トランジスタ3801のソース端子に接続することが望ましい。また、トランジスタ3801のゲート端子とドレイン端子を接続させておいてもよい。

10

【0103】

なお、被設定回路5021のトランジスタは、電圧電流供給回路5011から供給される信号を用いて、所定の電流を供給することが出来るように、つまり、電流設定されることになる。そして、被設定回路5021のトランジスタは、別の回路や素子などに、所定の電流を供給し、電流源として動作することになる。しかし、図37、38では、簡単のため、被設定回路5021のトランジスタ(トランジスタ3701、3801)が、電流設定された後に、電流を供給する別の回路や素子などは、記載していない。

20

【0104】

また、容量素子3703、3803の電荷を保持するため、スイッチを設ける場合が多いが、図37、38では、簡単のため、記載していない。

【0105】

つまり、図37、38では、簡単のため、電圧電流供給回路5011から信号が供給されて、電流設定される状態における被設定回路5021の構成を示している。

【0106】

図39、40に、吸い込みタイプの場合の被設定回路5021の構成例を示す。図40では、電流源として動作することになるトランジスタ4001がPチャンネル型の場合を示しており、図39では、トランジスタ3901がNチャンネル型の場合を示しており、図37、38と同様に考えることが出来る。

30

【0107】

次に、図36における電圧電流供給回路5011の例を示す。電圧電流供給回路5011の場合も、電流を出力する部分に関しては、吸い込みタイプか吐き出しタイプかによって、構成が変わってくる。また、電圧を出力する部分に関しては、被設定回路5021の構成によって変わってくる。つまり、電圧電流供給回路5011の電圧出力端子5014から供給される信号電圧は、電流出力端子5013から信号電流が被設定回路5021に供給され、定常状態になったときの電圧、つまり、信号の書き込みが完了した時の電圧と、概ね等しくなっている必要がある。そのため、被設定回路5021が吸い込みタイプか吐き出しタイプか、また、トランジスタの極性はNチャンネル型かPチャンネル型か、チャンネル幅Wとチャンネル長Lの比率、などに合わせて、電圧電流供給回路5011の電圧出力端子5014から供給される信号電圧の大きさを制御する必要がある。

40

【0108】

また、電圧電流供給回路5011のオリジナル信号入力端子5012には、信号として電圧を供給してもよいし、電流を供給してもよい。そこから供給された信号に基づいて、電流出力端子5013から信号電流を供給し、電圧出力端子5014から信号電圧を供給する。

50

【0109】

一例として、被設定回路5021が、吸い込みタイプで、トランジスタ3901がNチャンネル型である、図39の構成を持つ電圧電流供給回路5011について述べる。なお、ここでは図39の構成を持つ場合を示しているが、図40の構成を持っていても構わない。図41に構成を示す。

【0110】

オリジナル信号入力端子5012からは、電圧が入力される。そして、オリジナル信号入力端子5012は、トランジスタ4101のゲート端子に接続されているため、オリジナル信号入力端子5012の電位によって、トランジスタ4101のゲート・ソース間電圧が変化し、端子4102からトランジスタ4101に流れる電流量が変化する。トランジスタ4103は、トランジスタ4101と直列に接続されているため、トランジスタ4101と同量の電流が流れる。トランジスタ4103のゲート端子とドレイン端子が接続されており、この接続されている部分にトランジスタ4105のゲート端子も接続されている。また、図41に示すように、トランジスタ4103とトランジスタ4105のソース端子またはドレイン端子は、端子4104を通して直列に接続されている。したがって、電流出力端子5013からは、トランジスタ4105のチャンネル幅 W とチャンネル長 L の比率 W_{11}/L_{11} と、トランジスタ4103のチャンネル幅 W とチャンネル長 L の比率 W_{12}/L_{12} との比率に応じた電流が出力される。ここで、 $(W_{12}/L_{12}) = \alpha \times (W_{11}/L_{11})$ とする。すると、電流出力端子5013からは、トランジスタ4101(トランジスタ4103)に流れる電流の α 倍の電流が流れることになる。

【0111】

そして、トランジスタ4101のゲート電位が、電圧出力端子5014へ出力される。なお、オリジナル信号入力端子5012から電圧出力端子5014までの間に、電圧フォロワ回路のような増幅回路などを配置してもよい。

【0112】

したがって、被設定回路5021の図39におけるトランジスタ3901には、電流出力端子5013から出力された電流が流れる。ここで、トランジスタ4101のチャンネル幅 W とチャンネル長 L の比率 W_{13}/L_{13} と、トランジスタ3901のチャンネル幅 W とチャンネル長 L の比率 W_{21}/L_{21} とを調節しておけば、電圧電流供給回路5011の電圧出力端子5014から供給される信号電圧が、電圧電流供給回路5011の電流出力端子5013から信号電流が供給されて、定常状態になったとき、つまり、信号の書き込みが完了したときと、概ね等しい電圧値になる。つまり、 $(W_{21}/L_{21}) = \alpha \times (W_{13}/L_{13})$ とすればよい。すると、トランジスタ4101のゲート・ソース間電圧と、トランジスタ3901のゲート・ソース間電圧とが、概ね等しくなり、電圧出力端子5014から信号電圧を供給することが、プリチャージしていることと概ね等しくなる。よって、プリチャージの後、電圧電流供給回路5011の電流出力端子5013から信号電流が供給されたとき、すばやく定常状態にすることが出来る。

【0113】

図41では、オリジナル信号入力端子5012は、Nチャンネル型トランジスタのゲート端子に接続されていた。次に、オリジナル信号入力端子5012が、Pチャンネル型トランジスタのゲート端子に接続されている場合の構成を図42に示す。オリジナル信号入力端子5012は、トランジスタ5101のゲート端子に接続されているため、オリジナル信号入力端子5012の電位によって、トランジスタ5101のゲート・ソース間電圧が変化し、トランジスタ5101に流れる電流量が変化し、その電流が電流出力端子5013から出力される。一方、トランジスタ6401のゲート端子は、トランジスタ5101のゲート端子に接続されている。ここで、トランジスタ5101のチャンネル幅 W とチャンネル長 L の比率 W_{31}/L_{31} と、トランジスタ6401のチャンネル幅 W とチャンネル長 L の比率 W_{32}/L_{32} とし、 $(W_{32}/L_{32}) = \alpha \times (W_{31}/L_{31})$ とすると、トランジスタ6401やトランジスタ6402には、トランジスタ5101に流れる電流の α 倍の電流が流れることになる。

【0114】

そして、トランジスタ6402のゲート電位が、増幅回路5301を介して、電圧出力端子5014へ出力される。なお、増幅回路5301は、入力電位と概ね等しい電位を出力するような回路であり、電圧フォロワ回路などが望ましい。ただし、これに限定されず、インピーダンスを変換するような機能を果たせばよい。なお、トランジスタ6402のゲート端子やドレイン端子から、十分多くの電荷が供給され、インピーダンス変換を行う必要が無い場合は、増幅回路5301を省略してもよい。

【0115】

ここで、トランジスタ6402のチャンネル幅 W とチャンネル長 L の比率 W_{33}/L_{33} と、図39におけるトランジスタ3901のチャンネル幅 W とチャンネル長 L の比率 W_{21}/L_{21} とを調節しておけば、電圧電流供給回路5011の電圧出力端子5014から供給される信号電圧が、電圧電流供給回路5011の電流出力端子5013から信号電流が供給されて、定常状態になったとき、つまり、信号の書き込みが完了したときと、概ね等しい電圧値になる。つまり、 $(W_{21}/L_{21}) = (W_{33}/L_{33}) /$ とすればよい。すると、トランジスタ6402のゲート・ソース間電圧と、トランジスタ3901のゲート・ソース間電圧とが、概ね等しくなり、電圧出力端子5014から信号電圧を供給することが、プリチャージしていることと概ね等しくなる。よって、プリチャージの後、電圧電流供給回路5011の電流出力端子5013から信号電流が供給されたとき、すばやく定常状態にすることが出来る。

【0116】

図41、42では、オリジナル信号入力端子5012には、信号として電圧が入力されていた。次に、オリジナル信号入力端子5012に電流を入力する場合の構成を示す。

【0117】

図43は、Pチャンネル型トランジスタ4301に電流を入力する場合を示す。図43は、図42の構成に、Pチャンネル型トランジスタ4301を追加した形になる。つまり、図42では、トランジスタ5101のゲート電位を、オリジナル信号入力端子5012を介して、直接制御していた。一方、図43では、Pチャンネル型トランジスタ4301に電流を流すことによって、トランジスタ5101のゲート電位を制御している。それ以外の部分については、図43は、図42と同様なので、説明を省略する。

【0118】

次に、図44は、Nチャンネル型トランジスタ4401に電流を入力する場合を示す。図44は、図41の構成に、Nチャンネル型トランジスタ4401を追加した形になる。図41の構成では、トランジスタ4101のゲート電位を、オリジナル信号入力端子5012を介して、直接制御していた。

一方、図44では、Nチャンネル型トランジスタ4401に電流を流すことによって、トランジスタ4101のゲート電位を制御している。つまり、トランジスタ4101のゲート端子は、トランジスタ4401のゲート端子に接続され、トランジスタ4103のゲート端子は、トランジスタ4105のゲート端子に接続されている。したがって、トランジスタ4401に流れる電流に応じた電流が、トランジスタ4101とトランジスタ4103とトランジスタ4105に流れる。

【0119】

ここで、トランジスタ4401のチャンネル幅 W とチャンネル長 L の比率 W_{51}/L_{51} 、トランジスタ4101のチャンネル幅 W とチャンネル長 L の比率 W_{52}/L_{52} 、トランジスタ4103のチャンネル幅 W とチャンネル長 L の比率 W_{53}/L_{53} 、トランジスタ4105のチャンネル幅 W とチャンネル長 L の比率 W_{54}/L_{54} として、 $(W_{51}/L_{51}) = (W_{52}/L_{52}) /$ 、 $(W_{53}/L_{53}) = (W_{54}/L_{54}) /$ とする。すると、トランジスタ4101、4103には、トランジスタ4401に流れる電流の 倍の電流が流れることになる。また、トランジスタ4105には、トランジスタ4103に流れる電流の 倍の電流が流れることになる。

【0120】

10

20

30

40

50

そして、トランジスタ4401のゲート電位が、増幅回路5301を介して、電圧出力端子5014へ出力される。ただし、これに限定されず、インピーダンス変換を行う必要が無い場合などは、増幅回路5301を省略してもよい。

【0121】

ここで、トランジスタ4401のチャンネル幅 W とチャンネル長 L の比率 W_{51}/L_{51} 、トランジスタ4101のチャンネル幅 W とチャンネル長 L の比率 W_{52}/L_{52} 、トランジスタ4103のチャンネル幅 W とチャンネル長 L の比率 W_{53}/L_{53} 、トランジスタ4105のチャンネル幅 W とチャンネル長 L の比率 W_{54}/L_{54} と、図39におけるトランジスタ3901のチャンネル幅 W とチャンネル長 L の比率 W_{21}/L_{21} とを調節しておけば、電圧電流供給回路5011の電圧出力端子5014から供給される信号電圧が、電圧電流供給回路5011の電流出力端子5013から信号電流が供給されて、定常状態になったとき、つまり、信号の書き込みが完了したときと、概ね等しい電圧値になる。つまり、 $(W_{21}/L_{21}) = (W_{51}/L_{51}) \times \dots$ とすればよい。すると、トランジスタ4401のゲート・ソース間電圧と、トランジスタ3901のゲート・ソース間電圧とが、概ね等しくなり、電圧出力端子5014から信号電圧を供給することが、プリチャージしていることと概ね等しくなる。よって、プリチャージの後、電圧電流供給回路5011の電流出力端子5013から信号電流が供給されたとき、すばやく定常状態にすることが出来る。

10

【0122】

次に、被設定回路5021が、吸い込みタイプで、トランジスタ4001がPチャンネル型である、図40の構成の場合の電圧電流供給回路5011について述べる。なお、簡単のため、図40において、端子3902と3904は接続され、端子4005は、被設定回路5021の入力端子5022(トランジスタ4001のソース端子)に接続されているものとする。

20

【0123】

この場合、被設定回路5021のトランジスタ4001のソース端子は、被設定回路5021の入力端子5022に接続されている。したがって、トランジスタ4001のソース電位が、状態によって変化する。つまり、電圧電流供給回路5011の電流出力端子5013から信号電流が供給されて、定常状態になったとき、つまり、信号の書き込みが完了したとき、被設定回路5021の入力端子5022の電位は、トランジスタ4001のソース端子が定常状態になったときの電位である。したがって、電圧電流供給回路5011の電圧出力端子5014から供給される信号電圧の大きさは、定常状態になったときのトランジスタ4001のソース電位の大きさにする必要がある。

30

【0124】

図45に、オリジナル信号入力端子5012に電圧を入力する場合で、オリジナル信号入力端子5012が、Pチャンネル型のトランジスタ5101のゲート端子に接続されている場合の構成を示す。

【0125】

図45は、図42におけるトランジスタ6402を、Nチャンネル型から、Pチャンネル型のトランジスタ4502に変更したものに相当する。つまり、トランジスタ5101のゲート端子は、トランジスタ6401のゲート端子とに接続されている。したがって、トランジスタ5101に流れる電流に応じた電流が、トランジスタ6401とトランジスタ4502に流れる。ここで、トランジスタ5101のチャンネル幅 W とチャンネル長 L の比率 W_{61}/L_{61} 、トランジスタ6401のチャンネル幅 W とチャンネル長 L の比率 W_{62}/L_{62} 、トランジスタ4502のチャンネル幅 W とチャンネル長 L の比率 W_{63}/L_{63} として、 $(W_{61}/L_{61}) = (W_{62}/L_{62}) / \dots$ とする。すると、トランジスタ6401には、トランジスタ5101に流れる電流の 倍の電流が流れることになる。

40

【0126】

そして、トランジスタ4502のソース電位が、増幅回路5301を介して、電圧出力端子5014へ出力される。ただし、これに限定されず、インピーダンス変換を行う必要が無い場合などは、増幅回路5301を省略してもよい。

50

【 0 1 2 7 】

ここで、トランジスタ 5 1 0 1 のチャンネル幅 W とチャンネル長 L の比率 $W 6 1 / L 6 1$ 、トランジスタ 6 4 0 1 のチャンネル幅 W とチャンネル長 L の比率 $W 6 2 / L 6 2$ 、トランジスタ 4 5 0 2 のチャンネル幅 W とチャンネル長 L の比率 $W 6 3 / L 6 3$ と、図 4 0 におけるトランジスタ 4 0 0 1 のチャンネル幅 W とチャンネル長 L の比率 $W 2 2 / L 2 2$ とを調節しておけば、電圧電流供給回路 5 0 1 1 の電圧出力端子 5 0 1 4 から供給される信号電圧が、電圧電流供給回路 5 0 1 1 の電流出力端子 5 0 1 3 から信号電流が供給されて、定常状態になったとき、つまり、信号の書き込みが完了したときと、概ね等しい電圧値になる。つまり、 $(W 2 2 / L 2 2) = (W 6 3 / L 6 3) /$ とすればよい。すると、トランジスタ 4 5 0 2 のゲート・ソース間電圧と、トランジスタ 4 0 0 1 のゲート・ソース間電圧とが、概ね等しくなり、電圧出力端子 5 0 1 4 から信号電圧を供給することが、プリチャージしていることと概ね等しくなる。よって、プリチャージの後、電圧電流供給回路 5 0 1 1 の電流出力端子 5 0 1 3 から信号電流が供給されたとき、すばやく定常状態にすることが出来る。

10

【 0 1 2 8 】

次に、図 4 6 に、オリジナル信号入力端子 5 0 1 2 に電圧を入力する場合で、オリジナル信号入力端子 5 0 1 2 が、Nチャンネル型トランジスタ 4 1 0 1 のゲート端子に接続されている場合の構成を示す。

【 0 1 2 9 】

図 4 6 は、図 4 1 の構成に、トランジスタ 4 6 0 1、4 6 0 2 を追加したものに相当する。つまり、トランジスタ 4 1 0 3 のゲート端子は、トランジスタ 4 6 0 1 のゲート端子とトランジスタ 4 1 0 5 のゲート端子とに接続されている。したがって、トランジスタ 4 1 0 1 に流れる電流に応じた電流が、トランジスタ 4 6 0 1 とトランジスタ 4 1 0 5 に流れる。ここで、トランジスタ 4 1 0 3 のチャンネル幅 W とチャンネル長 L の比率 $W 7 1 / L 7 1$ 、トランジスタ 4 6 0 1 のチャンネル幅 W とチャンネル長 L の比率 $W 7 2 / L 7 2$ 、トランジスタ 4 1 0 5 のチャンネル幅 W とチャンネル長 L の比率 $W 7 3 / L 7 3$ として、 $(W 7 1 / L 7 1) = (W 7 2 / L 7 2) / = (W 7 3 / L 7 3) /$ とする。すると、トランジスタ 4 6 0 1 には、トランジスタ 4 1 0 3 に流れる電流の 倍の電流が流れ、トランジスタ 4 1 0 5 には、トランジスタ 4 1 0 3 に流れる電流の 倍の電流が流れることになる。

20

【 0 1 3 0 】

そして、トランジスタ 4 6 0 2 のソース電位が、増幅回路 5 3 0 1 を介して、電圧出力端子 5 0 1 4 へ出力される。ただし、これに限定されず、インピーダンス変換を行う必要が無い場合などは、増幅回路 5 3 0 1 を省略してもよい。

30

【 0 1 3 1 】

ここで、トランジスタ 4 1 0 3 のチャンネル幅 W とチャンネル長 L の比率 $W 7 1 / L 7 1$ 、トランジスタ 4 6 0 1 のチャンネル幅 W とチャンネル長 L の比率 $W 7 2 / L 7 2$ 、トランジスタ 4 1 0 5 のチャンネル幅 W とチャンネル長 L の比率 $W 7 3 / L 7 3$ 、トランジスタ 4 6 0 2 のチャンネル幅 W とチャンネル長 L の比率 $W 7 4 / L 7 4$ と、図 4 0 におけるトランジスタ 4 0 0 1 のチャンネル幅 W とチャンネル長 L の比率 $W 2 2 / L 2 2$ とを調節しておけば、電圧電流供給回路 5 0 1 1 の電圧出力端子 5 0 1 4 から供給される信号電圧が、電圧電流供給回路 5 0 1 1 の電流出力端子 5 0 1 3 から信号電流が供給されて、定常状態になったとき、つまり、信号の書き込みが完了したときと、概ね等しい電圧値になる。つまり、 $(W 2 2 / L 2 2) = (W 7 4 / L 7 4) \times /$ とすればよい。すると、トランジスタ 4 6 0 2 のゲート・ソース間電圧と、トランジスタ 4 0 0 1 のゲート・ソース間電圧とが、概ね等しくなり、電圧出力端子 5 0 1 4 から信号電圧を供給することが、プリチャージしていることと概ね等しくなる。よって、プリチャージの後、電圧電流供給回路 5 0 1 1 の電流出力端子 5 0 1 3 から信号電流が供給されたとき、すばやく定常状態にすることが出来る。

40

【 0 1 3 2 】

図 4 7、4 8 は、オリジナル信号入力端子 5 0 1 2 に電流を入力する場合場合の構成を示す。図 4 7 は、図 4 5 にトランジスタ 4 7 0 1 を追加して、電流を入力できるようにしたものに相当し、図 4 8 は、図 4 6 にトランジスタ 4 8 0 1 を追加して、電流を入力でき

50

るようにしたものに相当する。

【 0 1 3 3 】

このように、図 4 1 ~ 図 4 8 までは、電圧電流供給回路 5 0 1 1 が吐き出しタイプの場合について述べてきた。しかし、被設定回路 5 0 2 1 が図 3 7 や図 3 8 のように吐き出しタイプである場合、電圧電流供給回路 5 0 1 1 を吸い込みタイプにする必要がある。ただし、吐き出しタイプの構成から吸い込みタイプの構成へ変更する場合は、トランジスタの極性を変更するだけでよい。例えば、図 4 1 を吸い込みタイプに変更した場合の構成を図 4 9 に示す。このように、各トランジスタの極性を逆にし、各配線の電位を変更すればよい。

【 0 1 3 4 】

(実施の形態 5)

実施の形態 4 では、電圧電流供給回路 5 0 1 1 と被設定回路 5 0 2 1 とが、そのまま接続されていた。本実施の形態では、図 5 0 に示すように、電圧電流供給回路 5 0 1 1 と被設定回路 5 0 2 1 との間に電流記憶回路 5 0 3 1 が挿入されている場合について述べる。

【 0 1 3 5 】

図 5 0 に示すように、電圧電流供給回路 5 0 1 1 の電流出力端子 5 0 1 3 から信号電流が電流記憶回路 5 0 3 1 に出力され、電流記憶回路 5 0 3 1 において、電流設定が行われ、電流値が記憶される。そのとき、電圧電流供給回路 5 0 1 1 の電圧出力端子 5 0 1 4 から、信号電圧が被設定回路 5 0 2 1 に出力される。そのため、被設定回路 5 0 2 1 では、プリチャージが行われることになる。その後、電流記憶回路 5 0 3 1 から被設定回路 5 0 2 1 へ信号電流が出力され、被設定回路 5 0 2 1 において電流が設定される。なお、電流記憶回路 5 0 3 1 から被設定回路 5 0 2 1 へ出力される電流の大きさは、電圧電流供給回路 5 0 1 1 の電流出力端子 5 0 1 3 から電流記憶回路 5 0 3 1 に出力される電流の大きさと比例関係にある。あるいは、電流記憶回路 5 0 3 1 の構成によっては、概ね等しくなる。

【 0 1 3 6 】

なお、図 3 6 のビデオ信号電圧とビデオ信号電流とを供給する回路の構成を用いる場合は、電圧電流供給回路 5 0 1 1 と被設定回路 5 0 2 1 とが、各々、どちらが吸い込みタイプであり、どちらが吐き出しタイプであるかを調整しておく必要があった。図 5 0 の構成の場合、電圧電流供給回路 5 0 1 1 と被設定回路 5 0 2 1 のタイプだけでなく、電流記憶回路 5 0 3 1 のタイプも合わせて考慮する必要がある。

【 0 1 3 7 】

まず、電圧電流供給回路 5 0 1 1 の電流出力端子 5 0 1 3 から電流記憶回路 5 0 3 1 へ電流が入力される時と、電流記憶回路 5 0 3 1 から被設定回路 5 0 2 1 へ電流を出力する場合とで、電流記憶回路 5 0 3 1 が同じタイプである場合について考える。例えば、電流記憶回路 5 0 3 1 が吐き出しタイプの場合、電圧電流供給回路 5 0 1 1 も被設定回路 5 0 2 1 も吸い込みタイプにする必要がある。逆に、電流記憶回路 5 0 3 1 が吸い込みタイプの場合、電圧電流供給回路 5 0 1 1 も被設定回路 5 0 2 1 も吐き出しタイプにする必要がある。つまり、電圧電流供給回路 5 0 1 1 と被設定回路 5 0 2 1 とは、同じタイプにする必要がある。

【 0 1 3 8 】

次に、電圧電流供給回路 5 0 1 1 の電流出力端子 5 0 1 3 から電流記憶回路 5 0 3 1 へ電流が入力される時と、電流記憶回路 5 0 3 1 から被設定回路 5 0 2 1 へ電流を出力する場合とで、電流記憶回路 5 0 3 1 が逆のタイプである場合について考える。例えば、電圧電流供給回路 5 0 1 1 から電流記憶回路 5 0 3 1 へ入力されるときに吐き出しタイプで、電流記憶回路 5 0 3 1 から被設定回路 5 0 2 1 へ電流を出力する時に吸い込みタイプの場合、電圧電流供給回路 5 0 1 1 は吸い込みタイプであり、被設定回路 5 0 2 1 は吐き出しタイプにする必要がある。逆に、電圧電流供給回路 5 0 1 1 から電流記憶回路 5 0 3 1 へ入力されるときに吸い込みタイプで、電流記憶回路 5 0 3 1 から被設定回路 5 0 2 1 へ電流を出力する時に吐き出しタイプの場合、電圧電流供給回路 5 0 1 1 は吐き出しタイプで

10

20

30

40

50

あり、被設定回路5021は吸い込みタイプにする必要がある。つまり、電圧電流供給回路5011と被設定回路5021とは、逆のタイプにする必要がある。

【0139】

そこでまず、電圧電流供給回路5011も被設定回路5021も吐き出しタイプの場合において、電圧電流供給回路5011の構成について述べる。なお、電圧電流供給回路5011から電流記憶回路5031へ入力される時の電流の大きさを I_1 、電流記憶回路5031から被設定回路5021へ出力される時の電流の大きさを I_2 とすると、 $I_2 = I_1 \times$ であるとする。

【0140】

まず、被設定回路5021は、吐き出しタイプであり、図37の構成と同様に、Pチャンネル型のトランジスタ3701が用いられているとする。その場合の電圧電流供給回路5011の構成の例を図51に示す。

10

【0141】

図51において、オリジナル信号入力端子5012からは、電圧が入力される。そして、オリジナル信号入力端子5012は、トランジスタ5101のゲート端子に接続されているため、オリジナル信号入力端子5012の電位によって、トランジスタ5101のゲート・ソース間電圧が変化し、トランジスタ5101に流れる電流量が変化する。

【0142】

そして、被設定回路5021のトランジスタ3701には、電流記憶回路5031から出力された電流が流れる。電流記憶回路5031から被設定回路5021へ出力された電流は、電圧電流供給回路5011から電流記憶回路5031へ入力された電流の 倍の大きさである。

20

【0143】

そして、トランジスタ5101のゲート電位が、電圧出力端子5014へ出力される。なお、オリジナル信号入力端子5012から電圧出力端子5014までの間に、電圧フォロワ回路のような増幅回路などを配置してもよい。

【0144】

ここで、トランジスタ5101のチャンネル幅 W とチャンネル長 L の比率 W_{81}/L_{82} と、トランジスタ3701のチャンネル幅 W とチャンネル長 L の比率 W_{23}/L_{23} とを調節しておけば、電圧電流供給回路5011の電圧出力端子5014から供給される信号電圧が、電流記憶回路5031から被設定回路5021へ信号電流が供給されて、定常状態になったとき、つまり、信号の書き込みが完了したときと、概ね等しい電圧値になる。つまり、 $(W_{23}/L_{23}) = \times (W_{82}/L_{82})$ とすればよい。すると、トランジスタ5101のゲート・ソース間電圧と、トランジスタ3701のゲート・ソース間電圧とが、概ね等しくなり、電圧出力端子5014から信号電圧を供給することが、プリチャージしていることと概ね等しくなる。よって、プリチャージの後、電流記憶回路5031の電流出力端子5033から信号電流が供給されたとき、すばやく定常状態にすることが出来る。

30

【0145】

次に、図51では、オリジナル信号入力端子5012は、Pチャンネル型トランジスタのゲート端子に接続されていたが、オリジナル信号入力端子5012が、Nチャンネル型トランジスタのゲート端子に接続されている場合の構成を図52に示す。

40

【0146】

図52において、オリジナル信号入力端子5012は、トランジスタ4101のゲート端子に接続されているため、オリジナル信号入力端子5012の電位によって、トランジスタ4101のゲート・ソース間電圧が変化し、端子4102からトランジスタ4101に流れる電流量が変化する。したがって、トランジスタ4101に流れる電流に応じた電流が、トランジスタ4103とトランジスタ4105に流れる。一方、トランジスタ4105のゲート端子は、トランジスタ4103のゲート端子に接続されている。また、トランジスタ4103およびトランジスタ4105のソース端子またはドレイン端子は、端子4104によって接続されている。ここで、トランジスタ4103のチャンネル幅 W とチャネ

50

ル長 L の比率 W_{91}/L_{91} と、トランジスタ4105のチャンネル幅 W とチャンネル長 L の比率 W_{92}/L_{92} とし、 $(W_{92}/L_{92}) = \alpha \times (W_{91}/L_{91})$ とすると、トランジスタ4105には、トランジスタ4101やトランジスタ4103に流れる電流の α 倍の電流が流れることになる。

【0147】

そして、トランジスタ4105のゲート電位が、増幅回路5301を介して、電圧出力端子5014へ出力される。ただし、これに限定されず、インピーダンス変換を行う必要が無い場合などは、増幅回路5301を省略してもよい。

【0148】

ここで、トランジスタ4103のチャンネル幅 W とチャンネル長 L の比率 W_{91}/L_{91} 、トランジスタ4105のチャンネル幅 W とチャンネル長 L の比率 W_{92}/L_{92} と、図37におけるトランジスタ3901のチャンネル幅 W とチャンネル長 L の比率 W_{23}/L_{23} とを調節しておけば、電圧電流供給回路5011の電圧出力端子5014から供給される信号電圧が、電圧電流供給回路5011の電流出力端子5013から信号電流が供給されて、定常状態になったとき、つまり、信号の書き込みが完了したときと、概ね等しい電圧値になる。つまり、 $(W_{23}/L_{23}) = \alpha \times (W_{91}/L_{91})$ とすればよい。すると、トランジスタ4105のゲート・ソース間電圧と、トランジスタ3701のゲート・ソース間電圧とが、概ね等しくなり、電圧出力端子5014から信号電圧を供給することが、プリチャージしていることと概ね等しくなる。よって、プリチャージの後、電圧電流供給回路5011の電流出力端子5013から信号電流が供給されたとき、すばやく定常状態にすることが出来る。

【0149】

図51、52では、オリジナル信号入力端子5012には、信号として電圧が入力されていた。次に、オリジナル信号入力端子5012に電流を入力する場合の構成を示す。

【0150】

図53は、Pチャンネル型トランジスタ5303に電流を入力する場合を示す。図53は、図51の構成に、Pチャンネル型トランジスタ5303を追加した形になる。つまり、図51では、トランジスタ5101のゲート電位を、オリジナル信号入力端子5012を介して、直接制御していた。一方、図53では、Pチャンネル型トランジスタ5303に電流を流すことによって、トランジスタ5101のゲート電位を制御している。それ以外の部分については、図53は、図51と同様なので、説明を省略する。なお、図53において、5102はトランジスタ5101とトランジスタ5303とを結ぶ配線である。

【0151】

図53では、オリジナル信号入力端子5012から、Pチャンネル型トランジスタ5303に電流を入力する場合を示した。次に、図54に、Nチャンネル型トランジスタ5401に電流を入力する場合を示す。

【0152】

図54は、図52の構成に、Nチャンネル型トランジスタ5401を追加した形になる。図52では、トランジスタ4101のゲート電位を、オリジナル信号入力端子5012を介して、直接制御していた。一方、図53では、増幅回路5301に電流を流すことによって、トランジスタ4101のゲート電位を制御している。つまり、トランジスタ4101のゲート端子は、トランジスタ5301のゲート端子に接続されている。したがって、トランジスタ5401に流れる電流に応じた電流が、トランジスタ4101とトランジスタ4103とトランジスタ4105に流れる。それ以外の部分については、図54は、図53と同様なので、説明を省略する。

【0153】

次に、被設定回路5021が、吐き出しタイプで、トランジスタ3801がNチャンネル型である、図38の構成の場合の電圧電流供給回路5011について述べる。なお、簡単のため、図38において、端子3702と3704は接続され、端子3805は、被設定回路5021の入力端子5022（トランジスタ3801のソース端子）に接続されてい

10

20

30

40

50

るものとする。

【0154】

この場合、被設定回路5021のトランジスタ3801のソース端子は、被設定回路5021の入力端子5022に接続されている。したがって、トランジスタ3801のソース電位が、状態によって変化する。つまり、電圧電流供給回路5011の電流出力端子5013から信号電流が供給されて、定常状態になったとき、つまり、信号の書き込みが完了したとき、被設定回路5021の入力端子5022の電位は、トランジスタ3801のソース端子が定常状態になったときの電位である。したがって、電圧電流供給回路5011の電圧出力端子5014から供給される信号電圧の大きさは、定常状態になったときのトランジスタ3801のソース電位の大きさにする必要がある。

10

【0155】

そこで、オリジナル信号入力端子5012に電圧を入力する場合で、オリジナル信号入力端子5012が、Pチャネル型トランジスタ5101のゲート端子に接続されている場合の構成を図55に示す。

【0156】

図55では、トランジスタ5101のゲート端子は、トランジスタ5503のゲート端子とに接続され、トランジスタ5506のゲート端子は、トランジスタ5508のゲート端子とに接続されている。また、トランジスタ5101、5503、5509は配線5504によって図55のように接続されており、トランジスタ5508と5506は配線5507によって図55のように接続されている。したがって、トランジスタ5101に流れる電流に応じた電流が、トランジスタ5503とトランジスタ5506とトランジスタ5508とに流れる。ここで、トランジスタ5101のチャンネル幅 W とチャンネル長 L の比率 $W101/L101$ 、トランジスタ5503のチャンネル幅 W とチャンネル長 L の比率 $W102/L102$ 、トランジスタ5506のチャンネル幅 W とチャンネル長 L の比率 $W103/L103$ 、トランジスタ5508のチャンネル幅 W とチャンネル長 L の比率 $W104/L104$ として、 $(W101/L101) = (W102/L102) / \mu$ 、 $(W103/L103) = (W104/L104) / \mu$ とする。すると、トランジスタ5509には、トランジスタ5101に流れる電流の $(\mu \times \quad)$ 倍の電流が流れることになる。

20

【0157】

そして、トランジスタ5509のソース電位が、増幅回路5301を介して、電圧出力端子5014へ出力される。ただし、これに限定されず、インピーダンス変換を行う必要が無い場合などは、増幅回路5301を省略してもよい。

30

【0158】

ここで、トランジスタ5101のゲート端子は、トランジスタ5503のゲート端子とに接続され、トランジスタ5506のゲート端子は、トランジスタ5508のゲート端子とに接続されている。したがって、トランジスタ5101に流れる電流に応じた電流が、トランジスタ5503とトランジスタ5506とトランジスタ5508とに流れる。ここで、トランジスタ5101のチャンネル幅 W とチャンネル長 L の比率 $W101/L101$ 、トランジスタ5503のチャンネル幅 W とチャンネル長 L の比率 $W102/L102$ 、トランジスタ5506のチャンネル幅 W とチャンネル長 L の比率 $W103/L103$ 、トランジスタ5508のチャンネル幅 W とチャンネル長 L の比率 $W104/L104$ 、トランジスタ5509のチャンネル幅 W とチャンネル長 L の比率 $W105/L105$ と、図38におけるトランジスタ3801のチャンネル幅 W とチャンネル長 L の比率 $W23/L23$ とを調節しておけば、電圧電流供給回路5011の電圧出力端子5014から供給される信号電圧が、電圧電流供給回路5011の電流出力端子5013から信号電流が供給されて、定常状態になったとき、つまり、信号の書き込みが完了したときと、概ね等しい電圧値になる。つまり、 $(W23/L23) = (W105/L105) / (\mu \times \quad)$ とすればよい。すると、トランジスタ5509のゲート・ソース間電圧と、トランジスタ3801のゲート・ソース間電圧とが、概ね等しくなり、電圧出力端子5014から信号電圧を供給することが、プリチャージしていることと概ね等しくなる。よって、プリチャージの後、電圧電流供給回路5011

40

50

の電流出力端子5013から信号電流が供給されたとき、すばやく定常状態にすることが出来る。

【0159】

次に、オリジナル信号入力端子5012に電圧を入力する場合で、オリジナル信号入力端子5012が、Nチャンネル型のトランジスタ4101のゲート端子に接続されている場合の構成を図56に示す。

【0160】

図56では、トランジスタ4103のゲート端子は、トランジスタ4105のゲート端子とに接続されており、トランジスタ5601のゲート端子は、トランジスタ4101のゲート端子とに接続されている。また、トランジスタ4103、4105、5602は端子4104によって接続され、トランジスタ4101とトランジスタ5601は端子4102によって接続されている。したがって、トランジスタ4101に流れる電流に応じた電流が、トランジスタ4103とトランジスタ4805とトランジスタ5601に流れる。ここで、トランジスタ4101のチャンネル幅 W とチャンネル長 L の比率 W_{111}/L_{111} 、トランジスタ4103のチャンネル幅 W とチャンネル長 L の比率 W_{112}/L_{112} 、トランジスタ4105のチャンネル幅 W とチャンネル長 L の比率 W_{113}/L_{113} 、トランジスタ5601のチャンネル幅 W とチャンネル長 L の比率 W_{114}/L_{114} として、 $(W_{112}/L_{112})=(W_{113}/L_{113})/$ 、 $(W_{111}/L_{111})=(W_{115}/L_{115})/$ とする。すると、トランジスタ4805には、トランジスタ4103やトランジスタ4101に流れる電流の 倍の電流が流れ、トランジスタ5601やトランジスタ5602には、トランジスタ4103に流れる電流の 倍の電流が流れることになる。

【0161】

そして、トランジスタ5602のソース電位が、増幅回路5301を介して、電圧出力端子5014へ出力される。ただし、これに限定されず、インピーダンス変換を行う必要が無い場合などは、増幅回路5301を省略してもよい。

【0162】

ここで、トランジスタ4101のチャンネル幅 W とチャンネル長 L の比率 W_{111}/L_{111} 、トランジスタ4103のチャンネル幅 W とチャンネル長 L の比率 W_{112}/L_{112} 、トランジスタ4105のチャンネル幅 W とチャンネル長 L の比率 W_{113}/L_{113} 、トランジスタ5601のチャンネル幅 W とチャンネル長 L の比率 W_{114}/L_{114} 、トランジスタ5602のチャンネル幅 W とチャンネル長 L の比率 W_{115}/L_{115} と、図38におけるトランジスタ3801のチャンネル幅 W とチャンネル長 L の比率 W_{23}/L_{23} とを調節しておけば、電圧電流供給回路5011の電圧出力端子5014から供給される信号電圧が、電圧電流供給回路5011の電流出力端子5013から信号電流が供給されて、定常状態になったとき、つまり、信号の書き込みが完了したときと、概ね等しい電圧値になる。つまり、 $(W_{23}/L_{23})=(W_{115}/L_{115})\times /$ とすればよい。すると、トランジスタ5602のゲート・ソース間電圧と、トランジスタ3801のゲート・ソース間電圧とが、概ね等しくなり、電圧出力端子5014から信号電圧を供給することが、プリチャージしていることと概ね等しくなる。よって、プリチャージの後、電圧電流供給回路5011の電流出力端子5013から信号電流が供給されたとき、すばやく定常状態にすることが出来る。

【0163】

次に、図57、58では、オリジナル信号入力端子5012に電流を入力する場合場合の構成を示す。図57は、図55に、トランジスタ5701を追加して、電流を入力できるようにしたものに相当し、図58は、図56に、トランジスタ5801を追加して、電流を入力できるようにしたものに相当する。なお、図57で、端子5504はトランジスタ5101、5701、5503、5509を接続し、端子5507はトランジスタ5506とトランジスタ5508とを接続する。また、図58で、端子4104は、トランジスタ4105、4103、5602を接続し、端子4102はトランジスタ4101、5801、5601を接続する。

【 0 1 6 4 】

このように、図 5 1 ~ 図 5 8 までは、電圧電流供給回路 5 0 1 1 が吐き出しタイプの場合について述べてきた。しかし、被設定回路 5 0 2 1 が図 3 9 や図 4 0 のように吸い込みタイプである場合、電圧電流供給回路 5 0 1 1 を吸い込みタイプにする必要がある。ただし、吐き出しタイプの構成から吸い込みタイプの構成へ変更する場合は、トランジスタの極性を変更するだけでよい。例えば、図 5 2 を吸い込みタイプに変更した場合の構成を図 5 9 に示す。このように、各トランジスタの極性を逆にし、各配線の電位を変更すればよい。

【 0 1 6 5 】

次に、図 5 0 における電流記憶回路 5 0 3 1 の構成について述べる。電流記憶回路 5 0 3 1 は、記憶電流入力端子 5 0 3 2 から電流が入力され、記憶電流出力端子 5 0 3 3 から電流が出力されるような回路であれば、どのような構成でもよい。

10

【 0 1 6 6 】

例としては、図 2 1 や図 2 2 ~ 図 3 5 において述べたような構成を用いればよい。つまり、図 2 1 における電流入力端子 2 1 0 2 が、図 5 0 における電流記憶回路 5 0 3 1 の記憶電流入力端子 5 0 3 2 に相当し、図 2 1 における電流出力端子 2 1 0 1 が、図 5 0 における電流記憶回路 5 0 3 1 の記憶電流出力端子 5 0 3 3 に相当する。

【 0 1 6 7 】

図 6 0 では、図 2 2 の構成を用いた場合の電流記憶回路 5 0 3 1 の一例を示す。同様に、図 6 1 は、図 2 8 の構成を用いた場合の電流記憶回路の一例を、図 6 2 は、図 2 6 の構成を用いた場合の電流記憶回路の一例を示す。図 6 0 の場合、吸い込みタイプに相当し、図 6 1 の場合、吐き出しタイプに相当し、図 6 2 の場合、電流を入力する部分と出力する部分とで、タイプが逆になっているものに相当する。

20

【 0 1 6 8 】

このように、吸い込みタイプか吐き出しタイプかなどを適宜選択することにより、電流記憶回路 5 0 3 1 を構成することが出来る。

【 0 1 6 9 】

(実施の形態 6)

実施の形態 5 での図 5 0 では、間に電流記憶回路 5 0 3 1 が挿入されている場合について述べた。つまり、図 5 0 では、電圧電流供給回路 5 0 1 1 から電流記憶回路 5 0 3 1 へは、電流出力端子 5 0 1 3 から信号電流が供給されていた。しかし、これに限定されず、図 3 6 に示したように、信号電圧と信号電流とを入力するようにしてもよい。

30

【 0 1 7 0 】

そこで、図 6 3 に、電流記憶回路 5 0 3 1 に、信号電圧と信号電流とを入力する場合について示す。

【 0 1 7 1 】

図 6 3 に示すように、電圧電流供給回路 5 0 4 1 の第 2 電圧出力端子 6 3 4 3 から信号電圧がスイッチ 6 3 0 3 を経由して電流記憶回路 5 0 3 1 に出力される。これは、プリチャージ動作に相当する。その後、電流出力端子 5 0 4 3 からスイッチ 5 0 0 3 を経由して、信号電流が電流記憶回路 5 0 3 1 に出力され、電流記憶回路 5 0 3 1 において、電流設定が行われ、電流値が記憶される。そして、電圧電流供給回路 5 0 4 1 の電圧出力端子 5 0 4 4 から、スイッチ 5 0 0 1 と出力端子 5 0 2 2 を経由して、被設定回路 5 0 2 1 に信号電圧が出力される。そのため、被設定回路 5 0 2 1 では、プリチャージが行われることになる。その後、電流記憶回路 5 0 3 1 からスイッチ 5 0 0 2 と出力端子 5 0 2 2 を経由して被設定回路 5 0 2 1 へ信号電流が出力され、被設定回路 5 0 2 1 において電流が設定される。なお、電流記憶回路 5 0 3 1 から被設定回路 5 0 2 1 へ出力される電流の大きさは、電圧電流供給回路 5 0 4 1 の電流出力端子 5 0 4 3 から電流記憶回路 5 0 3 1 に出力される電流の大きさと比例関係にある。あるいは、電流記憶回路 5 0 3 1 の構成によっては、概ね等しくなる。

40

【 0 1 7 2 】

50

なお、図 6 3 においては、電流記憶回路 5 0 3 1 と被設定回路 5 0 2 1 とが、各々、吸い込みタイプであるか吐き出しタイプであるかによって、また、回路を構成するトランジスタの極性などによって、電圧電流供給回路 5 0 4 1 の電圧出力端子 5 0 4 4 と第 2 電圧出力端子 6 3 4 3 とで、出力される電圧値を調整する必要がある。

【 0 1 7 3 】

つまり、電圧電流供給回路 5 0 4 1 の電圧出力端子 5 0 4 4 から出力される電圧は、被設定回路 5 0 2 1 に対するプリチャージ動作になるような大きさにし、電圧電流供給回路 5 0 1 1 の第 2 電圧出力端子 6 3 1 3 から出力される電圧は、電流記憶回路 5 0 3 1 に対するプリチャージ動作になるような大きさにする。

【 0 1 7 4 】

各々の電圧の大きさは、実施の形態 4、5 において述べたのと同様に、各トランジスタを流れる電流値とトランジスタの極性とトランジスタのサイズと、吸い込みタイプであるか吐き出しタイプであるか、などを調整することにより、生成することが出来る。

【 0 1 7 5 】

そこでまず、電圧電流供給回路 5 0 4 1 も被設定回路 5 0 2 1 も吐き出しタイプである場合における、電圧電流供給回路 5 0 4 1 の構成について述べる。

【 0 1 7 6 】

まず、被設定回路 5 0 2 1 は、吐き出しタイプであり、Pチャネル型トランジスタ 3 7 0 1 が用いられている図 3 7 の構成であるとする。また、電流記憶回路 5 0 3 1 は、吸い込みタイプであり、図 6 0 の構成であるとする。その場合の電圧電流供給回路 5 0 4 1 の構成の例を図 6 4 に示す。これは、図 5 1 の構成に対して、トランジスタ 6 4 0 1、6 4 0 2 を追加した構成、もしくは、図 4 2 の構成に対して、トランジスタ 6 4 0 1 のゲート電圧を出力するようにした構成であると言える。したがって、各トランジスタを流れる電流値とトランジスタサイズとを調節することにより、最適な信号電圧（プリチャージ電圧）を出力することができる。

【 0 1 7 7 】

次に、オリジナル信号入力端子 5 0 4 2 が、Nチャネル型トランジスタのゲート端子に接続されている場合の構成を図 6 5 に示す。これは、図 5 2 の構成に対して、トランジスタ 4 1 0 1 のゲート電圧を出力するようにした構成であると言える。したがって、各トランジスタを流れる電流値とトランジスタサイズとを調節することにより、最適な信号電圧（プリチャージ電圧）を出力することができる。

【 0 1 7 8 】

次に、オリジナル信号入力端子 5 0 4 2 に電流を入力する場合の構成を示す。図 6 6 に、Pチャネル型トランジスタ 5 3 0 3 に電流を入力する場合を示す。図 6 6 は、図 6 4 の構成に、Pチャネル型トランジスタ 5 3 0 3 を追加した形になる。つまり、図 6 4 では、トランジスタ 5 1 0 1 のゲート電位を、オリジナル信号入力端子 5 0 1 2 を介して、直接制御していた。一方、図 6 6 では、Pチャネル型トランジスタ 5 3 0 3 に電流を流すことによって、トランジスタ 5 1 0 1 のゲート電位を制御している。それ以外の部分については、図 6 6 は、図 6 4 と同様なので、説明を省略する。

【 0 1 7 9 】

なお、増幅回路 5 3 0 1 a、5 3 0 1 b を介して、電圧出力端子 5 0 4 4 や第 2 電圧出力端子 6 3 4 3 へ出力されているが、これに限定されず、インピーダンス変換を行う必要が無い場合は、省略してもよい。

【 0 1 8 0 】

次に、図 6 7 に、Nチャネル型トランジスタ 5 4 0 1 に電流を入力する場合を示す。図 6 7 は、図 6 5 の構成に、Nチャネル型トランジスタ 5 4 0 1 を追加した形になる。よって、詳しい説明を省略する。

【 0 1 8 1 】

次に、被設定回路 5 0 2 1 が、吐き出しタイプで、トランジスタ 3 8 0 1 が Nチャネル型である、図 3 8 の構成の場合の電圧電流供給回路 5 0 4 1 について述べる。なお、簡単

10

20

30

40

50

のため、図 38 において、端子 3702 と 3704 は接続され、端子 3705 は、被設定回路 5021 の入力端子 5022 (トランジスタ 3801 のソース端子) に接続されているものとする。

【0182】

そこでまず、オリジナル信号入力端子 5042 に電圧を入力する場合で、オリジナル信号入力端子 5042 が、Pチャネル型トランジスタ 5101 のゲート端子に接続されている場合の構成を図 68 に示す。これは、図 55 の構成に対して、トランジスタ 5506 のゲート電圧を出力するようにした構成であると言える。したがって、各トランジスタを流れる電流値とトランジスタサイズとを調節することにより、最適な信号電圧 (プリチャージ電圧) を出力することができる。

10

【0183】

なお、増幅回路 5301a、5301b を介して、電圧出力端子 5044 や第 2 電圧出力端子 6343 へ出力されているが、これに限定されず、インピーダンス変換を行う必要が無い場合は、省略してもよい。

【0184】

次に、オリジナル信号入力端子 5042 に電圧を入力する場合で、オリジナル信号入力端子 5042 が、Nチャネル型トランジスタ 4101 のゲート端子に接続されている場合の構成を図 69 に示す。これは、図 56 の構成に対して、トランジスタ 4101 のゲート電圧を出力するようにした構成であると言える。したがって、各トランジスタを流れる電流値とトランジスタサイズとを調節することにより、最適な信号電圧 (プリチャージ電圧) を出力することができる。

20

【0185】

次に、オリジナル信号入力端子 5042 に電流を入力する場合の構成を図 70、71 に示す。図 70 は、図 68 に、トランジスタ 5701 を追加して、電流を入力できるようにしたものに相当し、図 71 は、図 69 に、トランジスタ 5801 を追加して、電流を入力できるようにしたものに相当する。

【0186】

なお、図 64 において、第 2 電圧出力端子 6343 には、ゲート端子の電圧を出力しているが、これに限定されない。、図 64 のトランジスタ 6402 の極性を電流記憶回路 5031 のトランジスタの極性に合わせて変更することによって図 72 のトランジスタ 7202 のように構成し、さらにそのソース端子の電圧を第 2 電圧出力端子 6343 に出力するようにしてもよい。これは、図 65 ~ 71 についても同様である。

30

【0187】

このように、図 64 ~ 図 72 までは、電圧電流供給回路 5011 も被設定回路 5021 も吐き出しタイプの場合について述べてきた。しかし、被設定回路 5021 が図 39 や図 40 のように吸い込みタイプである場合、電圧電流供給回路 5011 を吸い込みタイプにする必要がある。ただし、吐き出しタイプの構成から吸い込みタイプの構成へ変更する場合は、トランジスタの極性を変更するだけでよい。例えば、図 65 を吸い込みタイプに変更した場合の構成を図 73 に示す。このように、各トランジスタの極性を逆にし、各配線の電位を変更すればよい。

40

【0188】

このように、吸い込みタイプか吐き出しタイプかなどを適宜選択することにより、様々な構成にすることが出来る。

【0189】

(実施の形態 7)

実施の形態 5 での図 50 では、電圧電流供給回路 5011 と被設定回路 5021 に間に電流記憶回路 5031 が挿入されている場合について述べた。これにより、信号電流を一旦、記憶したのち、被設定回路 5021 に電流を入力していた。そこで、同様に、電圧電流供給回路 5011 と被設定回路 5021 に間に、電圧記憶回路 5051 を入れてもよい。図 50 の構成に対して、電圧記憶回路 5051 を配置した場合の構成を、図 74 に示す

50

【0190】

ただし、これに限定されず、図63の構成に対して電圧記憶回路5051を配置してもよい。同様に、図63の構成において、電圧電流供給回路5041と電流記憶回路5031の間に、電圧記憶回路5051を配置してもよい。

【0191】

次に、電圧記憶回路5051の構成例を図75に示す。電圧値を記憶する素子として、容量素子7501が配置されている。そして、増幅回路7502が配置されている。なお、増幅回路7502は、入力電位と概ね等しい電位を出力するような回路であり、電圧フォロワ回路などが望ましい。ただし、これに限定されず、インピーダンスを変換するよう

10

【0192】

なお、図76に示すように、容量素子(7501a、7501b)や増幅回路(7502a、7502b)を複数配置しても良い。その場合、図77に示すように、記憶電圧入力端子5052から電圧を入力しながら、記憶電圧出力端子5053から、別の大きさの電圧を出力することが出来る。これにより、動作タイミングをより柔軟に制御することが出来る。

【0193】

同様に、図78に示すように、容量素子(7501a、7501b)を複数配置しても

20

【0194】

(実施の形態8)

実施の形態4～7では、ビデオ信号電圧とビデオ信号電流とを供給する回路について述べた。本実施の形態では、実施の形態4～7で述べた、ビデオ信号電圧とビデオ信号電流とを供給する回路を、実施の形態1～3で述べた構成に適用する場合の対応関係について述べる。

【0195】

まず、図18、19、10、20などの構成において、ビデオ電流信号線1801やビデオ電圧信号線101に、信号を供給する部分に、実施の形態4～7で述べた、ビデオ信号電圧とビデオ信号電流とを供給する回路を配置した場合の構成を図79に示す。

30

【0196】

これは、図50の構成を適用した場合に相当する。つまり、図50における電圧電流供給回路5011が、図79の電圧電流供給回路5011に相当し、図50における被設定回路5021が、図18、19、10、20などにおける画素に相当し、図50における電流記憶回路5031が、図79における電流源回路1807aに相当する。このような構成にすることにより、画素や電流源回路1807aに、適切な信号を供給することが出来る、かつ、素早く定常状態にすることが出来る。

【0197】

なお、図19や図17のように、電圧記憶回路1101a～1101b、1702aa～1702bbなどが配置されている場合は、図74の構成を適用したものに相当する。つまり、図74における電圧記憶回路5051が、図19や図17における電圧記憶回路1101a～1101b、1702aa～1702bbに相当する。

40

【0198】

なお、図79において、電流源1807aが、図32のような構成の場合、ビデオ電流信号線は、ビデオ電流信号線1801iやビデオ電流信号線1801jなどのように、複数本あることになる。その場合の構成図を図88、図89に示す。オリジナル電圧信号入力端子8812aから電圧信号を入力し、オリジナル信号入力端子8812bから、電流を供給するために電圧信号を入力する。すると、ビデオ電流信号線1801iやビデオ電流信号線1801jから、電流が出力される。なお、図88、図89では、ビデオ電流信号線が

50

2本の場合について示しているが、これに限定されない。

【0199】

なお、電圧電流供給回路8811の中のトランジスタ8901やトランジスタ8902などのチャンネル幅Wとチャンネル長Lの比率については、各々のトランジスタでのチャンネル幅Wとチャンネル長Lの比率を足しあわせたものが、ビデオ電流信号線1801iやビデオ電流信号線1801jから出力される電流値の合計に相当する。したがって、ビデオ電流信号線の合計に流れる電流の大きさが最も大きい場合で想定して、チャンネル幅Wとチャンネル長Lの比率を決定すればよい。その結果、ビデオ電流信号線の合計に流れる電流の大きさが最も大きい場合は、オリジナル電圧信号入力端子8812aから入力する電圧信号の大きさは、オリジナル信号入力端子8812bから入力する電圧信号と概ね等しくすることができ、つまり、図79などの場合に当てはめると、図88や図89の場合は、ビデオ電流信号線の合計に流れる電流の大きさが最も大きい場合を想定して、チャンネル幅Wとチャンネル長Lの比率を決定すればよい。

10

【0200】

なお、既に述べたように、トランジスタ8901やトランジスタ8902では、2のべき乗で、出力する電流の大きさが大きくなる。よって、チャンネル長Lは、トランジスタ8901やトランジスタ8902などでは同じ大きさにして、チャンネル幅Wを2のべき乗にしていけばよい。そして、各々のトランジスタでのチャンネル幅Wとチャンネル長Lの比率を足しあわせたもので、電流源回路1807aや画素などのトランジスタのチャンネル幅Wとチャンネル長Lを決定すればよい。その結果、ビデオ電流信号線の合計に流れる電流の大きさが、もっとも大きい場合は、オリジナル電圧信号入力端子8812aから入力する電圧信号の大きさは、オリジナル信号入力端子8812bから入力する電圧信号と概ね等しくすることが出来る。

20

【0201】

次に、図63の構成を適用した場合を、図80に示す。このような構成にすることにより、画素や電流源回路1807aに、適切な信号を供給することが出来、かつ、素早く定常状態にすることが出来る。

【0202】

次に、図36の構成を適用した場合を、図81に示す。このような構成にすることにより、電流源回路1807aに、適切な信号を供給することが出来、かつ、素早く定常状態にすることが出来る。なお、図81において、オリジナル信号入力端子5012とビデオ電圧信号線101とを接続して、同じ大きさの信号電圧を加えるようにしてもよい。

30

【0203】

このように、実施の形態4～7で述べた、ビデオ信号電圧とビデオ信号電流とを供給する回路を、実施の形態1～3で述べた構成に自由に適用することが出来る。

【0204】

(実施の形態9)

本実施の形態では、画素の構成例を示す。図82に、吐き出しタイプで、Pチャンネル型トランジスタを用いた場合の構成例を示す。まず、図83に示すように、信号電圧を入力する場合は、スイッチ1209aaをオンにする。ただし、オフでも構わない。次に、図84に示すように、信号電流を入力する。

40

【0205】

そしてその後、負荷であるEL素子8205aaに電流を供給し、発光させることが出来る。なお、負荷は、EL素子8205aaに限定されない。抵抗などのような素子、トランジスタ、EL素子、その他の発光素子、トランジスタと容量とスイッチなどで構成された電流源回路、任意の回路が接続された配線でもよいし、信号線、信号線とそれに接続された画素でもよい。その画素には、EL素子やFEDで用いる素子、その他電流を流して駆動する素子を含んでいてもよい。

【0206】

なお、画素の構成は、少なくとも電流を入力するような方式であれば、どのような構成で

50

もよい。例えば、図 8 5 や図 8 6 のような構成でもよい。また、吐き出しタイプか吸い込みタイプかを変更したり、トランジスタの極性を変更することなどにより、様々な構成にすることが出来る。また、図 2 2 ~ 2 8 のような電流源回路と同様な構成を用いてもよい。

【 0 2 0 7 】

なお、様々な容量素子は、トランジスタのゲート容量などで代用することにより、省略することが出来る。

【 0 2 0 8 】

なお、これまで述べてきたさまざまな構成において、スイッチが各部分に配置されているが、その配置場所は、すでに述べた場所に限定されない。正常に動作する場所であれば、任意の場所にスイッチを配置することが可能である。

【 0 2 0 9 】

なお、スイッチは、電氣的スイッチでも機械的なスイッチでも何でも良い。電流の流れを制御できるものなら、何を用いても良い。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、L D D 領域を設けているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（Vss、Vgnd、0Vなど）に近い状態で動作する場合はnチャンネル型を、反対に、ソース端子の電位が、高電位側電源（Vddなど）に近い状態で動作する場合はpチャンネル型を用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、nチャンネル型とpチャンネル型の両方を用いて、C M O S 型のスイッチにしてもよい。

【 0 2 1 0 】

なお、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミックス基板、ステンレス基板、プラスチックやアクリルに代表される可撓性を有する基板、単結晶基板、S O I 基板などの基板を用いて、これらの基板の上に図 1、図 7 9 または図 8 2 など示したような回路をすべて形成しても良い。あるいは、図 1、図 7 9 または図 8 2 などにおける回路の一部をある基板上に形成し、図 1、図 7 9 または図 8 2 における回路の別の一部を、別の基板上に形成してもよい。つまり、図 1、図 7 9 または図 8 2 における回路の全てが同じ基板上に形成されていなくてもよい。例えば、画素とゲート線駆動回路とは、ガラス基板上にT F Tを用いて形成し、信号線駆動回路（もしくはその一部）は、単結晶基板上に形成し、そのI C チップをC O G (Chip On Glass)で接続してガラス基板上に配置してもよい。あるいは、そのI C チップをT A B (Tape Auto Bonding)やプリント基板を用いてガラス基板と接続してもよい。

【 0 2 1 1 】

(実施の形態 1 0)

本実施の形態 1 ~ 3 では、画素へ、信号電圧をプリチャージとして入力して、その後、信号電流を入力する、という動作の場合について述べた。ただし、これに限定されない。

【 0 2 1 2 】

例えば、信号電流を入力せずに、信号電圧だけを画素や信号線に入力して、動作させてもよい。ただしこの場合、各画素の輝度がばらついてしまう。しかし、動画などを表示する場合であれば、輝度のばらつきは目立たない。よって、信号電圧のみ入力して、信号電流を画素や信号線に入力しないようにすれば、各電流源部分で流れる電流を止めることができるので、消費電力を低減できる。

【 0 2 1 3 】

そして、静止画を表示する場合は、各画素の輝度のバラツキを認識しやすくなる。そのため、本実施の形態 1 ~ 3 で述べたのと同様に、信号電圧を入力した後、信号電流を入力し、輝度バラツキの影響を低減することが望ましい。

【0214】

このように、画素や信号線に、信号電圧のみを入力する場合の動作を、電圧入力モードと呼び、信号電圧をプリチャージとして入力した後、信号電流を入力する場合の動作を、電流入力モードと呼ぶことにする。

【0215】

電圧入力モードでは、各部分の電流源や増幅回路の動作を止めることが可能なため、消費電力を低減できる。ただし、輝度のバラツキが生じてしまう。

10

【0216】

一方、電流入力モードでは、消費電力を低減することは難しいが、輝度バラツキの影響を低減できる。

【0217】

そこで、状況に合わせて、電圧入力モードと電流入力モードとを切り替えて動作させてもよい。例えば、静止画を表示させる場合、あるいは、所定の期間以上、静止画を表示させる場合は、電流入力モードで動作させ、それ以外の時には、電圧入力モードで動作させてもよい。例えば、1秒以上、静止画を表示させる場合は、電流入力モードで動作させる、として動作させてもよい。

【0218】

20

または、表示面積のうち、所定の割合の面積以上の領域の画像が変化する場合は、電流入力モードで動作させ、それ以外の時には、電圧入力モードで動作させてもよい。例えば、画面の半分以上の領域で画像が変化する場合は、電流入力モードで動作させてもよい。

【0219】

または、その両者を組み合わせて、所定の期間、あるいは、所定の領域で、画像が変化する場合は、電流入力モードで動作させ、それ以外の時には、電圧入力モードで動作させてもよい。

【0220】

(実施の形態 11)

本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それらの電子機器の具体例を図87に示す。

30

【0221】

図87(A)は発光装置であり、筐体13001、支持台13002、表示部13003、スピーカー部13004、ビデオ入力端子13005等を含む。本発明は表示部13003を構成する電気回路に用いることができる。また本発明により、図87(A)に示す発光装置が完成される。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

40

【0222】

図87(B)はデジタルスチルカメラであり、本体13101、表示部13102、受像部13103、操作キー13104、外部接続ポート13105、シャッター13106等を含む。本発明は、表示部13102を構成する電気回路に用いることができる。また本発明により、図87(B)に示すデジタルスチルカメラが完成される。

【0223】

図87(C)はパーソナルコンピュータであり、本体13201、筐体13202、表

50

示部 13203、キーボード 13204、外部接続ポート 13205、ポインティングマウス 13206 等を含む。本発明は、表示部 13203 を構成する電気回路に用いることができる。また本発明により、図 87 (C) に示す発光装置が完成される。

【0224】

図 87 (D) はモバイルコンピュータであり、本体 13301、表示部 13302、スイッチ 13303、操作キー 13304、赤外線ポート 13305 等を含む。本発明は、表示部 13302 を構成する電気回路に用いることができる。また本発明により、図 87 (D) に示すモバイルコンピュータが完成される。

【0225】

図 87 (E) は記録媒体を備えた携帯型の画像再生装置（具体的には DVD 再生装置）であり、本体 13401、筐体 13402、表示部 A 13403、表示部 B 13404、記録媒体（DVD 等）読み込み部 13405、操作キー 13406、スピーカー部 13407 等を含む。表示部 A 13403 は主として画像情報を表示し、表示部 B 13404 は主として文字情報を表示するが、本発明は、表示部 A、B 13403、13404 を構成する電気回路に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。また本発明により、図 87 (E) に示す DVD 再生装置が完成される。

10

【0226】

図 87 (F) はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体 13501、表示部 13502、アーム部 13503 を含む。本発明は、表示部 13502 を構成する電気回路に用いることができる。また本発明により、図 87 (F) に示すゴーグル型ディスプレイが完成される。

20

【0227】

図 87 (G) はビデオカメラであり、本体 13601、表示部 13602、筐体 13603、外部接続ポート 13604、リモコン受信部 13605、受像部 13606、バッテリー 13607、音声入力部 13608、操作キー 13609、接眼部 13610 等を含む。本発明は、表示部 13602 を構成する電気回路に用いることができる。また本発明により、図 87 (G) に示すビデオカメラが完成される。

【0228】

図 87 (H) は携帯電話であり、本体 13701、筐体 13702、表示部 13703、音声入力部 13704、音声出力部 13705、操作キー 13706、外部接続ポート 13707、アンテナ 13708 等を含む。本発明は、表示部 13703 を構成する電気回路に用いることができる。なお、表示部 13703 は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、図 87 (H) に示す携帯電話が完成される。

30

【0229】

なお、将来的に発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0230】

また、上記電子機器はインターネットや CATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

40

【0231】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0232】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが

50

可能である。また本実施の形態の電子機器は、実施の形態 1 ~ 10 に示したいずれの構成の半導体装置を用いても良い。

【図面の簡単な説明】

【0233】

【図1】本発明の半導体装置の構成を説明する図。

【図2】本発明の半導体装置の動作を説明する図。

【図3】本発明の半導体装置の動作を説明する図。

【図4】本発明の半導体装置の動作を説明する図。

【図5】本発明の半導体装置の動作を説明する図。

【図6】従来の画素の構成を説明する図。

10

【図7】従来の画素の動作を説明する図。

【図8】本発明の半導体装置の動作を説明する図。

【図9】本発明の半導体装置の動作を説明する図。

【図10】本発明の半導体装置の構成を説明する図。

【図11】本発明の半導体装置の構成を説明する図。

【図12】本発明の半導体装置の構成を説明する図。

【図13】本発明の半導体装置の動作を説明する図。

【図14】本発明の半導体装置の動作を説明する図。

【図15】本発明の半導体装置の動作を説明する図。

【図16】本発明の半導体装置の動作を説明する図。

20

【図17】本発明の半導体装置の構成を説明する図。

【図18】本発明の半導体装置の構成を説明する図。

【図19】本発明の半導体装置の構成を説明する図。

【図20】本発明の半導体装置の構成を説明する図。

【図21】本発明の半導体装置の構成を説明する図。

【図22】本発明の半導体装置の構成を説明する図。

【図23】本発明の半導体装置の構成を説明する図。

【図24】本発明の半導体装置の構成を説明する図。

【図25】本発明の半導体装置の構成を説明する図。

【図26】本発明の半導体装置の構成を説明する図。

30

【図27】本発明の半導体装置の構成を説明する図。

【図28】本発明の半導体装置の構成を説明する図。

【図29】本発明の半導体装置の構成を説明する図。

【図30】本発明の半導体装置の動作を説明する図。

【図31】本発明の半導体装置の動作を説明する図。

【図32】本発明の半導体装置の構成を説明する図。

【図33】本発明の半導体装置の構成を説明する図。

【図34】本発明の半導体装置の動作を説明する図。

【図35】本発明の半導体装置の動作を説明する図。

【図36】本発明の半導体装置の構成を説明する図。

40

【図37】本発明の半導体装置の構成を説明する図。

【図38】本発明の半導体装置の構成を説明する図。

【図39】本発明の半導体装置の構成を説明する図。

【図40】本発明の半導体装置の構成を説明する図。

【図41】本発明の半導体装置の構成を説明する図。

【図42】本発明の半導体装置の構成を説明する図。

【図43】本発明の半導体装置の構成を説明する図。

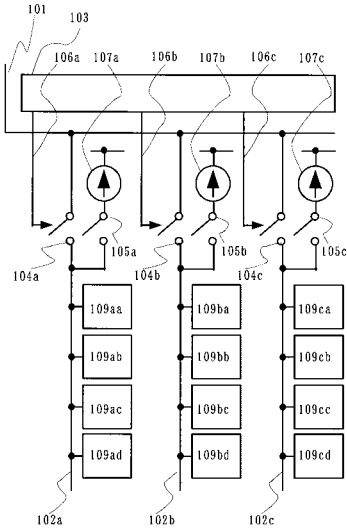
【図44】本発明の半導体装置の構成を説明する図。

【図45】本発明の半導体装置の構成を説明する図。

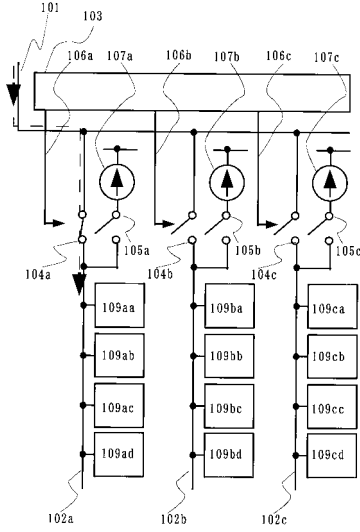
【図46】本発明の半導体装置の構成を説明する図。

50

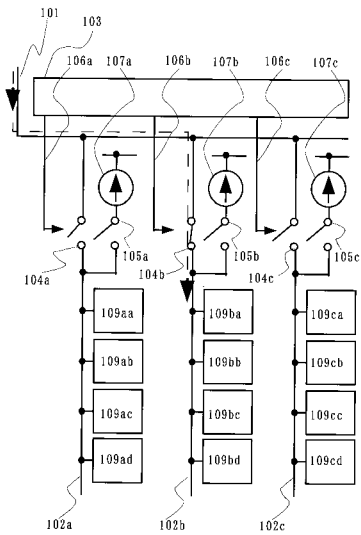
【図 1】



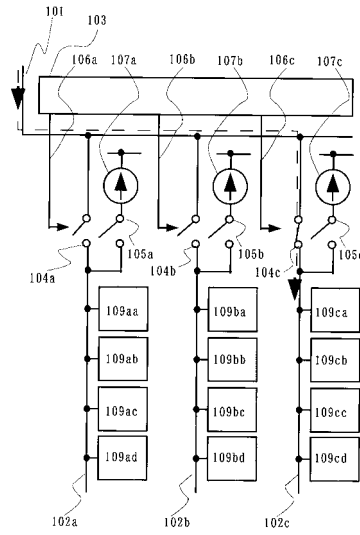
【図 2】



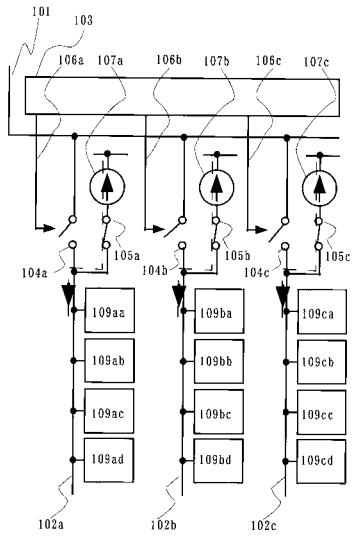
【図 3】



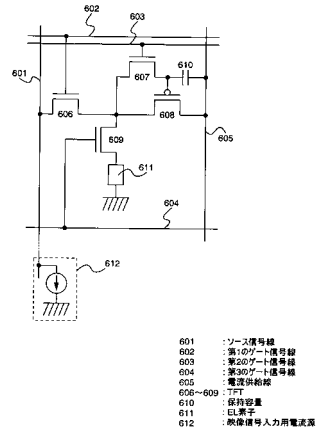
【図 4】



【図5】



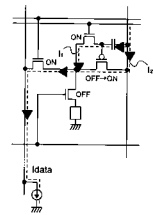
【図6】



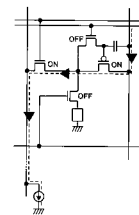
- 601 : ソース線
- 602 : 第1のゲート線
- 603 : 第2のゲート線
- 604 : 第3のゲート線
- 605 : 電流供給線
- 606-609 : TFT
- 610 : 保持容量
- 611 : EL素子
- 612 : 駆動電流源

【図7】

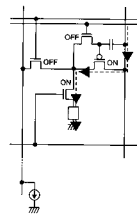
(A) 情報入力時



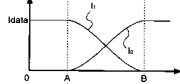
(B) 情報入力完了時



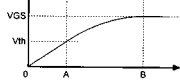
(C) 発光時



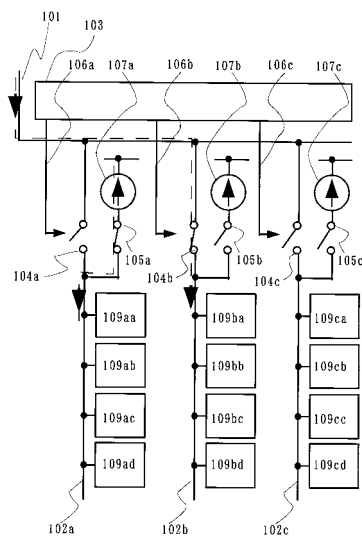
(D)



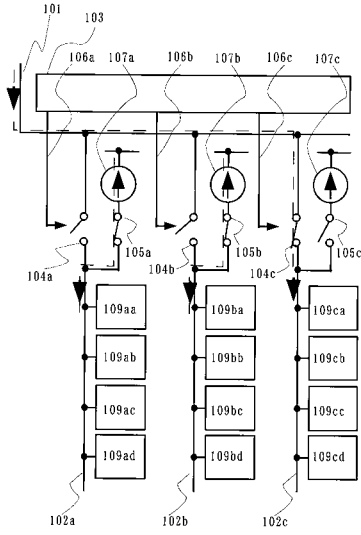
(E)



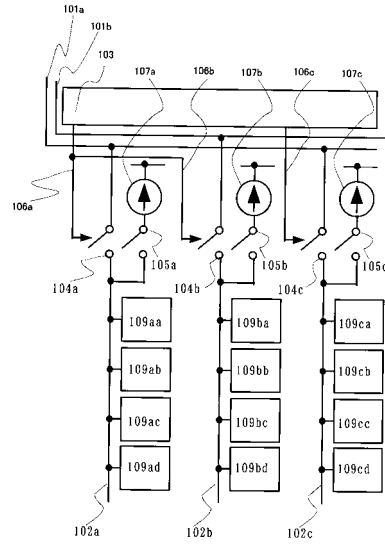
【図8】



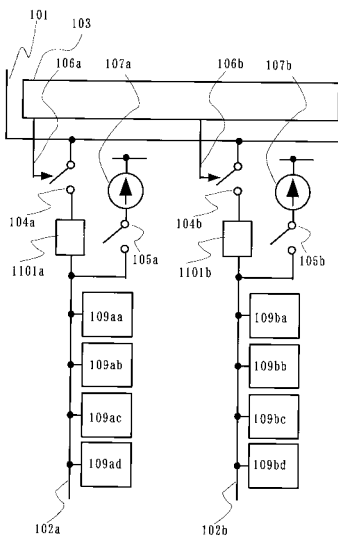
【図 9】



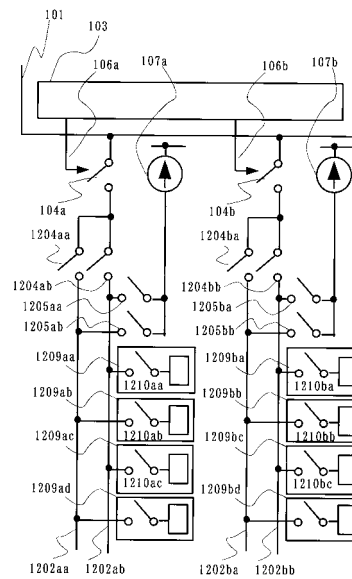
【図 10】



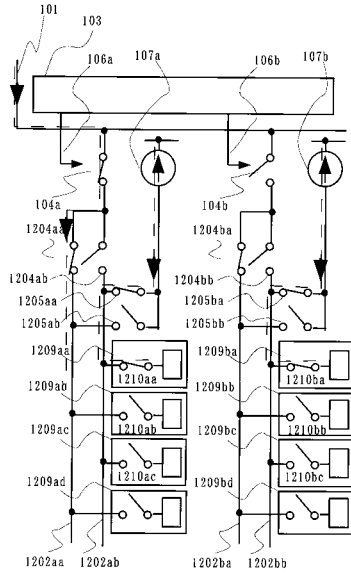
【図 11】



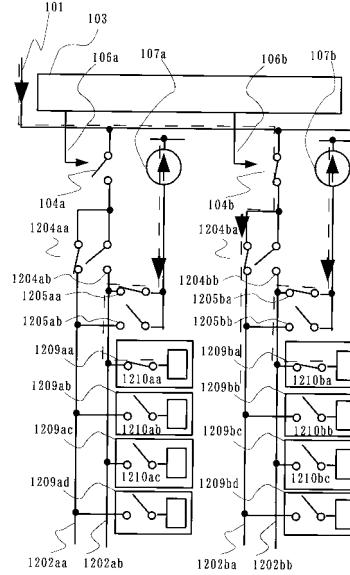
【図 12】



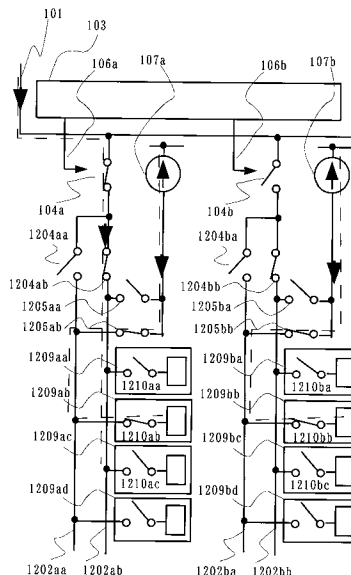
【 図 13 】



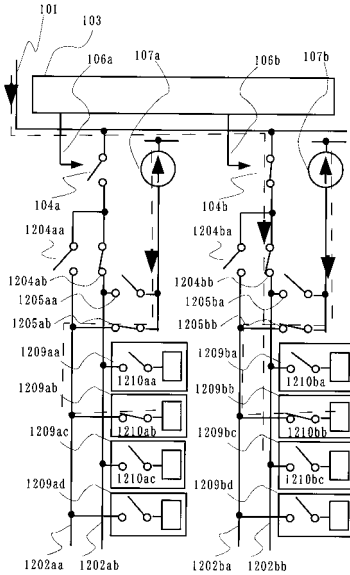
【 図 14 】



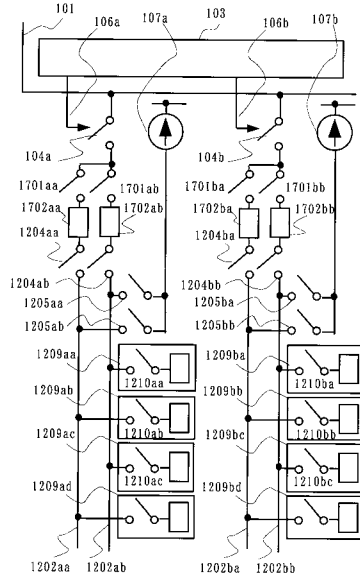
【 図 15 】



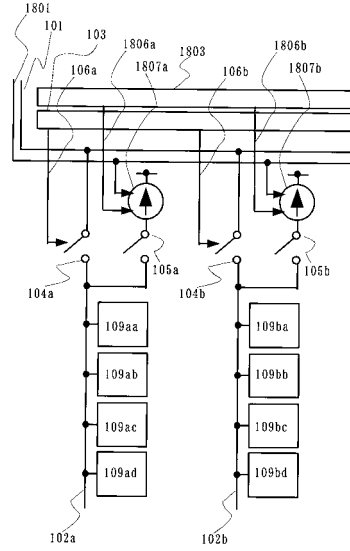
【 図 16 】



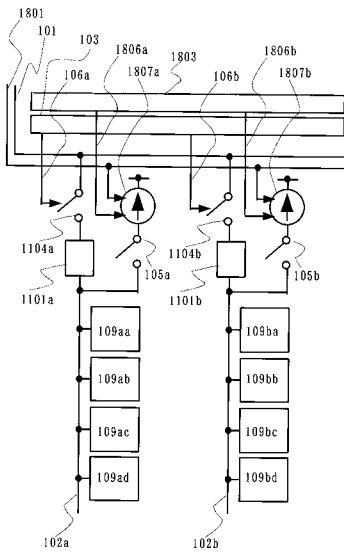
【図 17】



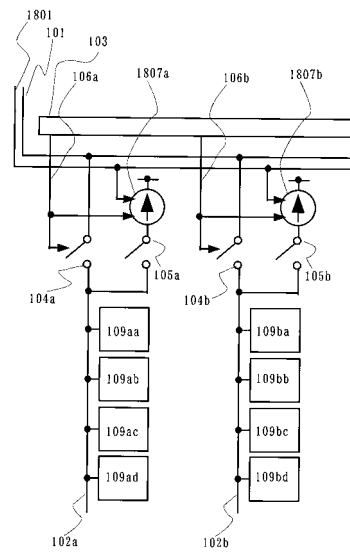
【図 18】



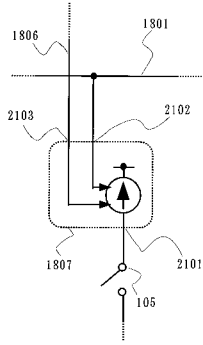
【図 19】



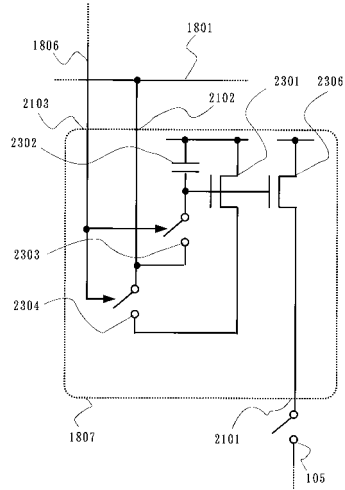
【図 20】



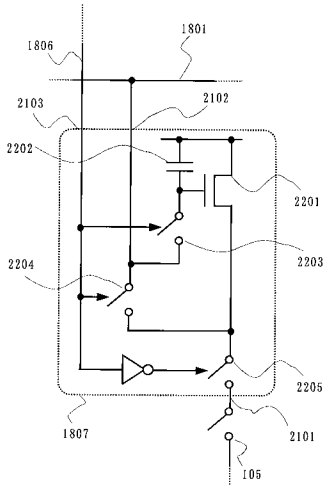
【図 2 1】



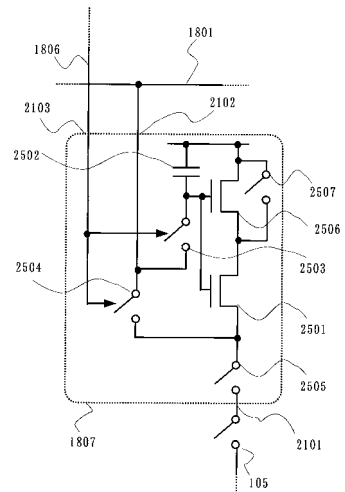
【図 2 3】



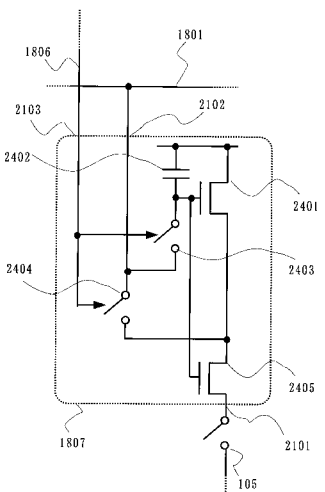
【図 2 2】



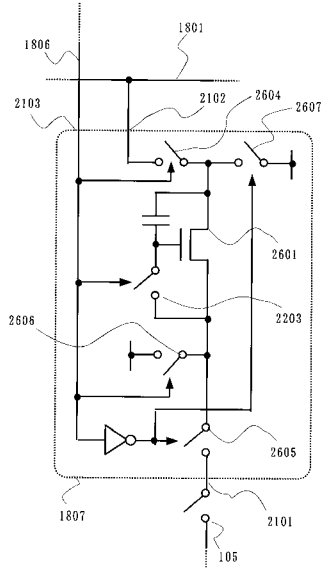
【図 2 5】



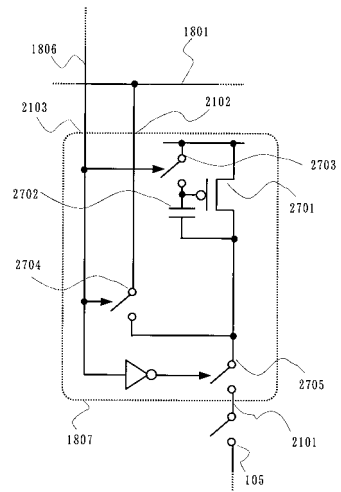
【図 2 4】



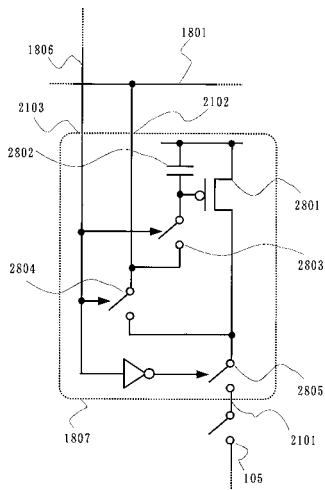
【図 26】



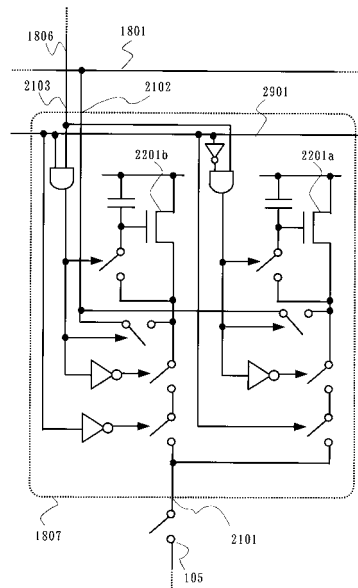
【図 27】



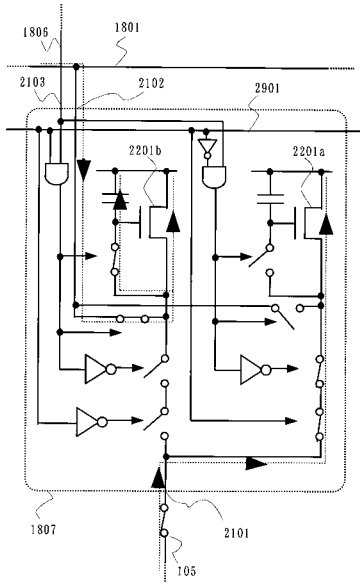
【図 28】



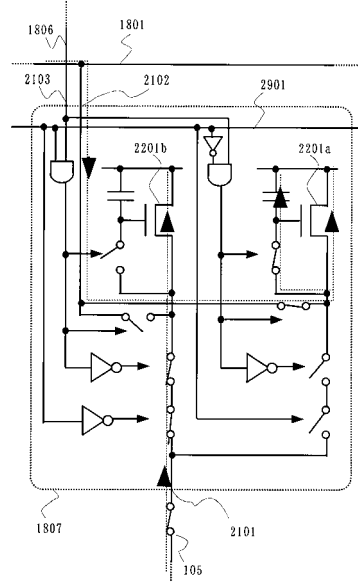
【図 29】



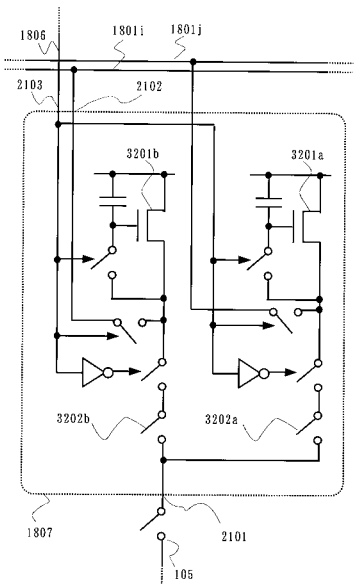
【図30】



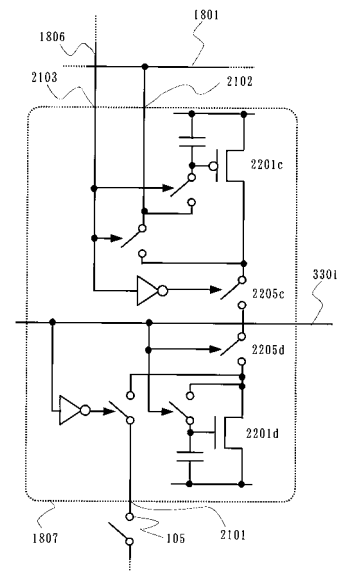
【図31】



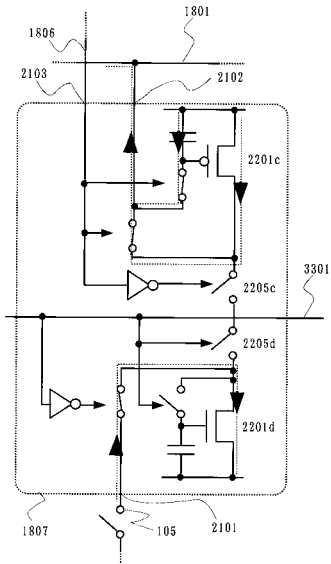
【図32】



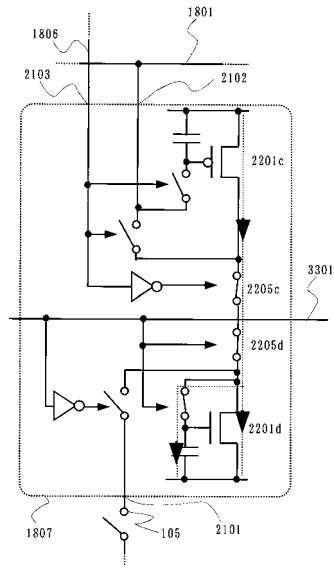
【図33】



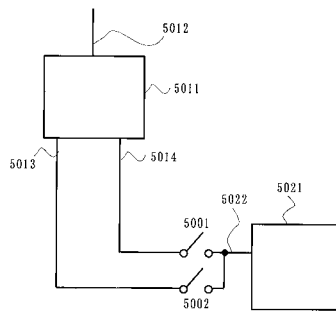
【 図 3 4 】



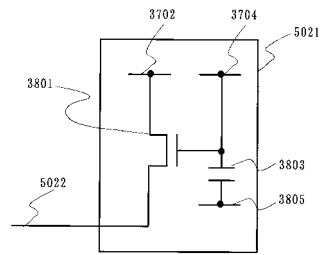
【 図 3 5 】



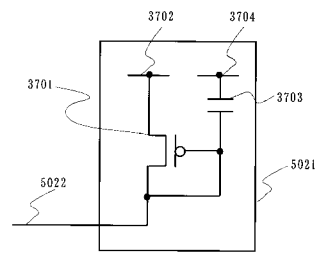
【 図 3 6 】



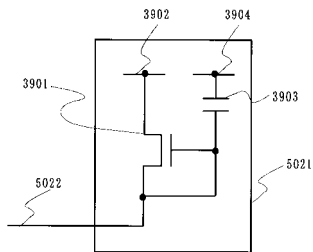
【 図 3 8 】



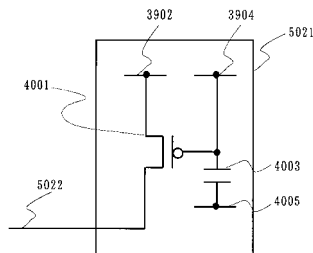
【 図 3 7 】



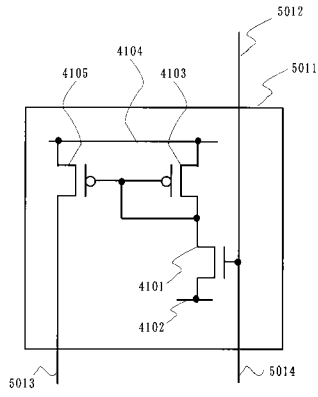
【 図 3 9 】



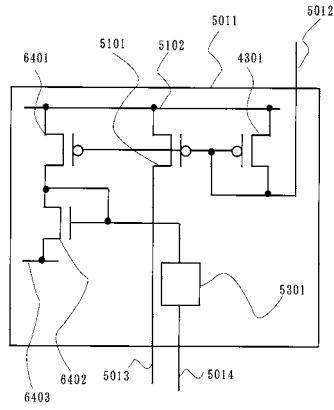
【 図 4 0 】



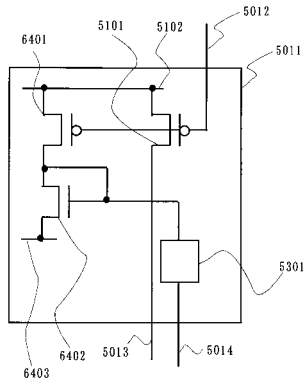
【 図 4 1 】



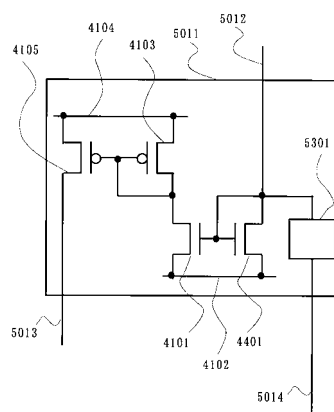
【 図 4 3 】



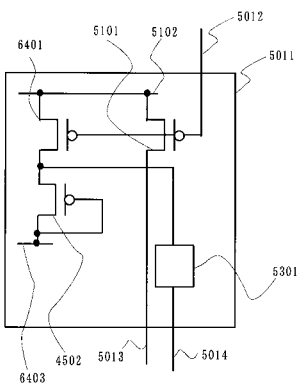
【 図 4 2 】



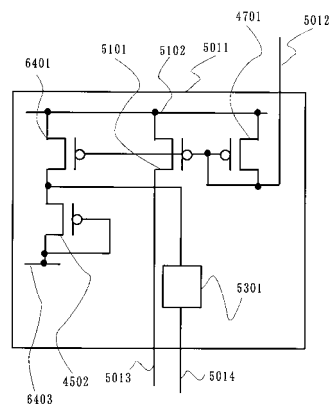
【 図 4 4 】



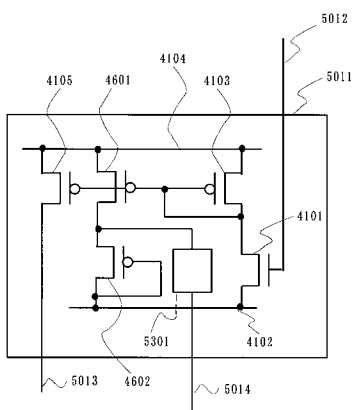
【 図 4 5 】



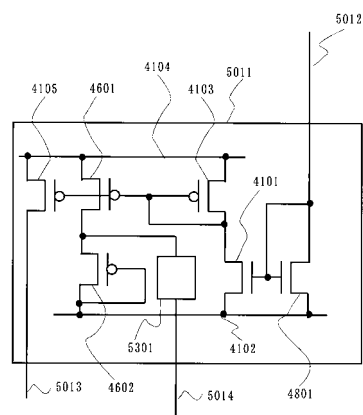
【 図 4 7 】



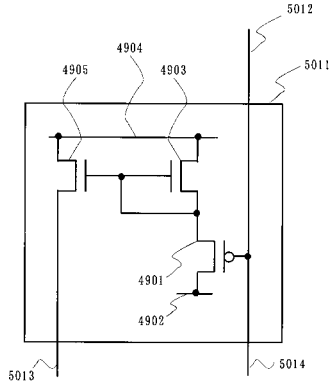
【 図 4 6 】



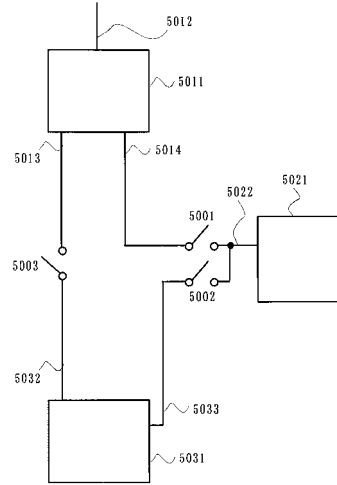
【 図 4 8 】



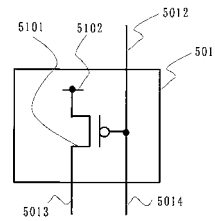
【図 49】



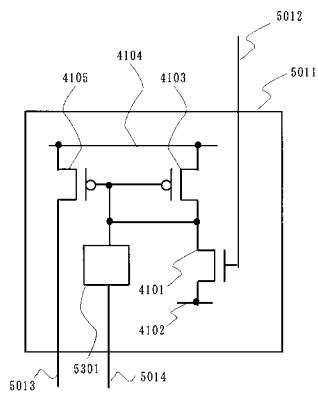
【図 50】



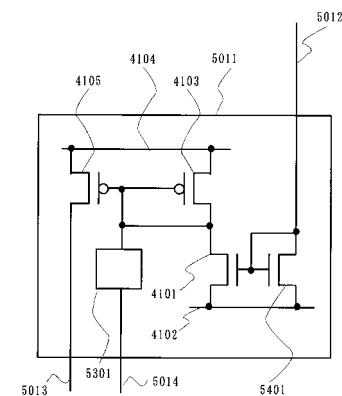
【図 51】



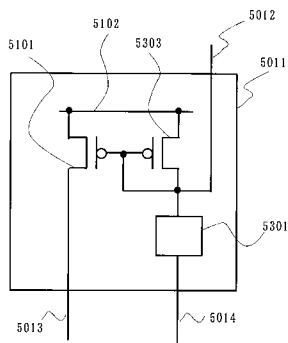
【図 52】



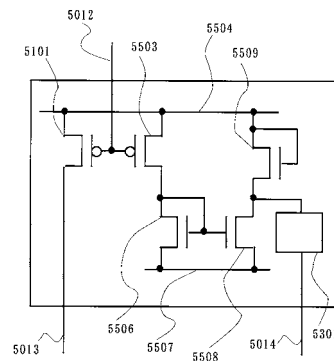
【図 54】



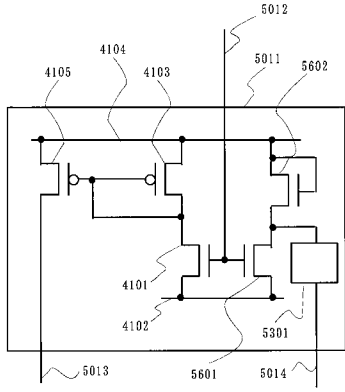
【図 53】



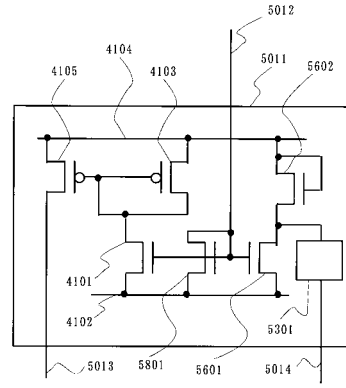
【図 55】



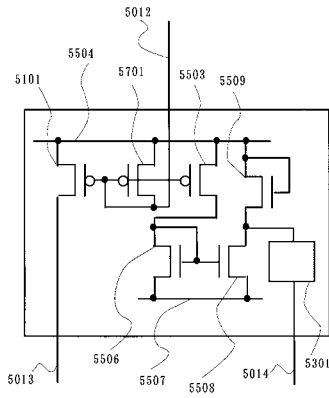
【 56 】



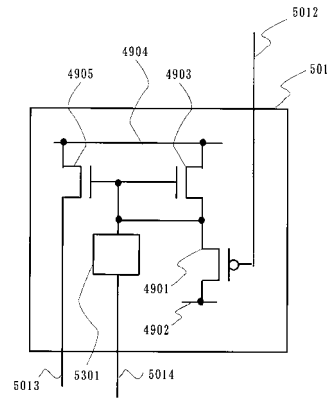
【 58 】



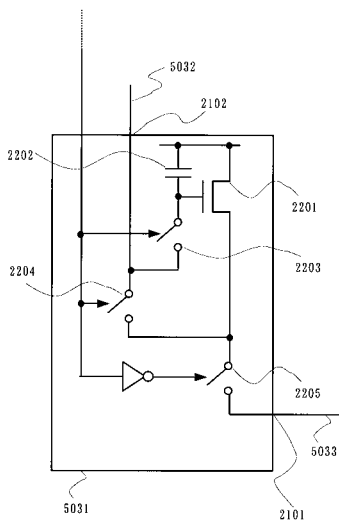
【 57 】



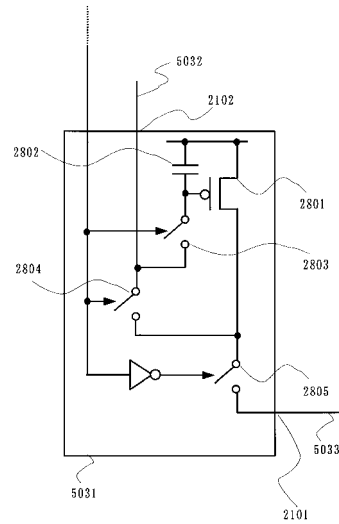
【 59 】



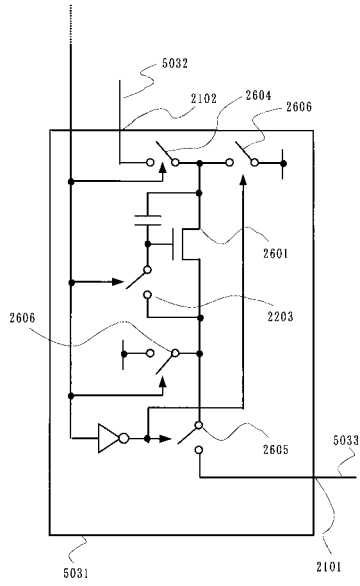
【 60 】



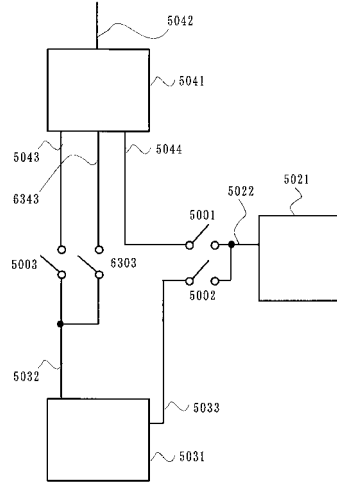
【 61 】



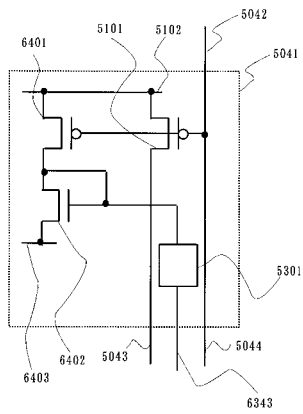
【図 6 2】



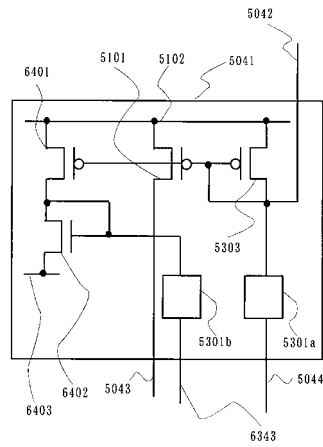
【図 6 3】



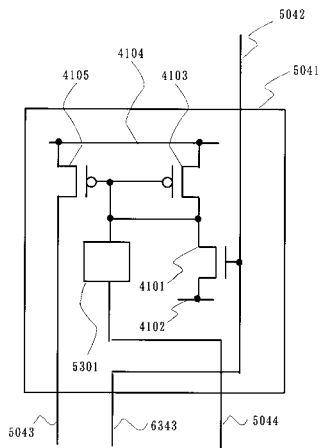
【図 6 4】



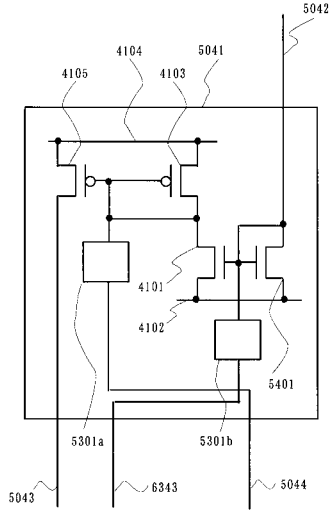
【図 6 6】



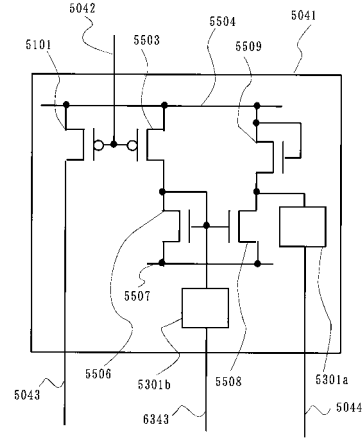
【図 6 5】



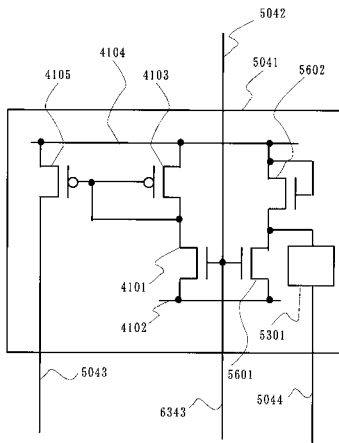
【 図 6 7 】



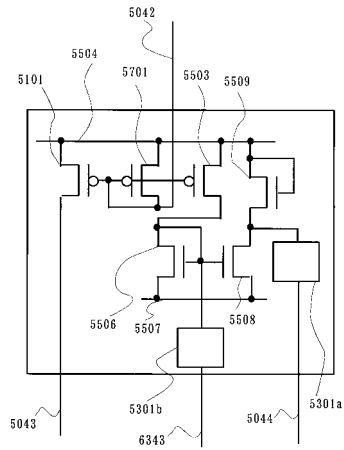
【 図 6 8 】



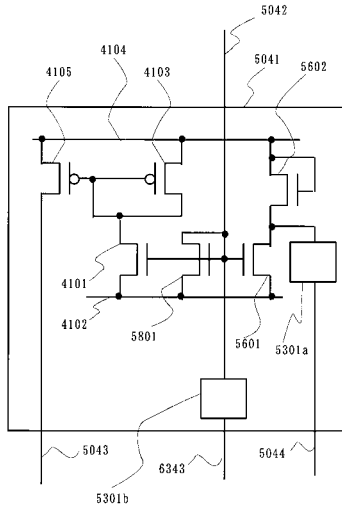
【 図 6 9 】



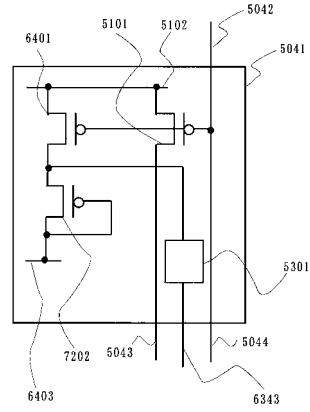
【 図 7 0 】



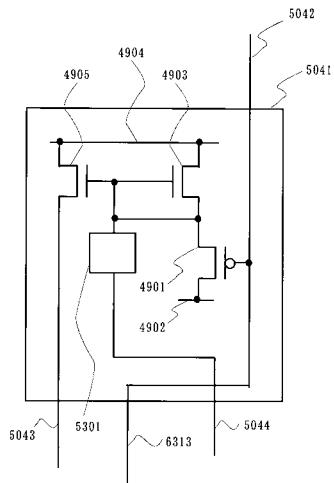
【図71】



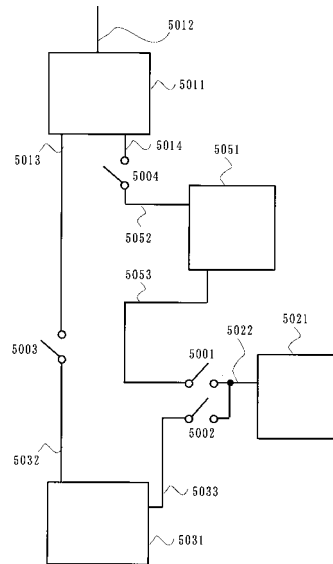
【図72】



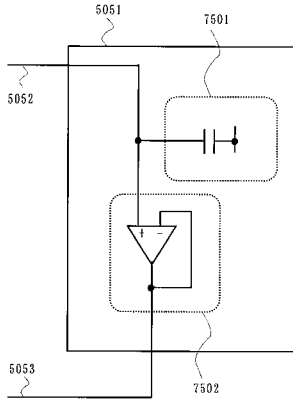
【図73】



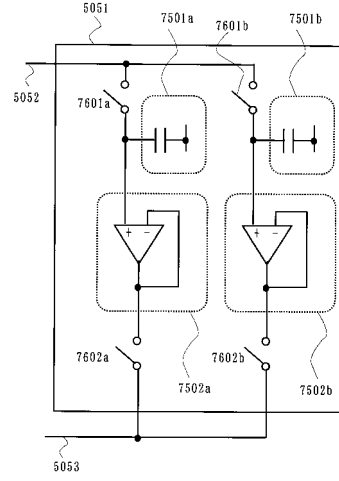
【図74】



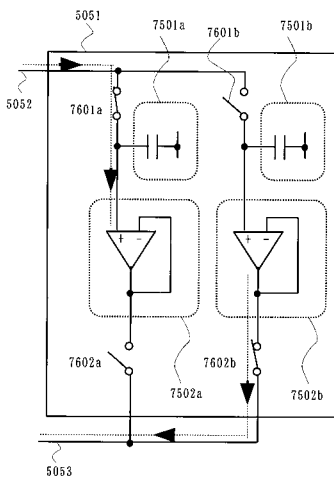
【図75】



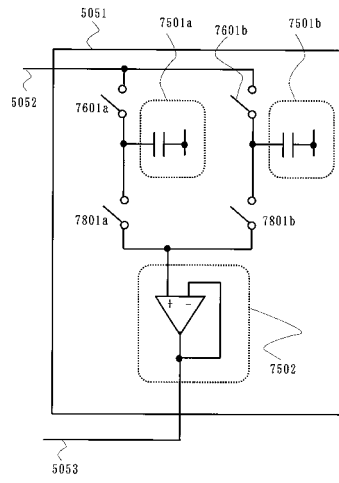
【図76】



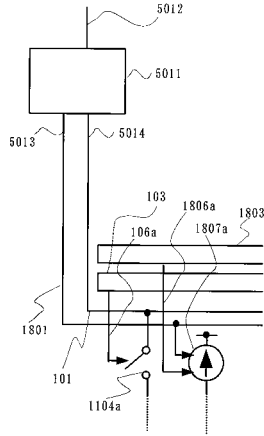
【図77】



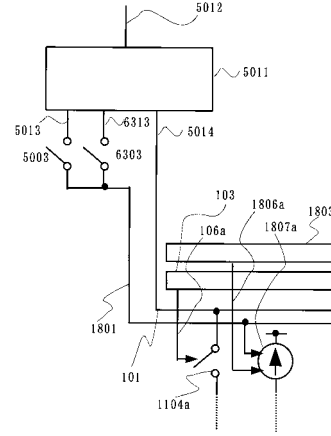
【図78】



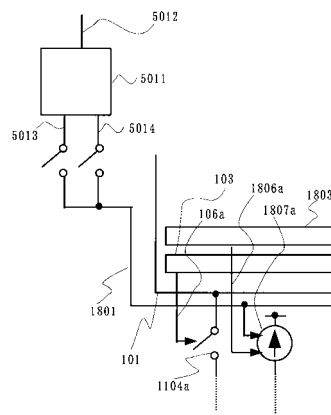
【図79】



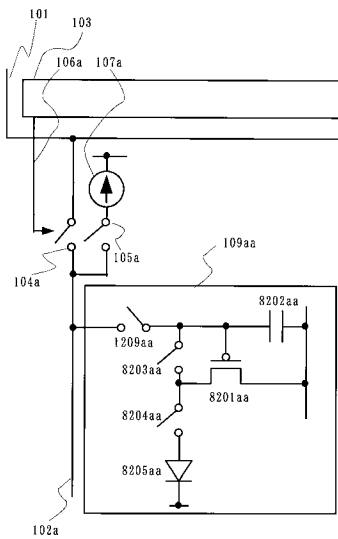
【図80】



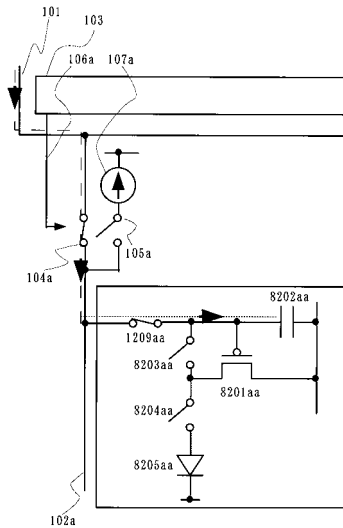
【図81】



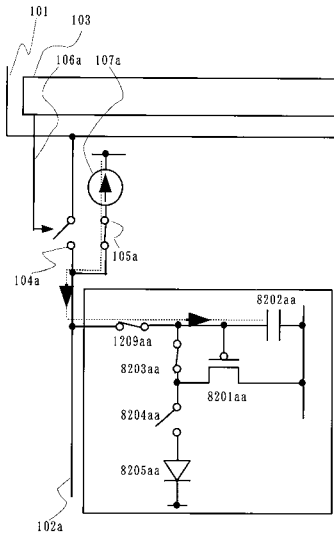
【図82】



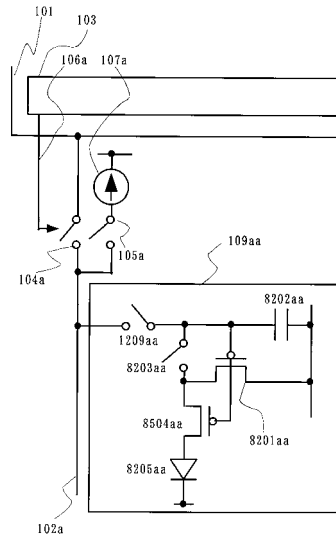
【図83】



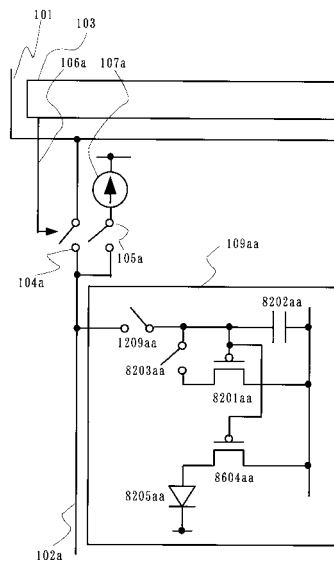
【図 84】



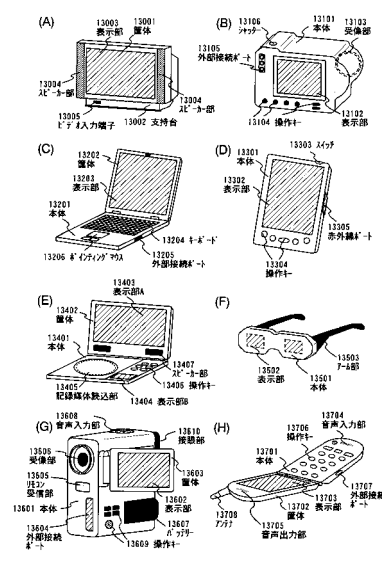
【図 85】



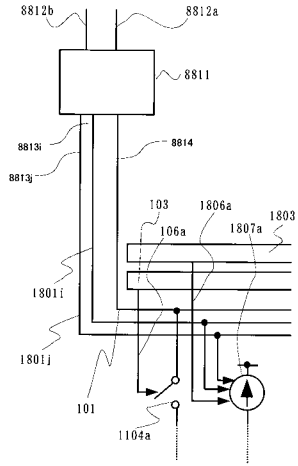
【図 86】



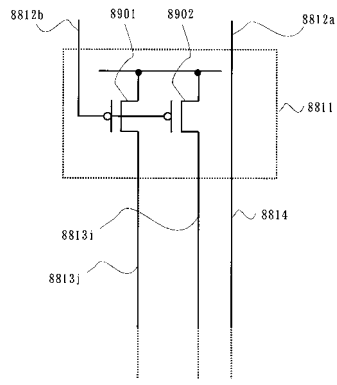
【図 87】



【 88 】



【 89 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 B
G 0 9 G 3/20 6 4 1 D
G 0 9 G 3/20 6 4 2 A
H 0 5 B 33/14 A

(56)参考文献 特開2003-177709(JP,A)
特開平07-295520(JP,A)
特開2003-195815(JP,A)
国際公開第2003/038797(WO,A1)
特開2003-195812(JP,A)
特開2003-066908(JP,A)
国際公開第2003/038796(WO,A1)
特開2004-021219(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8