



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0039333  
(43) 공개일자 2011년04월15일

- |  |   |
|--|---|
| <p>(51) Int. Cl.<br/>H03F 3/191 (2006.01) H03F 3/45 (2006.01)<br/>H04B 1/16 (2006.01)</p> <p>(21) 출원번호 10-2011-7002905</p> <p>(22) 출원일자(국제출원일자) 2009년07월08일<br/>심사청구일자 2011년02월07일</p> <p>(85) 번역문제출일자 2011년02월07일</p> <p>(86) 국제출원번호 PCT/US2009/049976</p> <p>(87) 국제공개번호 WO 2010/006079<br/>국제공개일자 2010년01월14일</p> <p>(30) 우선권주장<br/>12/169,559 2008년07월08일 미국(US)</p> | <p>(71) 출원인<br/>켈컴 인코포레이티드<br/>미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775</p> <p>(72) 발명자<br/>사브라 아눙<br/>미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775<br/>브로켄브로우 로저<br/>미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775</p> <p>(74) 대리인<br/>특허법인코리아나</p> |
|--|---|

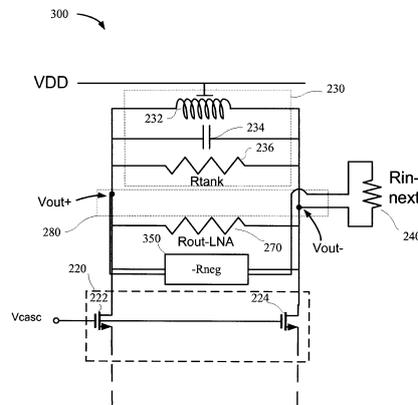
전체 청구항 수 : 총 27 항

(54) 수신기 RF 전단들에서 고 선택도를 달성하는 방법

(57) 요약

몇몇 실시형태들에 따르면, 장치는 증폭기를 포함할 수도 있으며, 그 증폭기는, 포지티브 출력 전압을 제공하는 포지티브 출력 단자 및 네거티브 출력 전압을 제공하는 네거티브 출력 단자로 형성된 출력 스테이지; 출력 스테이지와 병렬로 커플링되며, 증폭기에서 수신된 신호들을 필터링하도록 구성되는 부하 탱크; 및 출력 스테이지 및 부하 탱크와 병렬로 커플링된 네거티브 저항 블록을 포함한다.

대표도 - 도3



## 특허청구의 범위

### 청구항 1

증폭기를 포함하며,

상기 증폭기는,

포지티브 출력 전압을 제공하는 포지티브 출력 단자 및 네거티브 출력 전압을 제공하는 네거티브 출력 단자로 형성된 출력 스테이지;

상기 출력 스테이지와 병렬로 커플링되며, 상기 증폭기에서 수신된 신호들을 필터링하도록 구성된 부하 탭크; 및

상기 출력 스테이지 및 상기 부하 탭크와 병렬로 커플링된 네거티브 저항 블록을 포함하는, 장치.

### 청구항 2

제 1 항에 있어서,

상기 네거티브 저항 블록은, 네거티브 트랜스컨덕턴스 회로 내에 포함된 하나 이상의 액티브 디바이스들의 바이어싱 조건들에 기초하여, 네거티브 저항을 제공하도록 구성된 상기 네거티브 트랜스컨덕턴스 회로인, 장치.

### 청구항 3

제 1 항에 있어서,

상기 네거티브 저항 블록은,

상기 출력 스테이지의 포지티브 출력 단자에 커플링된 제 1 단자 및 상기 출력 스테이지의 네거티브 출력 단자에 커플링된 제 2 단자를 갖는 제 1 트랜스컨덕턴스 디바이스; 및

상기 출력 스테이지의 네거티브 출력 단자에 커플링된 제 1 단자 및 상기 출력 스테이지의 포지티브 출력 단자에 커플링된 제 2 단자를 갖는 제 2 트랜스컨덕턴스 디바이스를 포함하는, 장치.

### 청구항 4

제 3 항에 있어서,

상기 네거티브 저항 블록은,

상기 제 1 트랜스컨덕턴스 디바이스의 제 3 단자에 커플링되고, 상기 제 2 트랜스컨덕턴스 디바이스의 제 3 단자에 커플링된 튜닝 전압 소스를 더 포함하며,

상기 튜닝 전압 소스는, 상기 제 1 트랜스컨덕턴스 디바이스 및 상기 제 2 트랜스컨덕턴스 디바이스에 바이어싱 전압을 제공하도록 구성되는, 장치.

### 청구항 5

제 3 항에 있어서,

상기 네거티브 저항 블록은,

상기 제 1 트랜스컨덕턴스 디바이스의 제 3 단자에 커플링되고, 상기 제 2 트랜스컨덕턴스 디바이스의 제 3 단자에 커플링된 튜닝 전류 소스를 더 포함하며,

상기 튜닝 전류 소스는, 상기 제 1 트랜스컨덕턴스 디바이스 및 상기 제 2 트랜스컨덕턴스 디바이스에 바이어싱 전류를 제공하도록 구성되는, 장치.

### 청구항 6

제 5 항에 있어서,

상기 튜닝 전류 소스는, 외부 튜닝 전류를 수신하고 미러잉된 전류를 제공하는 전류 미러인, 장치.

**청구항 7**

제 5 항에 있어서,

상기 제 1 트랜스컨덕턴스 디바이스의 제 3 단자 및 상기 제 2 트랜스컨덕턴스 디바이스의 제 3 단자 각각은, 상기 제 1 트랜스컨덕턴스 및 상기 제 2 트랜스컨덕턴스 디바이스의 원하는 바이어싱을 제공하도록 상기 튜닝 전류 소스에 저항성 커플링되는, 장치.

**청구항 8**

제 3 항에 있어서,

상기 제 1 트랜스컨덕턴스 디바이스의 제 2 단자 및 상기 제 2 트랜스컨덕턴스 디바이스의 제 2 단자는, 각각, 상기 출력 스테이지의 네거티브 출력 단자 및 상기 출력 스테이지의 포지티브 출력 단자에 용량성 커플링되며, 상기 제 1 트랜스컨덕턴스 디바이스의 제 2 단자 및 상기 제 2 트랜스컨덕턴스 디바이스의 제 2 단자 각각은 튜닝 전류 소스에 저항성 커플링되는, 장치.

**청구항 9**

제 8 항에 있어서,

상기 제 1 트랜스컨덕턴스 디바이스의 제 2 단자 및 상기 제 2 트랜스컨덕턴스 디바이스의 제 2 단자는 접지에 용량성 커플링되며,

상기 제 1 트랜스컨덕턴스 디바이스의 제 3 단자 및 상기 제 2 트랜스컨덕턴스 디바이스의 제 3 단자는 접지에 커플링되는, 장치.

**청구항 10**

제 8 항에 있어서,

상기 네거티브 저항 블록은,

상기 제 1 트랜스컨덕턴스 디바이스의 제 3 단자에 커플링된 제 1 단자, 상기 제 2 트랜스컨덕턴스 디바이스의 제 3 단자에 용량성 커플링된 제 2 단자, 및 제 1 튜닝 전류 소스에 커플링된 제 3 단자를 갖는 제 3 트랜스컨덕턴스 디바이스;

상기 제 2 트랜스컨덕턴스 디바이스의 제 3 단자에 커플링된 제 1 단자, 상기 제 1 트랜스컨덕턴스 디바이스의 제 3 단자에 용량성 커플링된 제 2 단자, 및 제 2 튜닝 전류 소스에 커플링된 제 3 단자를 갖는 제 4 트랜스컨덕턴스 디바이스; 및

상기 제 3 트랜스컨덕턴스 디바이스의 제 3 단자 및 상기 제 4 트랜스컨덕턴스 디바이스의 제 3 단자에 커플링된 저항기를 더 포함하는, 장치.

**청구항 11**

제 3 항에 있어서,

상기 트랜스컨덕턴스 디바이스들은 NMOS 트랜지스터들이며, 상기 트랜지스터의 소스로서 제 1 단자, 상기 트랜지스터의 게이트로서 제 2 단자, 및 상기 트랜지스터의 드레인으로서 제 3 단자를 포함하는, 장치.

**청구항 12**

제 1 항에 있어서,

상기 네거티브 저항 블록은,

서로 커플링된 제 1 전류 미러 및 제 2 전류 미러를 포함하며,

상기 제 1 전류 미러는 일 단자에서 상기 출력 스테이지의 포지티브 출력 단자에 커플링되고, 또 다른 단자에서

상기 출력 스테이지의 네거티브 출력 단자에 저항성 커플링되는, 장치.

**청구항 13**

제 1 항에 있어서,

상기 네거티브 저항 블록은 -1000 옴 내지 -5000 옴의 범위에서 네거티브 저항을 제공하는, 장치.

**청구항 14**

제 1 항에 있어서,

상기 부하 탱크는 부하 인덕터 및 부하 커패시터로 형성되는, 장치.

**청구항 15**

제 1 항에 있어서,

상기 출력 스테이지에 커플링되며, 상기 증폭기에서 전류를 버퍼링하도록 구성되는 캐스코드 디바이스들의 쌍을 더 포함하는, 장치.

**청구항 16**

제 1 항에 있어서,

상기 증폭기는,

입력 전압을 수신하도록 구성된 트랜스컨덕턴스 스테이지; 및

상기 트랜스컨덕턴스 스테이지에 전류를 제공하도록 구성된 전류 소스를 더 포함하는, 장치.

**청구항 17**

제 1 항에 있어서,

상기 장치는 저잡음 증폭기 (LNA) 인, 장치.

**청구항 18**

제 1 항에 있어서,

상기 장치는 무선 수신기인, 장치.

**청구항 19**

제 1 항에 있어서,

상기 장치는 GPS 수신기인, 장치.

**청구항 20**

신호를 증폭시키는 방법으로서,

입력 스테이지에서 입력 신호를 수신하는 단계;

상기 입력 신호에 응답하여, 포지티브 출력 단자에서의 포지티브 출력 전압 및 네거티브 출력 단자에서의 네거티브 출력 전압을 포함하는 출력 신호를 제공하는 단계;

상기 포지티브 출력 단자 및 상기 네거티브 출력 단자에서 상기 입력 신호를 필터링하는 단계; 및

상기 포지티브 출력 단자와 상기 네거티브 출력 단자 사이에서 네거티브 저항을 제공하는 단계를 포함하는, 신호 증폭 방법.

**청구항 21**

제 20 항에 있어서,

상기 네거티브 저항을 제공하는 단계는, 하나 이상의 액티브 디바이스들을 통해 전류를 전달하는 단계를 포함하며,

상기 네거티브 저항은 상기 하나 이상의 액티브 디바이스들의 트랜스컨덕턴스에 기초하는, 신호 증폭 방법.

**청구항 22**

제 21 항에 있어서,

상기 네거티브 저항을 제공하는 단계는,

상기 트랜스컨덕턴스를 원하는 값으로 셋팅하기 위해 상기 하나 이상의 액티브 디바이스들을 바이어싱하는 단계를 더 포함하는, 신호 증폭 방법.

**청구항 23**

제 20 항에 있어서,

상기 제공된 네거티브 저항은, -1000 옴 내지 -5000 옴의 범위 내에 있는, 신호 증폭 방법.

**청구항 24**

입력 신호를 수신하는 수단;

상기 입력 신호에 응답하여, 포지티브 출력 단자에서의 포지티브 출력 전압 및 네거티브 출력 단자에서의 네거티브 출력 전압을 포함하는 출력 신호를 제공하는 수단;

상기 포지티브 출력 단자 및 상기 네거티브 출력 단자에서 상기 입력 신호를 필터링하는 수단; 및

상기 포지티브 출력 단자와 상기 네거티브 출력 단자 사이에서 네거티브 저항을 제공하는 수단을 포함하는, 증폭기.

**청구항 25**

제 24 항에 있어서,

상기 네거티브 저항을 제공하는 수단은, 전류를 전달하는 트랜스컨덕턴스 수단을 포함하며,

상기 네거티브 저항은 상기 트랜스컨덕턴스 수단의 트랜스컨덕턴스에 기초하는, 증폭기.

**청구항 26**

제 25 항에 있어서,

상기 네거티브 저항을 제공하는 수단은,

상기 트랜스컨덕턴스를 원하는 값으로 셋팅하기 위해 상기 트랜스컨덕턴스 수단을 바이어싱하는 수단을 더 포함하는, 증폭기.

**청구항 27**

제 24 항에 있어서,

상기 제공된 네거티브 저항은, -1000 옴 내지 -5000 옴의 범위 내에 있는, 증폭기.

**명세서**

**기술분야**

[0001] 본 발명은 일반적으로 회로에 관한 것으로, 더 상세하게는, 무선 통신 및 다른 애플리케이션들에 적합한 수신기 전단들의 선택도를 개선시키는 것에 관한 것이다.

**배경기술**

[0002] 저전력 무선 수신기 설계에서, 주요 문제점은 원하는 신호의 주파수와 유사한 주파수들에서 동작하는 강한 (즉,

비교적 높은 크기의) 블록커들 또는 간섭자들의 존재에 의해 제공된다. 예를 들어, 약 1575MHz 에서 동작하는 글로벌 포지셔닝 시스템 (GPS) 수신기는 약 1700MHz 에서 동작하는 CDMA 무선 통신 시스템으로부터 상당한 간섭을 수신할 수도 있다. 이들 블록커들은 수신기의 수 개의 중요한 양태들, 예를 들어, 선형성, 국부 발진기 (LO) 위상 잡음, 미스매치 허용도, 전력 소비 등의 설계에 영향을 줄 수 있다. 제로의 중간 주파수 (IF) 및 낮은 IF 트랜시버 설계에 있어서, 주파수에서 원하는 신호에 인접한 강한 간섭 신호들은 LO의 잡음 측대역과 믹싱하여, 수신기의 성능을 열화시킬 수 있는 원치않는 잡음 생성물들을 생성할 수 있으며, 이는 가역 믹싱 (reciprocal mixing) 으로서 알려져 있다.

[0003] 수신된 무선 주파수 (RF) 신호들의 적절한 IF 신호들로의 변환을 위해 사용된 무선 수신기의 일부는 RF 전단으로서 지칭된다. 통상적으로, RF 전단은 저잡음 증폭기 (LNA), 믹서를 포함하며, 종종, 부가적인 제어가능한 이득 또는 트랜스컨덕턴스 스테이지를 포함한다.

[0004] 도 1은 예시적인 종래의 RF 전단 회로를 도시한다. 도시된 바와 같이, RF 전단 회로 (10) 는 LNA (12), 트랜스컨덕턴스 (gm) 스테이지 (14), 및 LO 스테이지 (16) 를 포함한다. RF 전단 회로 (10) 는 LNA (12) 에서 외부 매칭 회로 (5) 로부터의 RF 신호들을 수신하며, 외부 매칭 회로는 원치않는 대역의 RF 신호들의 몇몇 거부를 제공하기 위해 다양한 커패시터들 및 인덕터들로 형성된다. LNA (12) 는 수신된 RF 신호들의 비교적 낮은 잡음 증폭을 제공하고, 증폭된 직교위상 신호들 I 및 Q를 gm 스테이지 (14) 에 출력한다. Gm 스테이지 (14) 및 LO 스테이지 (16) 는, 각각, 적절한 IF 신호들을 제공하도록 직교위상 신호들 I 및 Q를 조작하기 위해 다수의 트랜스컨덕턴스 디바이스들 및 다수의 믹서 디바이스들을 포함할 수도 있다.

[0005] 통상적으로, 강한 블록커들 및 간섭자들은 하향변환 이후 수신기의 아날로그 기저대역 회로에서 거부된다. 그러나, 관심있는 대역에 대한 주파수 스펙트럼에서의 그들의 근접성으로 인해, 일반적으로 RF 주파수에서 현저한 감쇠가 존재하지 않는다. 따라서, 아날로그 기저대역 회로에서 선택도를 제공하고 그곳에서 선형도 및 동적 범위 요건들을 완화시키는 것이 가능하지만, RF 전단 선형도 요건들 및 LO 위상 잡음 요건들은 여전히 엄격하게 유지된다.

[0006] RF 전단에서 강한 블록커들을 감쇠시키는 일 방법은, LNA의 입력 또는 출력에서 단일 블록커 주파수에 튜닝된 인덕터-커패시터 (LC) 트랩을 사용하는 것이다. 이러한 기술은, LC 트랩이 배치되는 위치에 의존하여 LNA를 포함하거나 배제하여, 비교적 고전력 블록커 신호에 의해 제공되는 설계 문제점들을 완화시킬 수 있다. 그러나, LNA의 입력에서 사용되면, 트랩은 부가적인 매칭 컴포넌트들을 요구하고, 회로의 잡음 지수 (noise figure) 를 현저히 열화시킬 수 있으며, 이는 RF 신호 체인에서의 컴포넌트들에 의해 초래되는 신호-대-잡음비 (SNR) 의 열화의 종래의 측정이다. 잡음 지수 열화를 방지하기 위해, LC 트랩은 LNA의 출력의 온칩으로 배치될 수 있지만, 이것은 트랩에서 높은 품질 인자 (Q-인자 또는 간단히 'Q') 를 달성하고 인접한 블록커 주파수에서의 상당한 감쇠를 획득하는 것을 어렵게 한다. Q-인자는, 에너지를 소산시키는 레이트에 대한 시스템이 발진하는 주파수와와의 비교를 제공한다. 따라서, 더 높은 Q가 발진 주파수에 관한 더 낮은 레이트의 에너지 소산을 나타내므로, 그 발진은 더 느리게 쇠퇴하며, 상술된 LC 트랩과 같은 협대역 애플리케이션들에 대해 바람직한 높은 Q를 달성한다. 그러나, 높은 Q 온칩 인덕터가 가능하더라도, 그들은 일반적으로 매우 크다.

[0007] 큰 다이 영역을 사용하지 않으면서 높은 Q 온칩 인덕턴스를 달성하기 위해, 자이레이터-기반 (gyrator-based) 액티브 인덕터 회로들이 종종 사용된다. 이들 자이레이터 회로들은, 실제 인덕터들보다 더 적은 다이 공간을 통상적으로 요구하는 액티브 디바이스들을 사용하여 집적 회로 (IC) 의 유도성 엘리먼트를 시뮬레이션하는데 사용된다. 회로의 Q-인자를 다소 제어하고, 그에 의해, 소정의 블록커 주파수에서 임의의 샤프한 감쇠 프로파일을 달성하는데 사용될 수 있는 변형된 자이레이터들의 수 개의 잘 알려진 예들이 존재한다. 그러나, 그러한 액티브 회로들의 잡음 응답은 일반적으로 좀 더 광대역이며, 특히, 그 잡음 응답은 인버스 (inverse) 주파수 잡음 상향변환으로 인해 생성된다. 이러한 부가적인 잡음은 원하는 신호 대역에서의 잡음 지수의 상당한 열화를 유도한다.

[0008] RF 전단에서 선택도를 제공하기 위한 또 다른 접근법은 차동 LNA들에서 종종 사용되는 탱크 회로들 (또는 부하 탱크 (load tank) 들) 을 이용한다.

[0009] 도 2는 부하 탱크를 갖는 종래의 차동 LNA를 도시한다. 도시된 바와 같이, LNA (200) 는 입력 (또는 트랜스컨덕턴스) 스테이지 (210), 전류 버퍼 스테이지 (220), 부하 탱크 (230), 및 테일 전류 소스 (260) 를 포함한다. 입력 스테이지 (210) 는 제 1 및 제 2 트랜스컨덕턴스 디바이스들 (212 및 214) (예를 들어, NMOS 트랜지스터들) 을 포함한다. 전류 버퍼 스테이지 (220) 는 캐스코드 트랜지스터들 (222 및 224) (예를 들어, NMOS 트랜지스터들) 의 쌍을 포함한다. 부하 탱크 (230) 는 탱크 인덕터 (232) 및 탱크 커패시터

(234) 로 형성된다. 또한, 부하 탱크 (230) 는, 물리적인 저항기일 수도 있거나 부하 탱크 (230) 내의 다른 엘리먼트들의 실제 임피던스를 간단히 나타낼 수도 있는 저항  $R_{tank}$  (236) 를 포함한다. 부하 탱크 저항  $R_{tank}$  (236) 이외에, LNA (200) 의 출력 저항이  $R_{out-LNA}$  (270) 으로서 도시되어 있으며, LNA (200) 에 의해 피드된 다음 스테이지 (예를 들어, 도 1의 트랜스컨덕턴스 스테이지 (14)) 의 입력 저항은 도 2의  $R_{in-next}$  (240) 으로서 도시되어 있다.

[0010] 입력 스테이지 (210) 는, 도 1을 참조하여 상술된 바와 같이, 외부 매칭 회로 (5) 로부터 RF 신호들을 수신하도록 구성된다. 테일 전류 소스 스테이지 (260) 는 입력 스테이지 (210) 에 전류를 제공하도록 구성되며, 당 업계에 잘 알려진 바와 같은 다양한 방식들로 구현될 수도 있다. LNA (200) 는 바이어싱 전압 VDD에 의해 DC 바이어싱되고, 캐스코드 디바이스들 (222 및 224) 은 캐스코드 바이어싱 전압  $V_{casc}$  에 의해 바이어싱된다.

도시된 바와 같이, 출력 신호는, 캐스코드 디바이스 (222) 의 상부 단자 (즉, 부하 탱크 측) 에서 포지티브 출력 전압  $V_{out+}$  를 제공하고, 다른 캐스코드 디바이스 (224) 의 대응하는 상부 단자에서 네거티브 출력 전압  $V_{out-}$  를 제공함으로써 출력 스테이지 (280) 에서 생성된다. 출력 스테이지 (280) 와 병렬로 커플링된 (즉, LNA (200) 의 포지티브 및 네거티브 출력들  $V_{out+}$  및  $V_{out-}$  에 걸친) 엘리먼트들 또는 엘리먼트들의 표현들은 LNA (200) 의 '출력 네트워크' 의 일부로 고려된다.

[0011] 부하 탱크 (230) 는 LNA (200) 가 튜닝된 주파수 응답을 제공할 수 있게 하며, 그에 의해, 특정한 정도의 대역 외 신호들에 대해 거부한다. 그러나, 통상적으로, 이러한 접근법으로 달성된 선택도의 양은 LNA (200) 의 출력 네트워크에서의 엘리먼트들의 유한한 Q에 의해 제한된다. 상세하게, LNA (200) 의 Q-인자는 출력 네트워크의 등가의 실수부 임피던스  $Req-LNA$  에 의존하며, 여기서,  $Req-LNA$  는 다음과 같이 결정될 수 있다.

### 수학식 1

[0012] 
$$Req-LNA = R_{tank} || R_{out-LNA} || R_{in-next}.$$

[0013] 따라서, 이론적으로, 높은 Q는 등가 저항  $Req-LNA$  를 높게 유지함으로써 달성될 수 있다. 그러나, 통상적인 프로세스 기술들에서, 높은 Q 커패시터들 및 비교적 낮은 부하 탱크 저항  $R_{tank}$  (236) 을 갖는 인덕터들의 사용에도, 그러한 네트워크로부터 8 이상의 등가 Q를 획득하는 것은 어려우며, 이에 따라, 대역의 블록커 거부는 단지 몇 데시벨 (dB) 로 제한된다.

### 발명의 내용

#### 과제의 해결 수단

[0014] 본 발명의 예시적인 실시형태들은, 무선 통신 및 다른 애플리케이션들에 적합한 수신기 전단들의 선택도를 개선시키기 위한 회로들, 시스템들, 및 방법들에 관한 것이다.

[0015] 따라서, 일 실시형태는 증폭기를 포함하는 장치를 포함할 수 있으며, 여기서, 그 증폭기는, 포지티브 출력 전압을 제공하는 포지티브 출력 단자 및 네거티브 출력 전압을 제공하는 네거티브 출력 단자로 형성된 출력 스테이지; 출력 스테이지와 병렬로 커플링되며, 증폭기에서 수신된 신호들을 필터링하도록 구성된 부하 탱크; 및 출력 스테이지 및 부하 탱크와 병렬로 커플링된 네거티브 저항 블록을 포함한다.

[0016] 또 다른 실시형태는 신호를 증폭하는 방법을 포함할 수 있으며, 그 방법은, 입력 스테이지에서 입력 신호를 수신하는 단계; 입력 신호에 응답하여, 포지티브 출력 단자에서의 포지티브 출력 전압 및 네거티브 출력 단자에서의 네거티브 출력 전압을 포함하는 출력 신호를 제공하는 단계; 포지티브 및 네거티브 출력 단자들에서 입력 신호를 필터링하는 단계; 및 포지티브 및 네거티브 출력 단자들 사이에서 네거티브 저항을 제공하는 단계를 포함한다.

[0017] 또 다른 실시형태는, 입력 신호를 수신하는 수단; 입력 신호에 응답하여, 포지티브 출력 단자에서의 포지티브 출력 전압 및 네거티브 출력 단자에서의 네거티브 출력 전압을 포함하는 출력 신호를 제공하는 수단; 포지티브 및 네거티브 출력 단자들에서 입력 신호를 필터링하는 수단; 및 포지티브 및 네거티브 출력 단자들 사이에서 네거티브 저항을 제공하는 수단을 포함하는 증폭기를 포함할 수 있다.

[0018] 첨부한 도면은 본 발명의 실시형태들의 설명을 보조하도록 제공되며, 실시형태들의 제한이 아닌 그 실시형태들

의 예시를 위해서만 제공된다.

**도면의 간단한 설명**

- [0019] 도 1은 예시적인 종래의 RF 전단 회로를 도시한다.
- 도 2는 부하 탱크를 갖는 종래의 차동 LNA를 도시한다.
- 도 3은 본 발명의 다양한 실시형태들에 따른 부가된 네거티브 저항을 갖는 LNA의 출력 네트워크를 도시한다.
- 도 4는 본 발명의 실시형태에 따른 예시적인 네거티브 저항 블록을 도시한다.
- 도 5는 본 발명의 또 다른 실시형태에 따른 예시적인 네거티브 저항 블록을 도시한다.
- 도 6은 본 발명의 또 다른 실시형태에 따른 예시적인 네거티브 저항 블록을 도시한다.
- 도 7은 본 발명의 또 다른 실시형태에 따른 예시적인 네거티브 저항 블록을 도시한다.
- 도 8은 본 발명의 또 다른 실시형태에 따른 예시적인 네거티브 저항 블록을 도시한다.
- 도 9는 본 발명의 또 다른 실시형태에 따른 예시적인 네거티브 저항 블록을 도시한다.
- 도 10은 본 발명의 다양한 실시형태들에 따른 네거티브 저항 블록을 사용하여 강한 간섭 신호들의 존재에서 신호 거부를 도시한 그래프이다.
- 도 11은 본 발명의 일 실시형태에 따라 수신 신호들을 증폭하는 방법을 도시한 흐름도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0020] 본 발명의 양태들은 본 발명의 특정한 실시형태들에 관한 다음의 설명 및 관련 도면들에서 개시된다. 대안적인 실시형태들은 본 발명의 범위를 벗어나지 않고도 고안될 수도 있다. 또한, 본 발명의 잘 알려진 엘리먼트들은 상세히 설명되지 않을 것이거나, 본 발명의 관련 세부사항들을 불명료하게 하지 않도록 생략될 것이다.
- [0021] "예시적인"이라는 용어는 "예, 예시, 예증으로서 기능하는"의 의미로서 여기에서 사용된다. "예시적인" 것으로서 여기에 설명된 임의의 실시형태는 다른 실시형태들에 비해 반드시 바람직하거나 유리한 것으로서 해석되지는 않아야 한다. 유사하게, "본 발명의 실시형태"라는 용어는, 본 발명의 모든 실시형태들이 설명된 특성, 이점 또는 동작 모드를 포함하는 것을 요구하지는 않는다.
- [0022] 여기에서 사용된 용어는 특정한 실시형태들만을 설명하기 위한 목적을 위한 것이며, 본 발명의 실시형태들의 제한을 의도하지는 않는다. 여기에서 사용된 바와 같이, 단수 형태 "a", "an" 및 "the"는 콘텍스트가 명확히 다른 것을 나타내지 않는다면 복수의 형태들을 또한 포함하도록 의도된다. 또한, "구비하다 (comprise)", "구비하다", "포함하다" 및/또는 "포함하다"라는 용어들이, 사용될 경우 나타낸 특성들, 정수들, 단계들, 동작들, 엘리먼트들, 및/또는 컴포넌트들의 존재를 특정하지만, 하나 이상의 다른 특성들, 정수들, 단계들, 동작들, 엘리먼트들, 컴포넌트들, 및/또는 이들의 그룹들의 존재 또는 부가를 배제하지는 않음을 이해할 것이다.
- [0023] 또한, 많은 실시형태들은, 예를 들어, 컴퓨팅 디바이스의 엘리먼트들에 의해 수행될 액션들의 시퀀스들의 관점에서 설명된다. 본 발명의 다양한 양태들이 다수의 상이한 형태들로 구현될 수도 있으며, 이들 모두가 청구된 사항의 범위 내에 존재하는 것으로 고려된다는 것을 인식할 것이다. 또한, 여기에 설명된 실시형태들 각각에서, 임의의 그러한 실시형태들의 대응하는 형태는, 설명된 액션을 수행하도록 "구성된 로직"으로서 여기에 설명될 수도 있다.
- [0024] 배경에서 상술된 바와 같이, 종래의 차동 LNA에서 달성되는 선택도의 양은, 그것의 출력 네트워크에서 관측되는 부하 탱크의 유한한 Q, 출력 임피던스, 및 다음 스테이지 입력 임피던스에 의해 통상적으로 제한된다. 이론적으로는, 높은 Q가, 비교적 높은 출력 네트워크 등가 저항 Req-LNA를 유도하는, 이들 엘리먼트들의 실수부 임피던스를 비교적 낮게 유지함으로써 달성될 수 있지만, 실제로는 이것이 Q에서 비교적 적은 개선을 산출한다. 이와 대조적으로, 본 발명의 실시형태들은 Req-LNA를 증가시킴으로써 Q를 향상시키기 위해 출력 네트워크에서 부가적인 네거티브 저항 블록을 제공한다. 예를 들어, -Rneg의 저항을 갖는 네거티브 저항 블록을 출력 네트워크에 부가함으로써, 본 발명의 실시형태에 따른 등가 저항 Req는 다음과 같이 결정될 수 있다.

수학식 2

$$\begin{aligned}
 Req &= R_{tank} \parallel R_{out-LNA} \parallel R_{in-next} \parallel -R_{neg} \\
 &= Req-LNA \parallel -R_{neg} \\
 &= \frac{-R_{eq-LNA} \cdot R_{neg}}{R_{eq-LNA} - R_{neg}} \\
 &= \frac{R_{eq-LNA}}{1 - \frac{R_{eq-LNA}}{R_{neg}}}.
 \end{aligned}$$

[0025]

[0026]

수학식 (2) 로부터 관측될 수 있는 바와 같이, LNA의 등가 저항은  $1/(1-Req-LNA/Rneg)$  의 인자만큼 임의로 증가될 수 있으며, 임의의 높은 Q를 유도한다. Rneg가 Req-LNA 보다 더 높게 유지되는 한, Req는 포지티브일 것이고 시스템은 안정적일 것이다. 따라서, 더 높은 포지티브 등가 실수부 임피던스 Req-LNA 가 달성될 수 있으며, 출력 응답의 Q를 원하는 레벨로 증가시키고, 그에 따라 수신기 RF 전단의 선택도를 개선시킨다.

[0027]

도 3은 본 발명의 다양한 실시형태들에 따른 부가된 네거티브 저항을 갖는 LNA (300) 의 출력 네트워크를 도시한다.

[0028]

도시된 바와 같이, LNA (200) 와 유사하게, LNA (300) 는 전류 버퍼 스테이지 (220) 및 부하 탱크 (230) 를 포함한다. 전류 버퍼 스테이지 (220) 는 캐스코드 트랜지스터들 (222 및 224) (예를 들어, NMOS 트랜지스터들) 의 쌍을 포함한다. 부하 탱크 (230) 는 탱크 인덕터 (232) 및 탱크 커패시터 (234) 로 형성된다. 또한, 부하 탱크 (230) 는, 실제 저항기일 수도 있거나 부하 탱크 (230) 내의 다른 엘리먼트들의 실제 임피던스를 간단히 나타낼 수도 있는 저항  $R_{tank}$  (236) 를 포함한다. 부하 탱크 저항  $R_{tank}$  (236) 이외에, LNA (200) 의 출력 저항이  $R_{out-LNA}$  (270) 로서 도시되어 있고, LNA (200) 에 의해 피드된 다음 스테이지 (예를 들어, 도 1의 트랜스컨덕턴스 스테이지 (14)) 의 입력 저항은 도 3에서  $R_{in-next}$  (240) 로서 도시되어 있다.

[0029]

도 2에 도시된 바이어싱과 유사하게, LNA (300) 는 바이어싱 전압 VDD에 의해 DC 바이어싱되고, 캐스코드 디바이스들 (222 및 224) 은 캐스코드 바이어싱 전압  $V_{casc}$  에 의해 바이어싱된다. 또한, 도 2의 출력 신호와 유사하게, 도 3에 도시된 바와 같이, 캐스코드 디바이스 (222) 의 상부 단자 (즉, 부하 탱크 측) 에서 포지티브 출력 전압  $V_{out+}$  를 제공하고 다른 캐스코드 디바이스 (224) 의 대응하는 상부 단자에서 네거티브 출력 전압  $V_{out-}$  를 제공함으로써, 출력 신호가 출력 스테이지 (280) 에서 생성된다. 도 3에 도시되지 않은 LNA (200) 의 나머지 엘리먼트들 (예를 들어, 입력 스테이지, 테일 전류 소스 등) 이 도 2에 도시된 대응하는 엘리먼트들과 실질적으로 유사하게 구현될 수 있음을 인식할 것이다.

[0030]

LNA (300) 는, 부하 탱크 (230) 및 출력 스테이지 (280) 와 병렬로 (즉, 포지티브 및 네거티브 출력들  $V_{out+}$  및  $V_{out-}$  에 걸쳐) 커플링된 네거티브 저항 블록 (350) 을 더 포함한다. 상술된 바와 같이, 네거티브 저항 블록 (350) 은, 전체 등가 저항 Req 를 증가시키기 위해 LNA (300) 의 출력 네트워크에 네거티브 저항  $-R_{neg}$  를 제공한다.

[0031]

도 3의 네거티브 저항 블록 (350) 이 많은 방식으로 구현될 수 있음을 인식할 것이다. 더 상세히 후술될 바와 같이, 다음의 도들 4 내지 9는 본 발명의 다양한 실시형태들에 따른 네거티브 저항 블록 (350) 의 다양한 예시적인 설계들을 도시한다. 그러나, 도 4 내지 9에 도시된 예시적인 설계들이 단지 예시의 목적을 위한 것이며, 가능한 구현들의 포괄적인 리스트를 나타내는 것으로 의도되지는 않음을 인식할 것이다.

[0032]

도 4는 본 발명의 일 실시형태에 따른 예시적인 네거티브 저항 블록 (350) 을 도시한다.

[0033]

도시된 바와 같이, 도 4의 네거티브 저항 블록 (350) 은 LNA (300) 의 출력에 크로스-커플링된 제 1 및 제 2 트랜스컨덕턴스 (gm) 디바이스들 (402 및 404) (예를 들어, NMOS 트랜지스터들) 을 포함한다. 즉, gm 디바이스 (402) 는 제 1 단자 (예를 들어, 드레인) 에서 LNA (300) 의 포지티브 출력  $V_{out+}$  에 커플링되고, 제 2 단자 (예를 들어, 게이트) 에서 LNA (300) 의 네거티브 출력  $V_{out-}$  에 커플링된다. 이와 대조적으로, gm 디바이

스 (404) 는 제 1 단자 (예를 들어, 드레인) 에서 LNA (300) 의 네거티브 출력  $V_{out-}$  에 커플링되고, 제 2 단자 (예를 들어, 게이트) 에서 LNA (300) 의 포지티브 출력  $V_{out+}$  에 커플링된다. 도 4의 네거티브 저항 블록 (350) 은 각각의 gm 디바이스 (402 및 404) 의 제 3 단자 (예를 들어, 소스) 에 커플링된 튜닝 전압 소스  $V_{tune}$  (450) 를 더 포함한다.  $V_{tune}$  (450) 은 원하는 전압 레벨을 제공하도록 구성가능하며, 더 상세히 후술될 것이다.

[0034] 도 4의 네거티브 저항 블록 (350) 구현은 네거티브 gm 회로들로서 지칭되는 일 클래스의 네거티브 저항 회로들 중 하나이다. 일반적으로, 네거티브 gm 회로들은 하나 이상의 포함된 액티브 디바이스들의 트랜스컨덕턴스에 반비례하여 네거티브 저항  $-R_{neg}$  를 제공하며, 트랜스컨덕턴스는 회로의 바이어싱 조건들에 기초한다.

예를 들어, 도 4의 네거티브 gm 회로의 네거티브 저항의 크기  $|R_{neg}|$  는  $2/gm$  과 동일하며, 여기서, gm은 gm 디바이스들 (402 및 404) 각각의 트랜스컨덕턴스이다.  $V_{tune}$  (450) 은 gm 디바이스들 (402 및 404) 을 원하는 레벨로 바이어싱함으로써 조정될 수 있으며, 그에 의해, 각각의 gm 디바이스 (402 및 404) 의 제 2 단자로부터 제 3 단자로 (예를 들어,  $V_{gate} - V_{source}$ ) 전압 드롭을 시프트하고, 이는 각각의 트랜스컨덕턴스를 결정한다. 따라서, gm은 임의의 원하는 값으로 셋팅될 수 있으며, 그에 따라,  $R_{neg}$  는 애플리케이션 특정 시스템 요건들 등에 따라 원하는 바대로 조정될 수 있다.

[0035] 도 5는 본 발명의 또 다른 실시형태에 따른 예시적인 네거티브 저항 블록 (350) 을 도시한다.

[0036] 도시된 바와 같이, 도 5의 네거티브 저항 블록 (350) 은, 도 4를 참조하여 상술된 바와 같이 LNA (300) 의 출력에 크로스-커플링된 제 1 및 제 2 gm 디바이스들 (402 및 404) (예를 들어, NMOS 트랜지스터들) 을 포함한다.

도 5의 네거티브 저항 블록 (350) 은 각각의 gm 디바이스 (402 및 404) 의 제 3 단자 (예를 들어, 소스) 에 커플링된 튜닝 전류 소스 (550) 를 더 포함한다. 튜닝 전류 소스 (550) 는, 튜닝 전류  $I_{tune}$  를 수신하고, gm 디바이스들 (402 및 404) 을 바이어싱하도록 미리 전류를 제공하는 전류 미러로서 도시되어 있다. 예를 들어,  $I_{tune}$ 는, 당업계에 잘 알려진 프로그래밍가능한 전류 소스일 수도 있으며, LNA (300) 의 외부의 회로 (미도시) 에 의해 제공될 수도 있다.

[0037] 도 5의 네거티브 저항 블록 (350) 설계는 네거티브 gm 회로로 또한 고려되며, 도 5의 네거티브 gm 회로 (350) 의 네거티브 저항의 크기  $|R_{neg}|$  는 그의 트랜스컨덕턴스에 또한 반비례한다. 도 4의  $V_{tune}$  와 유사하게,  $I_{tune}$  는 네거티브 gm 회로의 트랜스컨덕턴스를 제어하고, 그에 따라 네거티브 저항  $-R_{neg}$  의 값을 제어한다.

[0038] 도 5의 설계는 간단한 저잡음 네거티브 gm 회로를 제공하며, 여기서, 트랜스컨덕턴스는 바이어스 전류  $I_{tune}$  에 의해 제어된다. 그러나, 이러한 설계의 결점들 중 하나는, 네거티브 저항의 양이 외부 바이어스 전류  $I_{tune}$  에 의해 본질적으로 조정된다는 것이다. 또 다른 결점은 부가적인 비선형성들의 도입이다. 따라서, 이러한 설계는, 제한된 선형성을 허용하면서 (예를 들어, 공간 등을 보존하기 위해) 더 낮은 복잡도 회로들을 요구하는 애플리케이션들에 적합할 수도 있다.

[0039] 도 6은 본 발명의 또 다른 실시형태에 따른 예시적인 네거티브 저항 블록 (350) 을 도시한다.

[0040] 도시된 바와 같이, 도 6의 네거티브 저항 블록 (350) 은, 도 4를 참조하여 상술된 바와 같이 LNA (300) 의 출력에 크로스-커플링된 제 1 및 제 2 gm 디바이스들 (402 및 404) (예를 들어, NMOS 트랜지스터들) 뿐만 아니라, 도 5를 참조하여 상술된 바와 같이 각각의 gm 디바이스 (402 및 404) 의 제 3 단자 (예를 들어, 소스) 에 커플링된 튜닝 전류 소스 (550) 를 포함한다. 또한, 도 6의 네거티브 저항 블록 (350) 은, 각각, gm 디바이스들 (402 및 404) 의 제 3 단자들 사이에 커플링된 가변 저항기들 (602 및 604), 및 튜닝 전류 소스 (550) 를 더 포함한다.

[0041] 도 5의 네거티브 저항 블록 (350) 설계는 네거티브 gm 회로로 또한 고려되며, 도 6의 네거티브 gm 회로 (350) 의 네거티브 저항의 크기  $|R_{neg}|$  는 그의 트랜스컨덕턴스에 또한 반비례한다. 도 5와 유사하게,  $I_{tune}$  는 네거티브 gm 회로의 트랜스컨덕턴스를 제어하고, 그에 따라 네거티브 저항  $-R_{neg}$  의 값을 제어한다.

그러나, gm 디바이스들 (402 및 404) 각각이 도 6의 설계에서 튜닝 전류 소스 (550) 에 저항성 커플링되기 때문에, 각각의 gm 디바이스 (402 및 404) 의 트랜스컨덕턴스는, 바이어싱을 제어하기 위해 가변 저항기들 (602 및 604) 의 저항 값들을 조정함으로써 원하는 바대로 네거티브 저항을 제공하도록 추가적으로 튜닝될 수 있다.

도 5의 설계와는 달리, 도 6의 설계는, 외부적으로 단독 제공되는 튜닝 전류  $I_{tune}$  의 네거티브 저항을 넘는 네거티브 저항을 제공한다.

- [0042] 따라서, 도 6의 설계는 도 5의 설계와 비교하여 부가적인 튜닝가능성을 제공하며, 또한, 설계자로 하여금 네거티브 저항  $-R_{neg}$  의 원하는 양에 대해 선형도를 트레이드-오프하게 한다. 그러나, 이러한 설계의 결점들 중 하나는, 가변 저항기들 (602 및 604) 의 부가된 저항이 적절한 기능을 위해 더 높은 전류 뿐만 아니라 IC 내의 부가적인 헤드룸을 요구한다는 것이다. 따라서, 이러한 설계는, 부가적인 복잡도를 수용할 수 있으면서 더 많은 유연성을 요구하는 애플리케이션들에 적합할 수도 있다.
- [0043] 도 7은 본 발명의 또 다른 실시형태에 따른 예시적인 네거티브 저항 블록 (350) 을 도시한다.
- [0044] 도시된 바와 같이, 도 7의 네거티브 저항 블록 (350) 은 도 4를 참조하여 실질적으로 상술된 바와 같이 LNA (300) 의 출력에 크로스-커플링된 제 1 및 제 2 gm 디바이스들 (402 및 404) (예를 들어, NMOS 트랜지스터들) 을 포함한다. 그러나, 도 4 내지 6의 이전 설계들과는 달리, gm 디바이스 (402) 는 그의 제 2 단자 (예를 들어, 게이트) 에서 제 1 커패시터 (712) 를 통해 LNA (300) 의 네거티브 출력  $V_{out-}$  에 용량성 커플링되고 (또한, AC 커플링으로서 지칭됨), gm 디바이스 (404) 는 그의 제 2 단자 (예를 들어, 게이트) 에서 제 2 커패시터 (714) 를 통해 LNA (300) 의 포지티브 출력  $V_{out+}$  에 용량성 커플링된다. 또한, 도 5 및 6의 이전 설계들과는 달리, 도 7의 네거티브 저항 블록 (350) 은, 각각, 저항기들 (702 및 704) 을 통해 각각의 gm 디바이스 (402 및 404) 의 제 2 단자 (예를 들어, 게이트) 에 저항성 커플링된 튜닝 전류 소스 (750) 를 포함한다. 이러한 설계에서, gm 디바이스들 (402 및 404) 의 제 2 단자들 (예를 들어, 게이트) 은 제 3 커패시터 (704) 를 통해 접지에 또한 용량성 커플링되며, gm 디바이스들 (402 및 404) 의 제 3 단자들 (예를 들어, 소스) 은 접지에 직접 커플링된다.
- [0045] 도 7의 네거티브 저항 블록 (350) 설계는 네거티브 gm 회로로 또한 고려되며, 도 7의 네거티브 gm 회로 (350) 의 네거티브 저항의 크기  $|R_{neg}|$  는 그의 트랜스컨덕턴스에 또한 반비례한다. 그러나, 이러한 설계는, 용량성 커플링이 gm 디바이스들 (402 및 404) 의 게이트 및 드레인으로 하여금 상이한 전압들에서 DC 바이어싱되게 하기 때문에, 도 6의 설계보다 더 많은 설계 제어를 허용한다.
- [0046] 따라서, 도 7의 설계는, 설계자로 하여금 네거티브 저항  $-R_{neg}$  의 원하는 양을 더 정확하게 셋팅하게 하면서 양호한 선형도 및 저잡음을 제공한다. 그러나, 이러한 설계의 결점들 중 하나는, 커플링 커패시터들 (702 및 704) 로부터의 기생 커패시턴스의 도입이다. 따라서, 이러한 설계는, 원치않는 기생 효과들을 효율적으로 처리할 수 있으면서 더 정확한 튜닝을 요구하는 애플리케이션들에 적합할 수도 있다.
- [0047] 도 8은 본 발명의 또 다른 실시형태에 따른 예시적인 네거티브 저항 블록 (350) 을 도시한다.
- [0048] 도시된 바와 같이, 도 8의 네거티브 저항 블록 (350) 은, 각각 도 7의 네거티브 gm 회로에 실질적으로 유사한 제 1 및 제 2 네거티브 gm 스테이지들 (810 및 820) 을 포함한다. 상세하게, 각각의 네거티브 gm 스테이지 (810 및 820) 는, 도 4를 참조하여 상술된 바와 같이 LNA (300) 의 출력에 크로스-커플링된 제 1 및 제 2 gm 디바이스들 (402 및 404) (예를 들어, NMOS 트랜지스터들), 그의 제 2 단자 (예를 들어, 게이트) 에서 LNA (300) 의 네거티브 출력  $V_{out-}$  에 gm 디바이스들 (402) 을 커플링시키는 제 1 AC 커플링 커패시터, 그의 제 2 단자 (예를 들어, 게이트) 에서 LNA (300) 의 포지티브 출력  $V_{out+}$  에 gm 디바이스 (404) 를 커플링시키는 제 2 커플링 커패시터 (714), 및 각각의 gm 디바이스 (402 및 404) 의 제 2 단자 (예를 들어, 게이트) 를 각각 바이어싱 전류 (미도시) 에 저항성 커플링시키는 저항기들 (702 및 704) 을 포함한다. 제 1 네거티브 gm 스테이지 (810) 는 도 4를 참조하여 상술된 바와 같이 LNA (300) 의 출력에 크로스-커플링되지만, 제 2 네거티브 gm 스테이지 (820) 는, 동일한 방식으로 gm 디바이스들 (402 및 404) 의 제 1 스테이지의 제 3 단자들 (예를 들어, 드레인) 에서 제 1 네거티브 gm 스테이지 (810) 의 출력에 크로스-커플링된다. 제 1 및 제 2 네거티브 gm 스테이지들 (810 및 820) 이외에, 도 8의 네거티브 저항 블록 (350) 은, gm 디바이스들 (402 및 404) 의 제 2 스테이지의 제 3 단자들 (예를 들어, 드레인) 에서 제 2 네거티브 gm 스테이지 (820) 의 출력들에 커플링된 2개의 전류 소스들 (830 및 840), 및 제 2 네거티브 gm 스테이지 (820) 의 출력에 걸쳐 커플링된 저항기 R (850) 를 더 포함한다.
- [0049] 도 7의 네거티브 저항 블록 (350) 설계는, 네거티브 저항의 크기  $|R_{neg}|$  가 저항기 R (850) 의 저항과 동일한 트랜스리니어 (translinear) 네거티브 저항 회로로 고려된다. 이러한 설계는 양호한 선형성을 제공하며, 회로의 AC 커플링 바이어싱은 충분한 헤드룸을 허용한다. 그러나, 부가적인 회로 복잡도는 잡음을 도입하며, 동작하는데 더 많은 전류를 요구한다. 따라서, 이러한 설계는, 부가적인 복잡도 및 전류 요건들을 수용할 수 있으면서 더 많은 선형성을 요구하는 애플리케이션들에 적합할 수도 있다.

[0050] 전술한 도들 4 내지 8 각각은 외부적으로 바이어싱된 튜닝 기반 네거티브 저항 회로들로서 네거티브 저항 블록들을 도시한다. 그러나, 네거티브 저항 블록 (350) 은 이들 타입들의 네거티브 저항 회로들만으로 제한되지는 않으며, 임의의 적절한 네거티브 저항 디바이스, 회로, 또는 시스템으로서 구현될 수도 있다. 대안적으로, 예를 들어, 네거티브 저항 블록 (350) 은 가변 출력 저항기를 갖는 이중 전류 미러로서 구현될 수도 있으며, 이는 더 상세히 후술될 것이다.

[0051] 도 9는 본 발명의 또 다른 실시형태에 따른 예시적인 네거티브 저항 블록 (350) 을 도시한다.

[0052] 도시된 바와 같이, 도 9의 네거티브 저항 블록 (350) 은 제 1 및 제 2 전류 미러들 (910 및 920) 을 포함한다. 제 1 전류 미러 (910) 는 그의 gm 디바이스들 (예를 들어, NMOS 트랜지스터들) 의 제 1 단자들 (예를 들어, 드레인) 을 통해 LNA (300) 의 출력에 커플링되고, 제 1 전류 미러 제 3 단자 (예를 들어, 소스) 및 제 2 전류 미러 제 1 단자 (예를 들어, 드레인) 를 통해 제 2 전류 미러 (920) 에 커플링된다. 도 9의 네거티브 저항

블록 (350) 은, 이러한 회로에 의해 제공되는 크기에서 네거티브 저항  $|R_{neg}|$  과 동일한 출력 가변 저항기 R (930) 를 더 포함한다. 따라서, 가변 저항기 R (930) 는 원하는 저항을 제공하도록 조정될 수 있다. 이러한 설계에서, 전류 미러들 (910 및 920) 은, 적절한 정확도를 유지하지만 동작하기에 더 많은 전류를 요구할 수도 있는 비교적 높은 트랜스컨덕턴스들을 갖는다. 이러한 설계가 차동 회로 애플리케이션들 뿐만 아니라 싱글-엔디드 (single-ended) 애플리케이션들에서 또한 네거티브 저항을 제공하는데 사용될 수 있음을 인식할 것이다.

[0053] 전술한 도면들의 설계들은 가변 선형도 및 잡음 성능을 제공한다. 회로의 선형도는 입력-참조된 3차 인터셉트 포인트 (IIP3) 를 특징으로 할 수 있다. IIP3는 원하는 출력 RF 신호 및 3차 생성물들이 진폭에서 동일하게 되는 이론적인 포인트이다. IIP3는, 액티브 디바이스가 IIP3 포인트에 도달하기 전에 압축되므로, 외삽된 값이다. 배경 섹션에서 간단히 설명된 바와 같이, 회로의 잡음은 잡음 지수 (NF) 를 특징으로 할 수 있다. NF는 RF 신호 체인 내의 컴포넌트들에 의해 초래된 신호-대-잡음비 (SNR) 의 열화를 측정한다.

[0054] 표 1은 예시의 목적을 위해 수 개의 선택된 설계들에 걸쳐 IIP3 와 NF를 비교하는 예시적인 시뮬레이션 데이터를 제공한다. 표 1의 데이터는 부가된 네거티브 저항이 없는 종래의 LNA 설계 (예를 들어, 도 3의 설계) 와의 차이들로서 표현된다.

표 1

설계	IIP3 (dBm)	NF (dB)
도 5	-8	+0.08
도 6	-4	+0.13
도 7	-4	+0.08
도 8	-3	+0.20

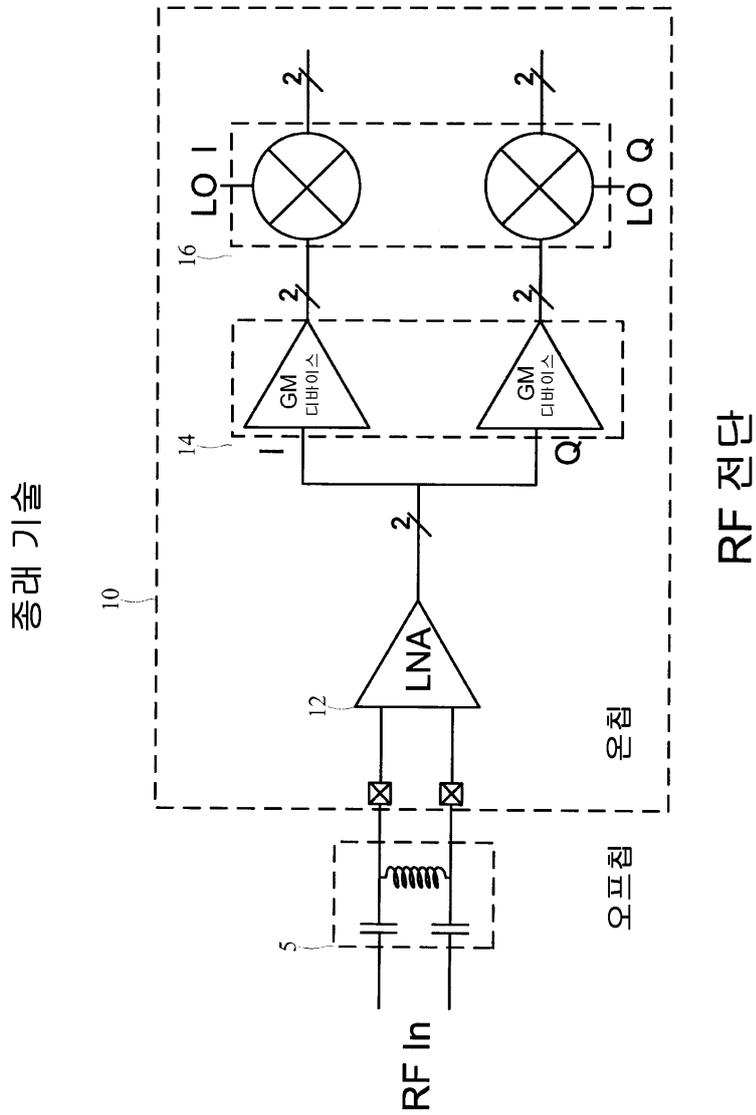
[0055]

[0056] 도 10은 본 발명의 다양한 실시형태들에 따라 네거티브 저항 블록을 사용하는 강한 간섭 신호들의 존재 시의 신호 거부를 도시한 그래프이다.

[0057] 약 1575MHz 에서 동작하는 일 예의 수신기 (예를 들어, GPS 수신기) 및 약 1700MHz 에서 동작하는 일 예의 강한 블록커 (예를 들어, CDMA 무선 통신 시스템) 에 대해 시뮬레이션 데이터가 도시되며, 여기서, 수신기의 거부는 여기에 제공된 기술들에 따라 향상된다. -1000 옴 내지 -5000 옴의 예시적인 범위 내의 네거티브 저항 값들로부터의 거부 개선점이 예시된다. 이러한 예시적인 범위가 단지 예시의 목적을 위해 제공되며, 여기에 제공된 기술들이 애플리케이션 특정 설계 요건들에 의존하여 광범위한 범위의 네거티브 저항의 임의의 양에 적용 가능함을 인식할 것이다. 도시된 바와 같이, 약 17dB 부가적인 대역내 이득은 예시된 네거티브 저항의 최소 값에 대한 원하는 신호에 대해 달성되지만, 약 1dB 의 부가적인 이득만이 블록커 주파수에서 발생한다. 따라서, 도 10은, 강한 간섭 신호들의 존재에서 수신기의 선택도에서의 상당한 개선이 본 발명의 다양한 실시형태들에 따른 네거티브 저항 블록을 사용함으로써 획득될 수 있다는 것을 나타낸다.

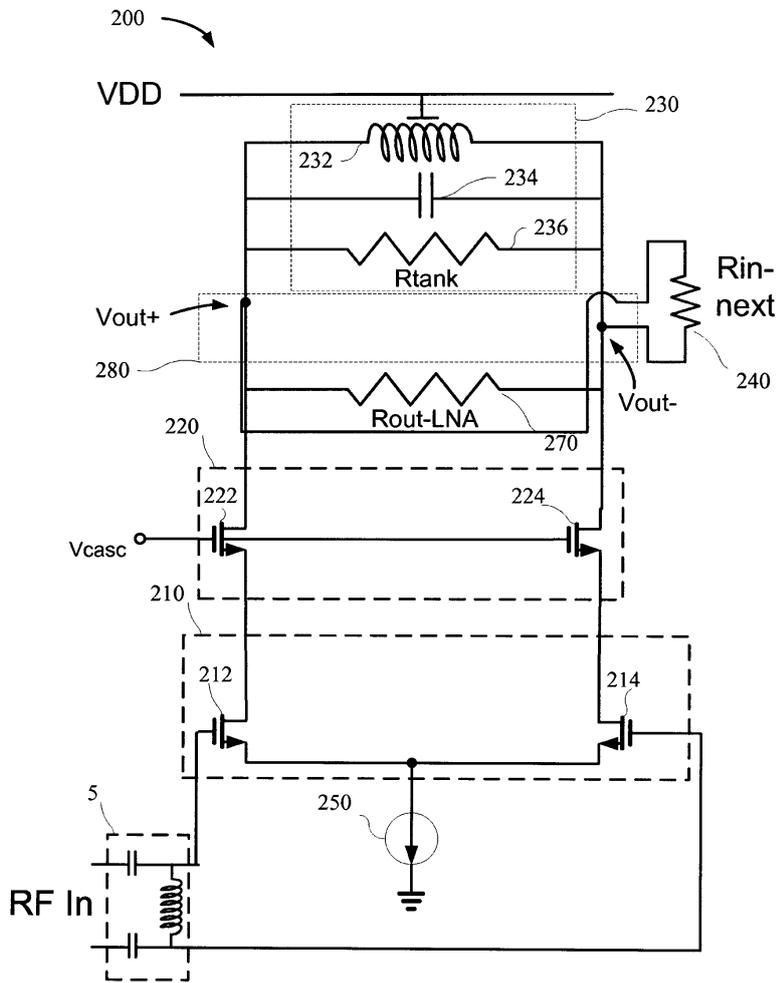
- [0058]     전술한 것의 관점에서, 본 발명의 실시형태들이 여기에 설명된 기능들, 액션들 및/또는 알고리즘들의 시퀀스를 수행하는 방법들을 포함할 수 있음을 인식할 것이다.     예를 들어, 도 11은 본 발명의 일 실시형태에 따라 수신 신호들을 증폭하는 방법을 도시한 흐름도이다.     도시된 바와 같이, 그 방법은, 입력 스테이지에서 입력 신호를 수신하는 단계 (블록 1110), 입력 신호에 응답하여, 포지티브 출력 단자에서 포지티브 출력 전압 및 네거티브 출력 단자에서 네거티브 출력 전압을 포함하는 출력 신호를 제공하는 단계 (블록 1120), 포지티브 및 네거티브 출력 단자들에서 입력 신호를 필터링하는 단계 (블록 1130), 및 포지티브 및 네거티브 출력 단자들 사이에서 네거티브 저항을 제공하는 단계 (블록 1140) 를 포함할 수도 있다.
- [0059]     하나 이상의 예시적인 실시형태들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합으로 구현될 수도 있다.     소프트웨어로 구현되면, 기능들은 컴퓨터-판독가능 매체 상의 하나 이상의 명령들 또는 코드로서 저장될 수도 있거나 송신될 수도 있다.     컴퓨터-판독가능 매체는, 일 장소로부터 다른 장소로의 컴퓨터 프로그램의 전달을 용이하게 하는 임의의 매체를 포함하는 통신 매체 및 컴퓨터 저장 매체 양자를 포함한다.     저장 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체일 수도 있다.     제한이 아닌 예로서, 그러한 컴퓨터-판독가능 매체는, RAM, ROM, EEPROM, CD-ROM, 다른 광 디스크 저장부, 자성 디스크 저장부 또는 다른 자성 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 운반하거나 저장하는데 사용될 수 있고 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다.     또한, 임의의 접속이 컴퓨터-판독가능 매체로 적절히 명칭된다.     예를 들어, 소프트웨어가 동축 케이블, 광섬유 케이블, 꼬인 쌍, 디지털 가입자 라인 (DSL), 또는 적외선, 무선 및 마이크로파와 같은 무선 기술들을 사용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 송신되면, 동축 케이블, 광섬유 케이블, 꼬인 쌍, DSL, 또는 적외선, 무선, 및 마이크로파와 같은 무선 기술들은 매체의 정의 내에 포함된다.     여기에 사용된 바와 같이, 디스크 (disk) 및 디스크 (disc) 는 컴팩 디스크 (CD), 레이저 디스크, 광 디스크, DVD (digital versatile disc), 플로피 디스크 및 블루-레이 디스크를 포함하며, 여기서, 디스크들은 일반적으로 데이터를 자성적으로 재생하지만, 디스크들은 레이저들을 이용하여 광학적으로 데이터를 재생한다.     상기의 조합들이 컴퓨터-판독가능 매체의 범위 내에 또한 포함되어야 한다.
- [0060]     전술한 개시물이 본 발명의 예시적인 실시형태들을 설명하였지만, 다양한 변경들 및 변형들이 첨부된 청구항에 의해 정의되는 바와 같은 본 발명의 범위를 벗어나지 않고도 여기에서 행해질 수 있음을 유의해야 한다.     여기에 설명된 본 발명의 실시형태들에 따른 방법 청구항들의 기능들, 단계들, 및/또는 액션들은 임의의 특정한 순서로 수행될 필요는 없다.     또한, 본 발명의 엘리먼트들이 단수로서 설명되거나 주장될 수도 있지만, 단수에 대한 제한이 명시적으로 표현되지 않는다면 복수가 고려된다.

도면  
도면1

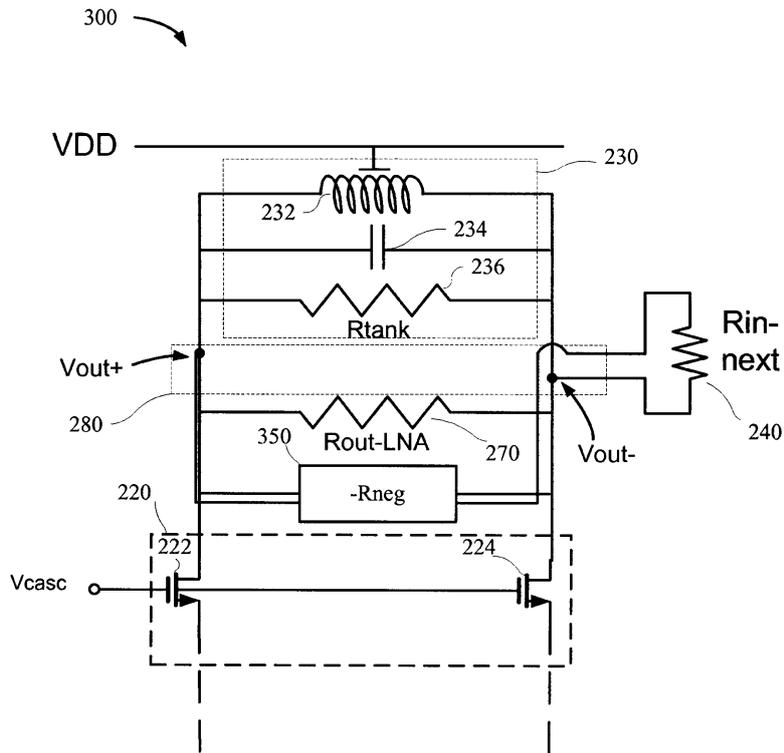


도면2

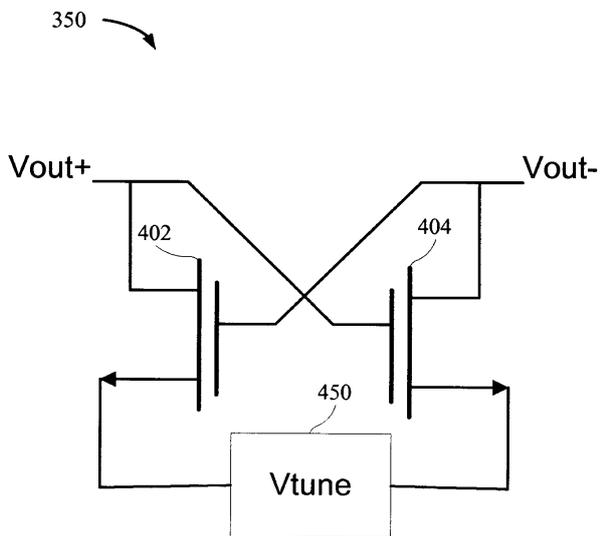
종래 기술



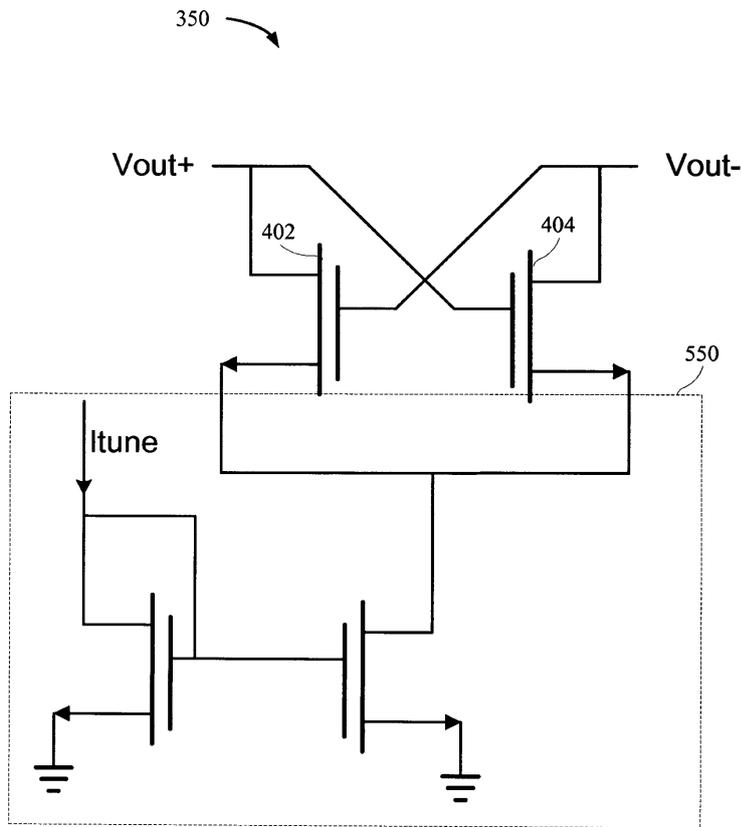
도면3



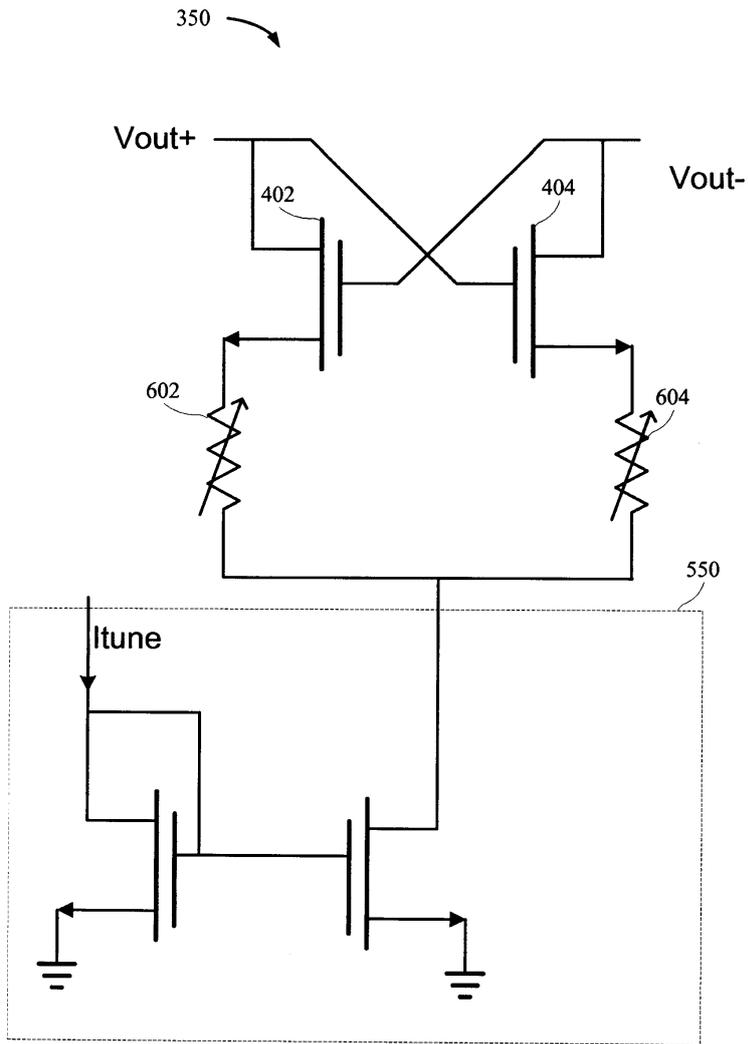
도면4



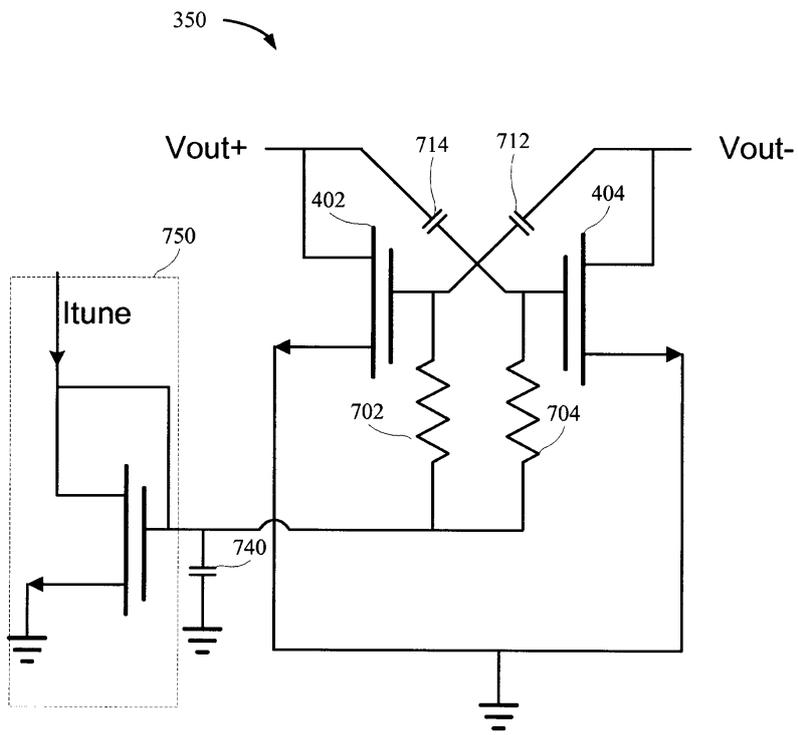
도면5



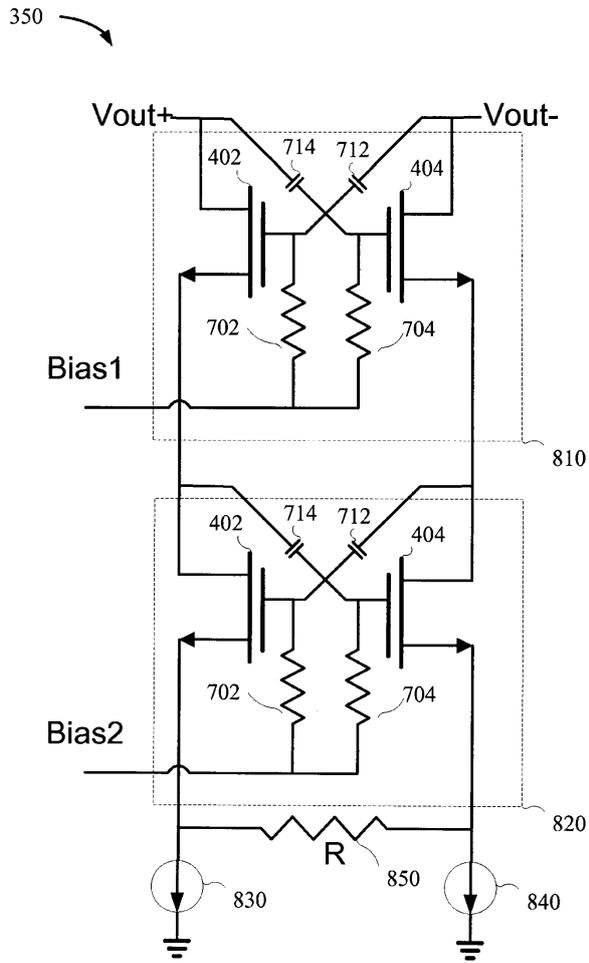
도면6



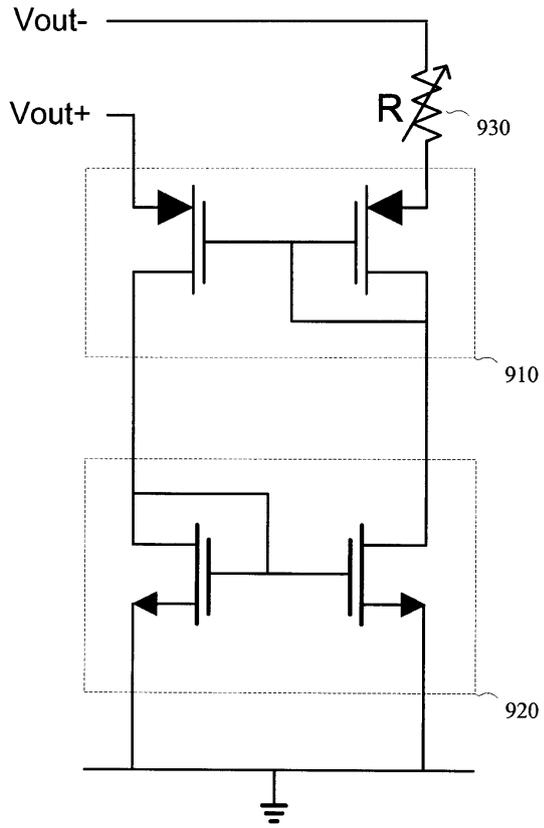
도면7



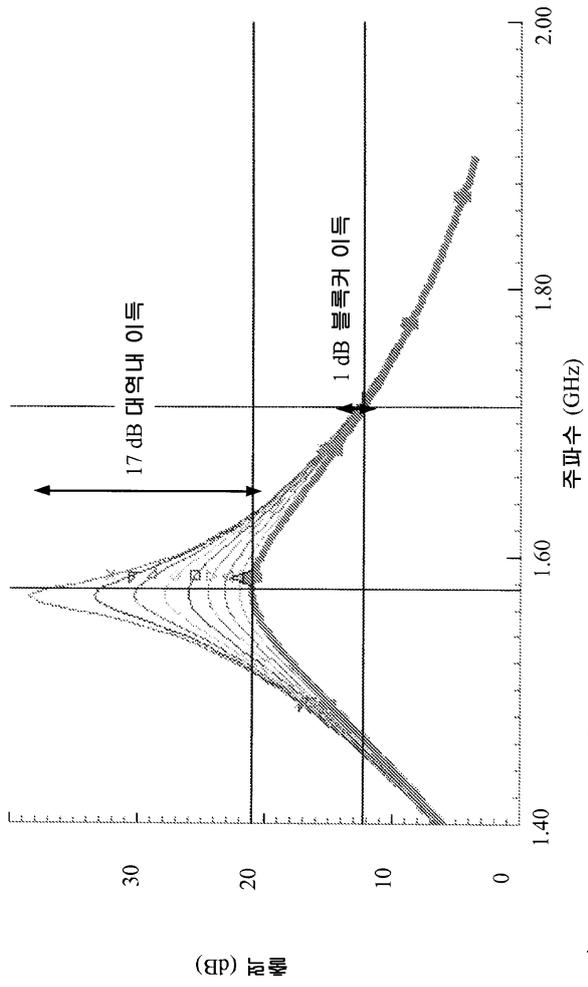
도면8



도면9



도면10



도면11

